

Graphical symbols for diagrams —

Part 12: Binary logic elements

The European Standard EN 60617-12:1998 has the status of a British Standard

ICS 01.080.30; 29.020

NO COPYING WITHOUT BSI PERMISSION EXCEPT AS PERMITTED BY COPYRIGHT LAW

BSI
Documents

AVA

Document Sharing Hub

National foreword

This British Standard is the English language version of EN 60617-12:1998. It is identical with IEC 60617-12:1997. It supersedes BS 3939-12:1991 which is withdrawn.

The UK participation in its preparation was entrusted to Technical Committee GEL/3, Documentation and graphical symbols, which has the responsibility to:

- aid enquirers to understand the text;
- present to the responsible international/European committee any enquiries on the interpretation, or proposals for change, and keep the UK interests informed;
- monitor related international and European developments and promulgate them in the UK.

A list of organizations represented on this committee can be obtained on request to its secretary.

From 1 January 1997, all IEC publications have the number 60000 added to the old number. For instance, IEC 27-1 has been renumbered as IEC 60027-1. For a period of time during the change over from one numbering system to the other, publications may contain identifiers from both systems.

Cross-references

Attention is drawn to the fact that CEN and CENELEC standards normally include an annex which lists normative references to international publications with their corresponding European publications. The British Standards which implement these international or European publications may be found in the BSI Standards Catalogue under the section entitled “International Standards Correspondence Index”, or by using the “Find” facility of the BSI Standards Electronic Catalogue.

A British Standard does not purport to include all the necessary provisions of a contract. Users of British Standards are responsible for their correct application.

Compliance with a British Standard does not of itself confer immunity from legal obligations.

Summary of pages

This document comprises a front cover, an inside front cover, pages i and ii, the EN title page, pages 2 to 209 and a back cover.

This standard has been updated (see copyright date) and may have had amendments incorporated. This will be indicated in the amendment table on the inside front cover.

This British Standard, having been prepared under the direction of the Electrotechnical Sector Committee, was published under the authority of the Standards Committee and comes into effect on 15 February 1999

© BSI 07-1999

ISBN 0 580 30388 8

Amendments issued since publication

Amd. No.	Date	Comments

Contents

	Page
National foreword	Inside front cover
Foreword	2
Text of EN 60617-12	5

ICS 01.080.30;29.020

Descriptors: Binary logic, logic operation, electric diagram, electrical symbol

English version

Graphical symbols for diagrams Part 12: Binary logic elements

(IEC 60617-12:1997)

Symboles graphiques pour schémas
Partie 12: Eléments logiques binaires
(CEI 60617-12:1997)

Graphische Symbole für Schaltpläne
Teil 12: Binäre Logikbausteine
(IEC 60617-12:1997)

This European Standard was approved by CENELEC on 1998-08-01. CENELEC members are bound to comply with the CEN/CENELEC Internal Regulations which stipulate the conditions for giving this European Standard the status of a national standard without any alteration.

Up-to-date lists and bibliographical references concerning such national standards may be obtained on application to the Central Secretariat or to any CENELEC member.

This European Standard exists in three official versions (English, French, German). A version in any other language made by translation under the responsibility of a CENELEC member into its own language and notified to the Central Secretariat has the same status as the official versions.

CENELEC members are the national electrotechnical committees of Austria, Belgium, Czech Republic, Denmark, Finland, France, Germany, Greece, Iceland, Ireland, Italy, Luxembourg, Netherlands, Norway, Portugal, Spain, Sweden, Switzerland and United Kingdom.

CENELEC

European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique
Europäisches Komitee für Elektrotechnische Normung

Central Secretariat: rue de Stassart 35, B-1050 Brussels

© 1998 CENELEC — All rights of exploitation in any form and by any means reserved worldwide for CENELEC members.

Foreword

The text of document 3A/407/FDIS, future edition 3 of IEC 60617-12, prepared by SC 3A, Graphical symbols for diagrams, of IEC TC 3, Documentation and graphical symbols, was submitted to the IEC-CENELEC parallel vote and was approved by CENELEC on 1996-03-05.

The text of document 3A/431/FDIS, which has been included in the International Standard IEC 60617-12:1997, was submitted to the formal vote (as prAA) and was approved for inclusion in EN 60617-12 on 1998-08-01.

The following dates were fixed:

- latest date by which the EN has to be implemented at national level by publication of an identical national standard or by endorsement (dop) 1999-08-01
- latest date by which the national standards conflicting with the EN have to be withdrawn (dow) 2001-08-01

Annexes designated “normative” are part of the body of the standard.

Annexes designated “informative” are given for information only.

In this standard, Annex ZA is normative and Annex A, Annex B and Annex C are informative.

Annex ZA has been added by CENELEC.

Endorsement notice

The text of the International Standard IEC 60617-12:1997 was approved by CENELEC as a European Standard without any modification.

Contents

		Page		Page
Foreword	2		29	Examples of buffers, drivers, receivers, and bidirectional switches
Introduction	5		30	Elements with hysteresis
Chapter I: General	5		31	Examples of elements with hysteresis
1 Scope	5		32	Coders, code converters
1A Normative references	5		33	Examples of code converters
2 General notes	6		34	Signal-level converters with or without electrical isolation
3 Explanation of terms	6		35	Examples of signal-level converters
Chapter II: Symbol construction	7		36	Multiplexers and demultiplexers
4 Composition of the symbol	7		37	Examples of multiplexers and demultiplexers
5 Outlines	9		38	Arithmetic elements
6 Use and combination of outlines	10		39	Examples of arithmetic elements
Chapter III: Qualifying symbols associated with inputs, outputs, and other connections	19		40	Binary delay elements
7 Negation, logic polarity and dynamic input	19		41	Bistable elements
8 Internal connections	21		42	Examples of bistable elements
9 Symbols inside the outline	27		43	Indication of special switching properties of bistable elements
10 Non-logic connections and signal-flow indicators	51		44	Monostable elements
Chapter IV: Dependency notation	53		45	Examples of monostable elements
11 General explanation	53		46	Astable elements
12 Convention	54		47	Examples of astable elements
13 Types of dependency	55		48	Shift registers and counters
14 AND dependency	58		49	Examples of shift registers and counters
15 OR dependency	61		50	Memories
16 NEGATE dependency	62		51	Examples of memories
17 INTERCONNECTION dependency	63		52	Display elements
17A TRANSMISSION dependency	65		53	Examples of display elements
18 CONTROL dependency	68			Chapter VI: Complex-function elements
19 SET and RESET dependency	70		54	General symbol and basic rules
20 ENABLE dependency	72		55	Bus indicators and data path representation
21 MODE dependency	73		56	Examples of complex-function elements
22 Comparison of C-, EN- and M-effects on inputs	77			Annex ZA Normative references to international publications with their corresponding European publications
23 ADDRESS dependency	77			Index
24 Special techniques used in dependency notation	82			Table I — Types of dependency
25 The ordering of labels associated with inputs and with outputs	85			
Chapter V: Combinative and sequential elements	93			
26 General notes	93			
27 Combinative elements	93			
28 Examples of combinative elements	96			

Introduction

This International Standard forms an element of a series which deals with graphical symbols for diagrams. The series consists of the following parts:

- *Part 1: General information, general index. Cross-reference tables;*
- *Part 2: Symbol elements, qualifying symbols and other symbols having general application;*
- *Part 3: Conductors and connecting devices;*
- *Part 4: Passive components;*
- *Part 5: Semiconductors and electron tubes;*
- *Part 6: Production and conversion of electrical energy;*
- *Part 7: Switchgear, controlgear and protective devices;*
- *Part 8: Measuring instruments, lamps and signalling devices;*
- *Part 9: Telecommunications: Switching and peripheral equipment;*
- *Part 10: Telecommunications: Transmission;*
- *Part 11: Architectural and topographical installation plans and diagrams;*
- *Part 12: Binary logic elements;*
- *Part 13: Analogue elements.*

Chapter I: General

1 Scope

This part of IEC 60617 contains graphical symbols that have been developed to represent logic functions. They are intended also to represent physical devices or combinations of physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but many can also be applied to non-electrical devices, for example pneumatic, hydraulic or mechanical.

1A Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60617. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60617 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60617-2:1996, *Graphical symbols for diagrams — Part 2: Symbol elements, qualifying symbols and other symbols having general application.*

IEC 60617-3:1996, *Graphical symbols for diagrams — Part 3: Conductors and connecting devices.*

IEC 60617-10:1996, *Graphical symbols for diagrams — Part 10: Telecommunication: Transmission.*

IEC 60617-13:1993, *Graphical symbols for diagrams — Part 13: Analogue elements.*

IEC 61082-1:1991, *Preparation of documents used in electrotechnology — Part 1: General requirements.*

IEC 61082-2:1993, *Preparation of documents used in electrotechnology — Part 2: Function-oriented diagrams.*

ISO 31-11:1992, *Quantities and units — Part 11: Mathematical signs and symbols for use in the physical sciences and technology.*

2 General notes

2.1 Symbols in accordance with the superseded IEC 60117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, that is distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other symbols in combination to form complex symbols (for example, use as embedded symbols) is discouraged.

2.2 For explanation of “logic states”, “logic levels”, etc., see IEC 61082-2.

2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.

2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L. H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (for example positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

3 Explanation of terms

To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

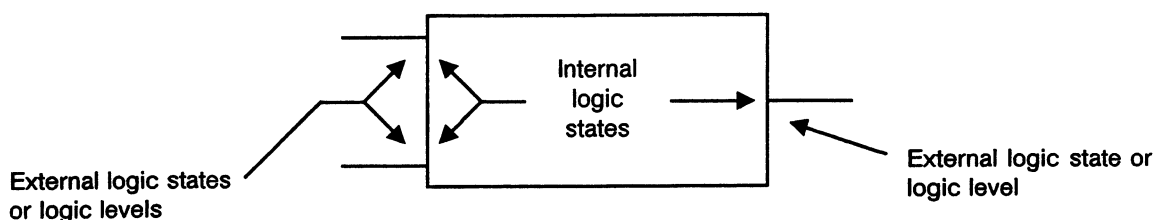
3.1 “Internal logic state” describes a logic state assumed to exist inside a symbol outline at an input or an output.

3.2 “External logic state” describes a logic state assumed to exist outside a symbol outline:

- on an input line prior to any external qualifying symbol at that input, or
- on an output line beyond any external qualifying symbol at that output.

3.3 “Logic level” describes the physical quality assumed to represent a logic state of a binary variable (see clauses 2.3 and 2.4).

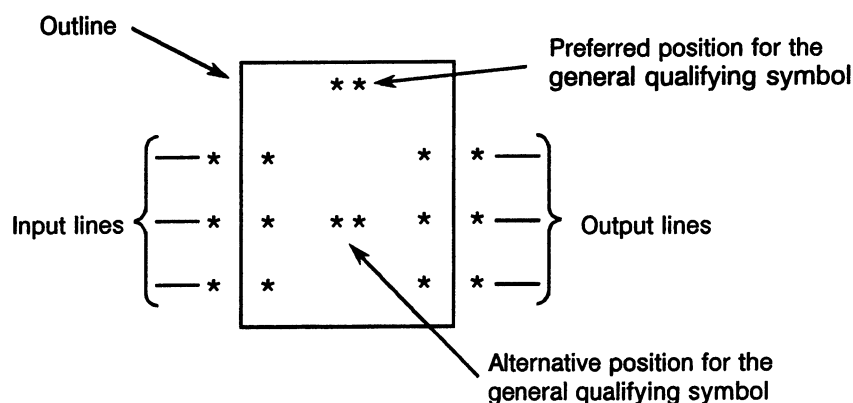
Illustration



Chapter II: Symbol construction

4 Composition of the symbol

4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols. Application of the symbols requires in addition the representation of input and output lines.



The single asterisks (*) denote possible positions for qualifying symbols relating to inputs and outputs. If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/or outputs, no general qualifying symbol is needed.

4.2 General additional information may be included in a symbol outline as described in IEC 61082-1.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in square brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in square brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of clause 6.3.

4.5 In some figures, lowercase letters which are not part of the symbols have been shown outside the outline just to identify the inputs [outputs] as referred to in the description.

4.6 The symbols and descriptions in this standard are intended for signal flow from left to right. If a symbol is instead intended for right-to-left flow, this is explicitly stated in the description of the symbol or indicated in the symbol itself.

When interpreting a symbol, one should assume, unless otherwise indicated, that a terminal shown on the left with respect to the normal reading orientation of the labels inside the symbol is an input, and that one shown on the right is an output. Inputs may also be shown on the right and outputs on the left if it aids the layout of the diagram or better conveys the structure of the device.

The direction of signal flow shall be clearly implied or indicated. Explicit indication may be done by using qualifying symbols that inherently indicate the direction of signal flow (such as qualifying symbols defined only for inputs or only for outputs, or general qualifying symbols that indicate flow direction) or by other symbols on the diagram that are connected to the terminal.

If the direction of signal flow on a terminal line is not otherwise obvious, that line shall be marked with an arrowhead (symbol 02-05-01 of IEC 60617-2) pointing in the direction of signal flow or with the symbol for bidirectional signal flow (symbol 12-10-02), whichever applies. No arrowhead shall touch the outline or any other qualifying symbol. See, for example, symbol 12-29-06.

4.7 The following symbols shall be oriented as described or shown within this standard with respect to the inputs, outputs and outlines of the elements in which they appear. That is, these symbols, together with any associated terminal lines, shall be mirrored when the direction of signal flow is reversed:

10-15-01	Amplifier, general symbol (see IEC 60617-10)
12-07-01	Logic negation, shown at an input
up to and including	
12-07-09	Dynamic input with polarity indicator
12-08-01	Internal connection
up to and including	
12-08-06	Internal output (virtual output)
12-09-08A	Output with special amplification
12-09-08B	Input with special amplification
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-47	Line grouping at the input side
12-09-48	Line grouping at the output side
12-55-01	Bus indicator, unidirectional

See, for example, symbol 12-07-03 and its mirrored version 12-07-05.

All other qualifying symbols shall be oriented as shown with respect to the text inside the element.

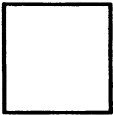
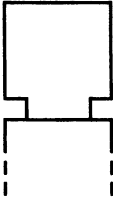
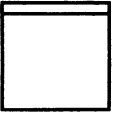
For more information about the orientation of symbols, see **4.3.4** of IEC 61082-1.

5 Cadres

- 5.1 Aucun rapport longueur-largeur n'est imposé.
- 5.2 Pour les combinaisons de cadres, voir la section 6.

5 Outlines

- 5.1 The length-width ratio of outlines is arbitrary.
- 5.2 For combination of outlines, see section 6.

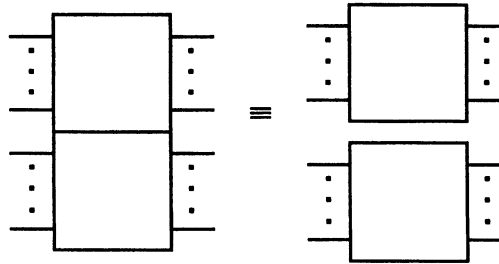
No.	Symbole Symbol	Légende	Description
12-05-01		Cadre d'un opérateur (représenté carré)	Element outline (square shown)
12-05-02		Cadre du symbole des communs	Common control block outline
12-05-03		Cadre d'opérateur commun de sortie	Common output element outline

6 Emplol et associations de cadres

6.1 Pour réduire la place nécessaire à la représentation d'un groupement d'opérateurs associés, les cadres de ces opérateurs peuvent être accolés ou imbriqués entre eux en respectant les prescriptions ci-après.

6.1.1 Il n'y a aucune connexion logique entre éléments lorsque le côté commun à leur cadre est parallèle à la direction de propagation des informations.

Illustration



NOTE Cette règle se trouve sans objet pour les groupements d'opérateurs dans lesquels existent deux ou plusieurs directions de propagation, par exemple dans le cas de symbole des communs, d'opérateur commun de sortie, ou de notation de dépendance.

6.1.2 Il y a au moins une connexion logique entre des opérateurs si le trait commun aux deux cadres est perpendiculaire à la direction de propagation des informations.

Puisque les symboles des communs ne sont pas des opérateurs, il n'existe pas de connexion logique en direction ou provenant d'un symbole des communs, à l'exception de celles allant vers le groupement attaché et les connexions qui sont figurées explicitement.

Chaque connexion peut être indiquée par des symboles distinctifs placés sur un côté ou de chaque côté du trait commun. S'il peut y avoir doute sur le nombre de connexions logiques, le symbole de connexion interne (symbole 12-08-01) doit être utilisé.

6 Use and combination of outlines

6.1 To reduce the space required for the representation of a group of associated elements, the outlines of the elements may be joined or embedded provided the following rules are observed.

6.1.1 There is no logic connection between elements when the line common to their outlines is in the direction of signal flow.

NOTE This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, for example indicated by a common control block, a common output element, or by dependency notation.

6.1.2 There is at least one logic connection between elements if the line common to the two outlines is perpendicular to the direction of signal flow.

Because common control blocks are not elements, no logic connections to or from a common control block exist except those to the attached array and connections that are explicitly shown.

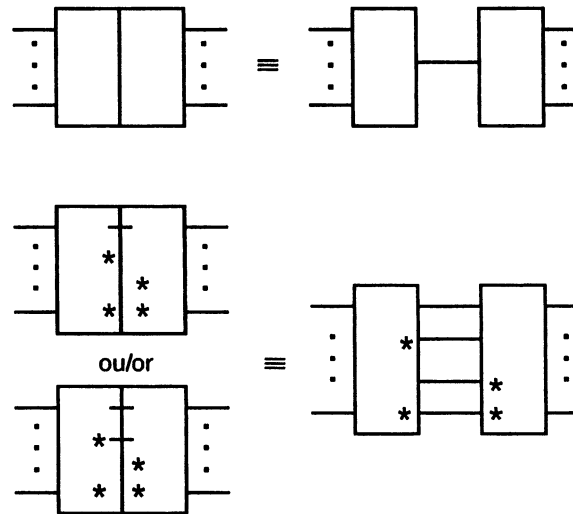
Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion is likely about the number of logic connections, use should be made of the internal connection symbol (symbol 12-08-01).

Si aucune indication n'est portée de l'un ou de l'autre côté du trait commun, il n'y a qu'une seule connexion logique.

If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

Illustrations

Chaque astérisque indique une position d'un symbole distinctif



Each asterisk denotes a position for a qualifying symbol

6.2 Le symbole des communs peut être utilisé dans un groupement d'opérateurs associés pour y placer les accès intéressant plus d'un d'entre eux ou ayant un rôle indépendant. De tels accès doivent être marqués si nécessaire.

6.2.1 Quand une entrée aboutissant au symbole des communs est influançante au sens de la notation de dépendance (voir sections 11 et 12), elle concerne les seuls opérateurs du groupement dans lesquels se trouve son numéro d'identification. Quand une telle entrée n'est pas influançante, elle concerne tous les opérateurs du groupement.

Le symbole des communs est placé à une extrémité du groupement.

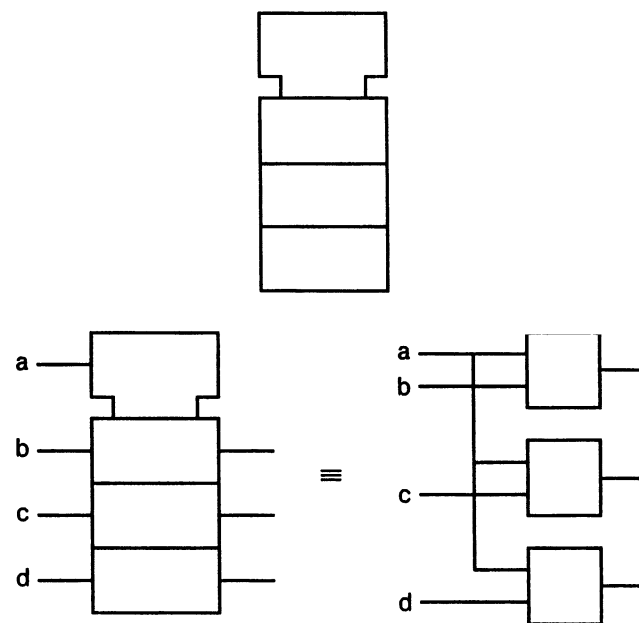
Sauf indication contraire, l'opérateur jouxtant le symbole des communs est réputé être celui de rang le plus bas.

6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

6.2.1 If an input shown at a common control block is an affecting input in the sense of dependency notation (see sections 11 and 12), it is connected as an input only to those elements of the array in which its identifying number appears. If an input shown at a common control block is not an affecting input in the sense of dependency notation, it is an input common to, or affecting, all elements of the array.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

Illustrations

6.2.2 Une sortie commune, résultant de tous les éléments d'un groupement, peut être représentée comme sortie d'un opérateur commun de sortie. Dans le cas où un quelconque élément du groupement a plus d'une sortie, l'opérateur commun de sortie ne peut être utilisé *que* si ces sorties ont toujours un même état logique interne. Il y a une connexion interne de chaque opérateur à l'opérateur commun de sortie, et ces connexions internes ne doivent pas être représentées. En outre, l'opérateur commun de sortie peut avoir d'autres entrées qui doivent être explicitement représentées. La fonction de l'opérateur commun de sortie doit être indiquée.

L'état logique interne d'une entrée d'un opérateur commun de sortie correspondant à une sortie du groupement est le même que celui de cette sortie.

6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

L'opérateur commun de sortie est représenté

- soit à l'intérieur du symbole des communs,
- soit à l'extrémité du groupement, à l'opposé du symbole des communs.

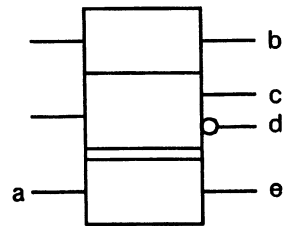
Lorsqu'il convient de représenter un groupement d'opérateurs communs de sortie, il suffit de faire figurer le double trait supérieur une seule fois.

A common output element is shown

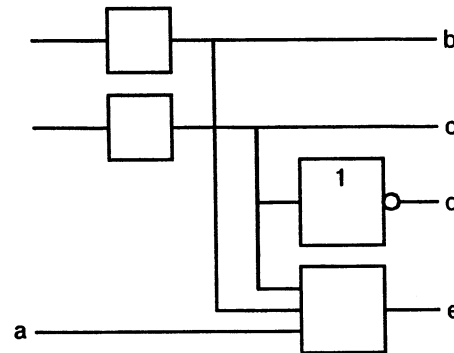
- inside the common control block, or
- at the end of the array, opposite the common control block if there is one.

Where it is appropriate to show an array of common output elements, the double line needs to be shown only once.

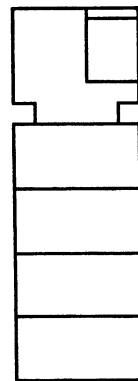
Illustrations



≡

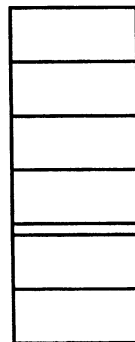


Groupement avec opérateur commun de sortie à l'intérieur du symbole des communs



Array with common output element inside the common control block

Groupement avec deux opérateurs communs de sortie



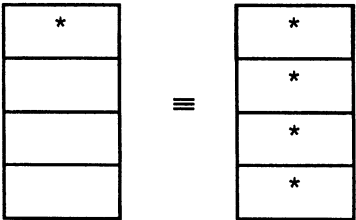
Array with two common output elements

6.3 Pour un groupement d'opérateurs ayant les mêmes symboles distinctifs, il suffit d'inscrire ces symboles une seule fois dans le premier cadre, s'il n'en résulte aucune confusion. De même, dans le cas d'un groupement d'opérateurs comprenant plusieurs sous-ensembles identiques, le premier est représenté en détail et les suivants par un cadre vide. Il est entendu que les numéros d'identification des accès influençants au sens de la notation de dépendance et des accès influencés correspondants diffèrent dans chacun des opérateurs du groupement (pour illustration du concept, voir section 14). Voir aussi les simplifications procurées par l'emploi de la notation de dépendance.

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion is likely. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see section 14). See also the simplifications resulting from the use of dependency notation.

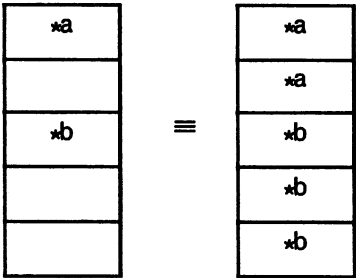
Illustrations

Groupement d'opérateurs ayant le même symbole distinctif d'opérateur



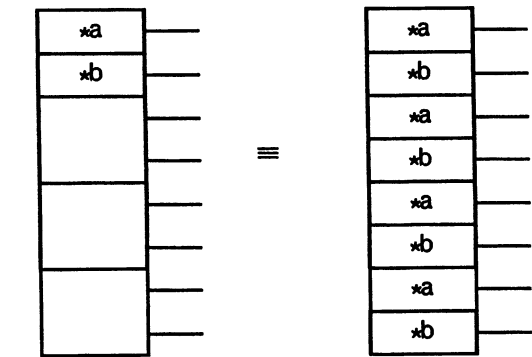
Array of elements with identical general qualifying symbols

Deux groupes successifs d'opérateurs



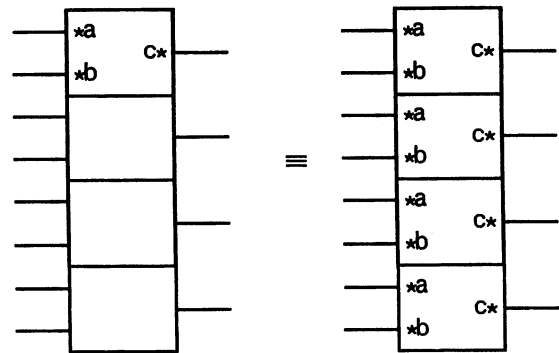
Two successive arrays of elements

Groupement de quatre paires d'opérateurs



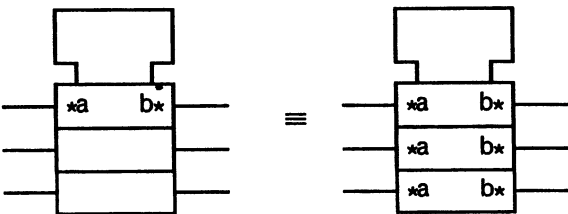
Two interlaced arrays of elements

Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré sans symbole des communs



Array of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block

Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré avec symbole des communs

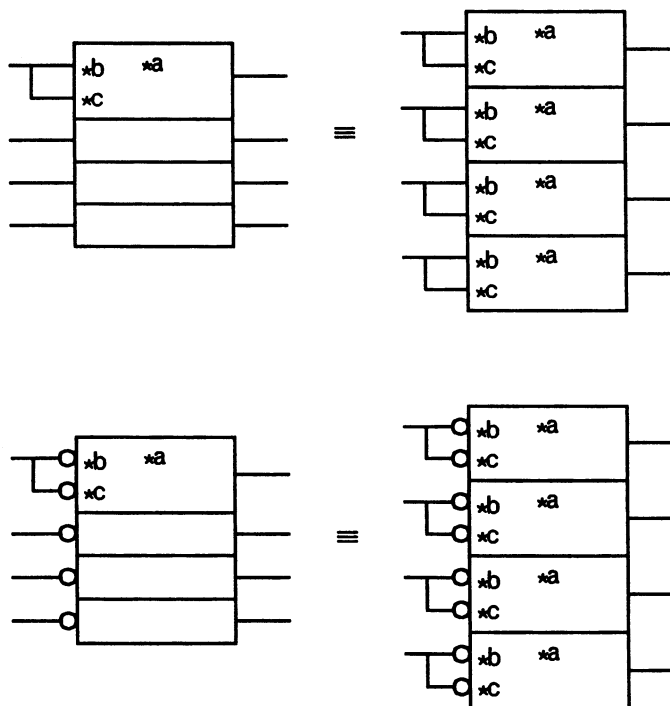


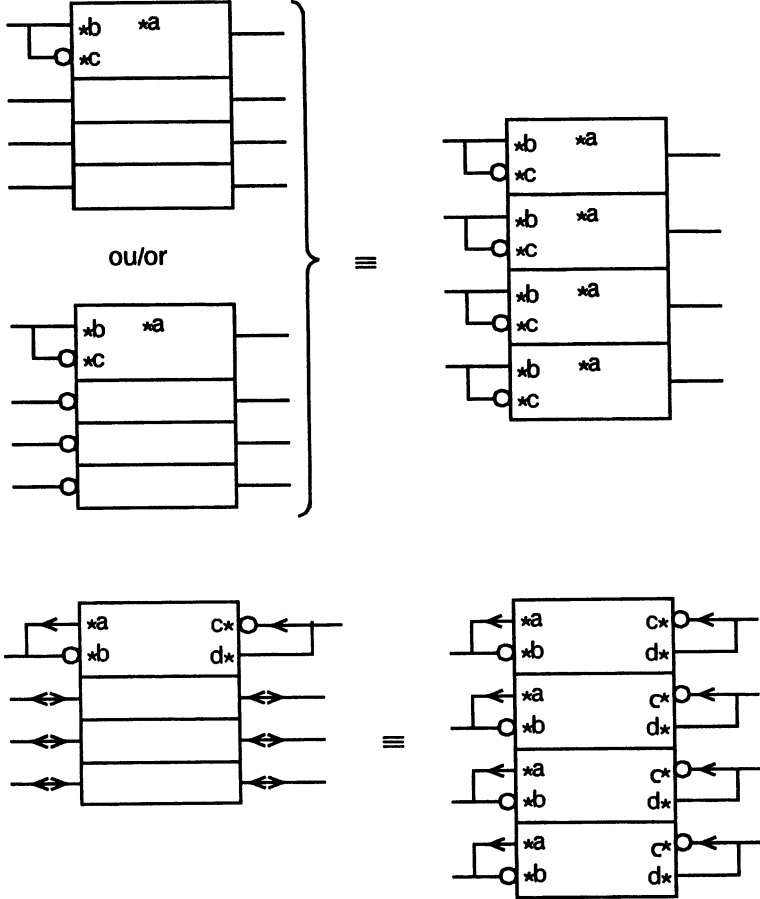
Array of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block

6.4 Si, dans un groupement simplifié d'opérateurs identiques, la représentation des fonctions d'un accès nécessite deux ou plusieurs traits connectés en dehors du cadre, il suffit de figurer ces traits seulement avec le premier opérateur et de les représenter avec chaque opérateur simplifié par un trait unique. Des symboles extérieurs au cadres communs à tous les traits connectés doivent figurer avec ce trait unique. Des symboles extérieurs qui ne sont pas communs à tous les traits connectés peuvent être omis, ou l'ensemble le plus convenable peut figurer.

6.4 If in a simplified array of identical elements the representation of functions of a terminal requires two or more lines connected together outside the outline, it is sufficient to show these lines only with the first element and represent them with each simplified element by a single line. Symbols outside the outline common to all lines connected together shall be shown with this single line. Symbols outside the outline not common to all lines connected together may be omitted, or the most suitable set may be shown.

Illustrations





Chapitre III : Symboles distinctifs associés aux accès et connexions internes

7 Négation, polarité logique et entrée dynamique

Chacun des symboles de la présente section fixe une relation entre état logique interne et état logique externe ou niveau logique.

En l'absence de l'un de ces symboles figurant à une entrée ou une sortie, son état interne 1 est réputé correspondre

- dans un schéma utilisant le symbole de négation logique, à son état logique externe 1, ou
- dans un schéma utilisant le symbole de polarité logique, à son niveau logique H le plus positif.

Dans ce dernier cas de schéma, les états logiques externes n'existent pas.

Les symboles de négation logique et de polarité logique ne doivent pas être utilisés sur le même schéma, sauf dans le cas de connexions internes avec négation logique admises dans un schéma utilisant le symbole de polarité logique. Voir les symboles 12-08-02 et 12-08-04.

Voir aussi la CEI 61082-2.

Chapter III: Qualifying symbols associated with inputs, outputs and other connections

7 Negation, logic polarity and dynamic input

Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

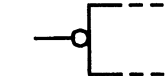
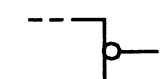
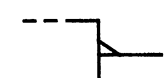
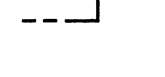
If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds to

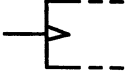
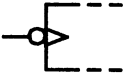
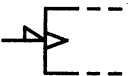
- the external logic 1-state in a diagram using the symbol for logic negation, or
- the logic H-level in a diagram using the symbol for logic polarity.

In the latter diagram, external logic states do not exist.

The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity. See symbols 12-08-02 and 12-08-04.

See also IEC 61082-2.

No.	Symbole	Légende	Description
12-07-01		Négation logique, figurée sur une entrée	Logic negation, shown at an input
12-07-02		Négation logique, figurée sur une sortie L'état interne 1 correspond à l'état externe 0. NOTE La ligne de connexion peut traverser le cercle.	Logic negation, shown at an output The internal 1-state corresponds to the external 0-state. NOTE The connecting line may extend through the circle.
12-07-03		Polarité logique, figurée sur une entrée Indicateur de polarité, figuré sur une entrée	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04		Polarité logique, figurée sur une sortie Indicateur de polarité, figuré sur une sortie	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05		Polarité logique } figurée sur une entrée dans Indicateur de polarité } le cas de propagation des } informations de droite à } gauche	Logic polarity } shown at an input in the case of Polarity indicator } signal flow from right to left
12-07-06		Polarité logique } figurée sur une sortie dans Indicateur de polarité } le cas de propagation des } informations de droite à } gauche	Logic polarity } shown at an output in the case Polarity indicator } of signal flow from right to left
		L'état interne 1 correspond au niveau L sur la ligne de connexion.	The internal 1-state corresponds to the L-level on the connecting line.

No.	Symbole Symbol	Légende	Description
12-07-07		Entrée dynamique L'état interne 1 (fugitif) apparaît seulement pendant la transition de l'état externe 0 à l'état externe 1. Dans tous les autres cas, l'état interne est 0. Dans le cas de schéma utilisant le symbole de polarité logique, l'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau L au niveau H sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input The (transitory) internal 1-state corresponds to the transition from the external 0-state to the external state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds to the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Entree dynamique avec négation logique L'état (fugitif) interne 1 apparaît seulement pendant la transition de l'état externe 1 à l'état externe 0. Dans tous les autres cas, l'état interne est 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds to the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Entrée dynamique avec indicateur de polarité L'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau H au niveau L sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds to the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

8 Connexions internes

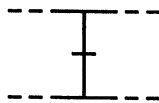
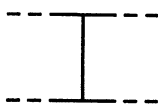
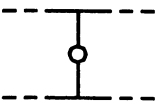
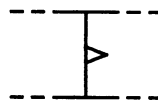
Les symboles de la présente section indiquent les relations entre états logiques internes des connexions internes.

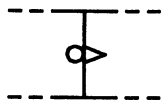
Une connexion interne est une connexion à l'intérieur d'un opérateur. Il est utile de pouvoir symboliser une telle connexion pour figurer les relations entre opérateurs regroupés. Dans beaucoup d'applications, il est bon d'utiliser les symboles de la présente section pour mettre en lumière les fonctions d'éléments complexes. Dans de tels cas, il convient d'utiliser la notation de dépendance est pour définir les effets des entrées internes ou des sorties internes.

8 Internal connections

The symbols in this section define the relationships between internal logic states at internal connections.

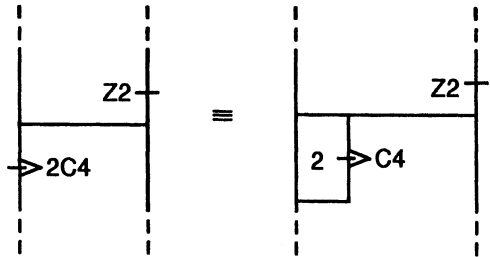
An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the functions of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

No.	Symbole Symbol	Légende	Description
12-08-01		Connexion interne Le symbole 12-08-01A peut être utilisé s'il n'en résulte pas de confusion au sujet du nombre de connexions logiques. Voir également 6.1.2.	Internal connection Symbol 12-08-01A may be used if no confusion is likely about the number of logic connections. See also 6.1.2.
12-08-01A		L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 1 [0] de la sortie de l'opérateur de gauche. Ces symboles ne peuvent être utilisés pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. En cas contraire, le symbole 12-08-08 doit être utilisé.	The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 1-state [0-state] of the output of the element on the left. These symbols may be used for a signal flow from right to left only if the direction of signal flow is obvious. Otherwise, symbol 12-08-08 shall be used.
12-08-02		Connexion interne avec négation L'état interne 1[0] de l'entrée de l'opérateur de droite correspond à l'état interne 0 [1] de la sortie de l'opérateur de gauche. Ce symbole ne peut être utilisé pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. Dans le cas contraire, le symbole 12-08-09 doit être utilisé. NOTE Le trait vertical peut traverser le cercle.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 0-state [1-state] of the output of the element on the left. This symbol may be used for a signal flow from right to left only if the direction of the signal flow is obvious. Otherwise, symbol 12-08-09 shall be used. NOTE The vertical line may extend through the circle.
12-08-03		Connexion interne à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 0 à l'état interne 1 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

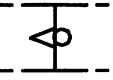
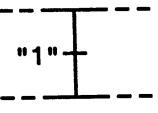
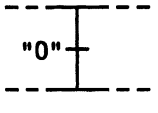
No.	Symbole Symbol	Légende	Description
12-08-04		Connexion interne avec négation, à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 1 à l'état interne 0 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-05		Entrée interne, figurée côté gauche Entrée virtuelle, figurée côté gauche	Internal input, shown on the left-hand side Virtual input, shown on the left-hand side
12-08-05A		Entrée interne, figurée côté droit Entrée virtuelle, figurée côté droit Cette entrée est toujours à l'état interne 1, à moins qu'elle ne soit modifiée par une dépendance prépondérante ou modifiante (voir symboles 12-42-12 et 12-49-02). Ces symboles peuvent être présentés aux limites externes d'un élément pour accentuer le fait qu'aucune ligne externe d'entrée n'a été oubliée. Il convient qu'une entrée virtuelle sur la ligne commune de séparation de deux éléments juxtaposés soit indiquée avec la notation de dépendance, sans ces symboles. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes. NOTE 1 Les entrées ou sorties internes ont seulement un état logique interne. NOTE 2 Il convient de ne pas confondre le symbole 12-08-05 avec le symbole 12-08-01, qui est utilisé pour une connexion entre des éléments aboutés.	Internal input, shown on the right-hand side Virtual input, shown on the right-hand side This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). These symbols may be shown at the external boundary of an element to emphasize the fact that there is no external input line that has been forgotten. A virtual input at the common boundary of two abutted elements should be indicated by dependency notation without these symbols. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTE 1 Internal inputs and outputs have internal logic states only. NOTE 2 Symbol 12-08-05 should not be confused with symbol 12-08-01, which is used for a connection between abutted elements.

No.	Symbole Symbol	Légende	Description
12-08-06		Sortie interne, figurée côté droit Sortie virtuelle, figurée côté droit	Internal output, shown on the right-hand side Virtual output, shown on the right-hand side
12-08-06A		Sortie interne, figurée côté gauche Sortie virtuelle, figurée côté gauche L'action de cette sortie sur une entrée ou une sortie à laquelle elle est connectée doit être indiquée par la notation de dépendance. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes. NOTE Les notes du symbole 12-08-05/12-08-05A sont applicables.	Internal output, shown on the left-hand side Virtual output, shown on the left-hand side The effect of this output on an input or output to which it is connected shall be indicated by dependency notation. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTE The notes with symbol 12-08-05/12-08-05A apply.
12-08-07		Entrée interne à caractère dynamique, figurée côté gauche Entrée virtuelle à caractère dynamique, figurée côté gauche	Internal input with dynamic character, shown on the left-hand side Virtual input with dynamic character, shown on the left-hand side
12-08-07A		Entrée interne à caractère dynamique, figurée côté droit Entrée virtuelle à caractère dynamique, figurée côté droit L'état 1 interne (transitoire) correspond à la transition de l'état 0 interne à l'état 1 interne qui se produirait si l'entrée n'était pas dynamique. La source du signal de transition doit être représentée par une notation de dépendance. Le numéro d'identification de cette notation de dépendance doit être le caractère le plus à gauche dans la chaîne de la désignation de l'entrée, que cette entrée soit montrée sur la partie gauche ou sur la partie droite du cadre du symbole. NOTE Pour un exemple d'utilisation, voir le symbole 12-47-01.	Internal input with dynamic character, shown on the right-hand side Virtual input with dynamic character, shown on the right-hand side The (transitory) internal 1-state corresponds to the transition from the internal 0-state to the internal 1-state that would occur if this input were not dynamic. The source of the transitioning signal shall be shown by dependency notation. The identifying number of the transitioning signal shall be the left-most character in the label string at this input. This holds whether this input is shown on the left-hand side or on the right-hand side of the symbol outline. NOTE For an example of use, see symbol 12-47-01.

Illustration



No.	Symbole Symbol	Légende	Description
12-08-08		Connexion interne, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 1 [état 0] de la sortie de l'élément de droite. S'il n'y a pas de confusion possible, on peut utiliser les symboles 12-08-01 ou 12-08-01A.	Internal connection for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 1-state [0-state] of the output of the element on the right. If no confusion is likely, symbols 12-08-01 or 12-08-01A may be used instead.
12-08-09		Connexion interne avec négation logique, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 0 [état 1] de la sortie de l'élément de droite. Si aucune confusion n'est possible, le symbole 12-08-02 peut être utilisé. NOTE La note du symbole 12-08-02 est applicable.	Internal connection with logic negation for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 0-state [1-state] of the output of the element on the right. If no confusion is likely, symbol 12-08-02 may be used instead. NOTE The note with symbol 12-08-02 applies.

No.	Symbole Symbol	Légende	Description
12-08-10		Connexion interne à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l'élément de gauche correspond à la transition de l'état interne 0 à l'état interne 1 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.
12-08-11		Connexion interne avec négation logique à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l'élément de gauche correspond à la transition de l'état interne 1 à l'état interne 0 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with logic negation and dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.
12-08-12		Sortie fixée à l'état 1, figurée sur une connexion interne Voir légende du symbole 12-09-50.	Fixed 1-state output, shown at an internal connection See description of symbol 12-09-50.
12-08-13		Sortie fixée à l'état 0, figurée sur une connexion interne Voir légende du symbole 12-09-51.	Fixed 0-state output, shown at an internal connection See description of symbol 12-09-51.

9 Symboles intérieurs aux cadres

Règles générales

9.1 Si des symboles distinctifs identiques définis dans cette section sont représentés sur deux ou plusieurs entrées pour indiquer les fonctions de ces entrées, les entrées sont considérées comme étant liées par une relation OU. Comme exemple, voir le symbole 12-42-06. Afin de respecter cette règle, les symboles suivants n'indiquent pas de fonctions et toute relation entre les entrées doit être spécifiée d'une autre manière :

12-09-02	Entrée à seuils
12-09-08B	Entrée avec amplification particulière
12-09-09	Entrée d'expansion
12-09-24	Groupement numérique d'entrée à plusieurs bits
12-09-25	Groupement numérique de sortie à plusieurs bits
12-09-25A	Groupement de marquage
12-09-47	Groupement de liaison d'entrée
12-09-49	Entrée de mode fixe

9.2 Les légendes des symboles 12-09-13 à 12-09-22 peuvent donner au lecteur l'impression qu'il s'agit d'entrées dynamiques. Ce n'est pas toujours le cas, car il est rappelé que l'état logique interne, déterminé par l'état ou le niveau logique externe, peut être éventuellement modifié par l'influence d'autres entrées (par exemple: entrées Cm). Si des entrées représentées par les symboles 12-09-13 à 12-09-22 ont un caractère dynamique, il y a lieu d'ajouter le symbole 12-07-07. Voir par exemple le symbole 12-47-01.

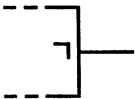
9 Symbols inside the outline

General rules

9.1 If identical qualifying symbols defined in this section are shown at two or more inputs to indicate the functions of those inputs, the inputs are assumed to stand in an OR relationship. For example, see symbol 12-42-06. For the purpose of this rule, the following do not indicate a function, and any relationship between the inputs shall be specified by some other means:

12-09-02	Bi-threshold input
12-09-08B	Input with special amplification
12-09-09	Extension input
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-25A	Label grouping
12-09-47	Line grouping at the input side
12-09-49	Fixed-mode input

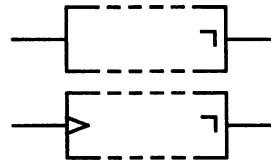
9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the impression that these are dynamic inputs. This is not always the case, as it must be remembered that the internal logic state as determined by the external logic state or level may possibly be modified by the effects of other inputs (for example, Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition. See, for example, symbol 12-47-01.

No.	Symbole Symbol	Légende	Description
12-09-01		Effet différé en sortie Sortie dont le changement d'état est différé jusqu'à ce que le signal d'entrée provoquant ce changement retourne à son état externe initial ou à son niveau logique initial. L'état logique interne de toute entrée influençant ce signal d'entrée ou influencée par celui-ci ne doit pas changer pendant que ce signal d'entrée est à l'état interne 1, sinon l'état résultant de la sortie n'est pas spécifié par le symbole. Si le signal d'entrée qui provoque le changement provient d'une connexion interne, ce changement d'état est différé jusqu'à ce que la sortie correspondante de l'opérateur précédent retourne à son état interne initial. Quand ce symbole est utilisé seul, il est entendu qu'il concerne <i>toutes</i> les entrées de l'un des types $\rightarrow$, $\leftarrow$, $+$, $-$, T et <i>tout</i> accès Cm (voir les symboles 12-18-01 et 12-18-02); en tout autre cas, on doit faire précéder ce symbole par les numéros d'identification (ou si nécessaire les marquages complets) des accès concernés. Voir le symbole 12-49-15. NOTE 1 Il convient de s'assurer que le tracé est à angle droit iso-cèle, afin d'éviter toute confusion, par exemple avec le chiffre 7. NOTE 2 La section 41 donne des précisions complémentaires pour l'emploi de ce symbole.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to each $\rightarrow$, $\leftarrow$, $+$, $-$, and T-input and to each Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed shall be shown as a prefix to this symbol. See symbol 12-49-15. NOTE 1 Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. NOTE 2 For the application of this symbol and additional explanation, see section 41.

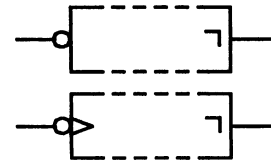
S'il n'y a pas d'autres entrées exerçant une action prépondérante, la transition à la sortie a lieu quand l'entrée passe

— dans un schéma utilisant le symbole de négation logique :

de son état externe 1 à son état externe 0

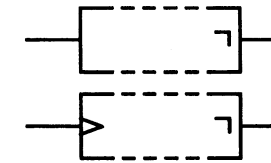


de son état externe 0 à son état externe 1

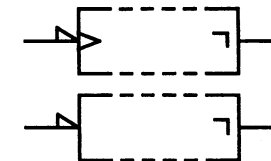


— dans un schéma utilisant le symbole de polarité logique :

de son niveau H à son niveau L



de son niveau L à son niveau H



Illustrations

If there are no other inputs with an overriding effect, the transition at the output takes place when the input changes

— in a diagram using the symbol for logic negation:

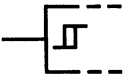
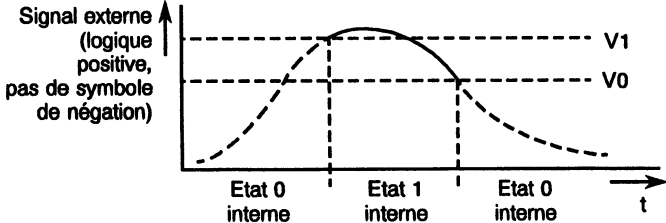
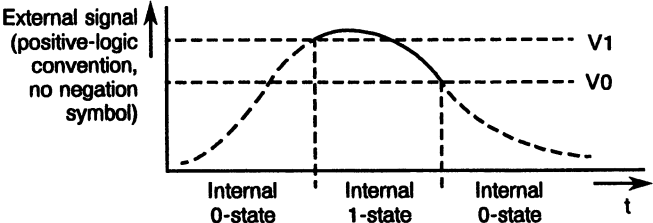
from its external 1-state to its external 0-state

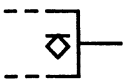
from its external 0-state to its external 1-state

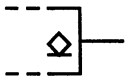
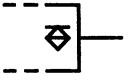
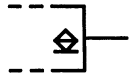
— in a diagram using the symbol for logic polarity:

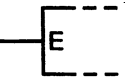
from its H-level to its L-level

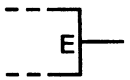
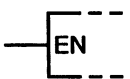
from its L-level to its H-level

No.	Symbole Symbol	Légende	Description
12-09-02		Entree à seuils Entrée à hystérésis L'entrée prend l'état interne 1 quand le niveau externe du signal atteint une valeur de seuil V_1, et conserve cet état jusqu'à ce que ce niveau repasse en sens inverse par V_1 et atteigne une autre valeur de seuil V_0. Quand ce symbole figure, sans symbole de négation ou de polarité, dans un schéma utilisant soit le symbole de polarité logique, soit la convention de logique positive, V_1 est plus positif que V_0. S'il figure sur un schéma utilisant la convention logique négative, V_1 est plus négatif que V_0. Si la négation ou le symbole de polarité est présent à l'entrée, la relation entre V_1 et V_0 est inversée. La section 30 montre l'utilisation du symbole  comme symbole distinctif de l'opérateur pour un élément.  NOTE L'absence de ce symbole n'indique pas nécessairement qu'il n'y a pas d'hystérésis. La plupart des composants habituels indiquent cette caractéristique dans une certaine mesure. Il est recommandé d'utiliser ce symbole uniquement si l'identification de la caractéristique est importante dans l'utilisation du composant.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V_1. It maintains this state until the external signal level has returned through V_1 and reaches another threshold value V_0. If this symbol (without the negation symbol or polarity symbol) appears on a diagram that uses either the symbol for logic polarity or the positive-logic convention, V_1 is more positive than V_0. If it appears on a diagram that uses the negative-logic convention, V_1 is more negative than V_0. If the negation or polarity symbol is present at the input, the relationship between V_1 and V_0 is reversed. Section 30 shows the use of the symbol  as a general qualifying symbol for an element.  NOTE The absence of this symbol does not necessarily indicate the absence of hysteresis. Most practical devices exhibit this characteristic to some extent. This symbol should only be used when an identification of the characteristic is important to the application of the device.

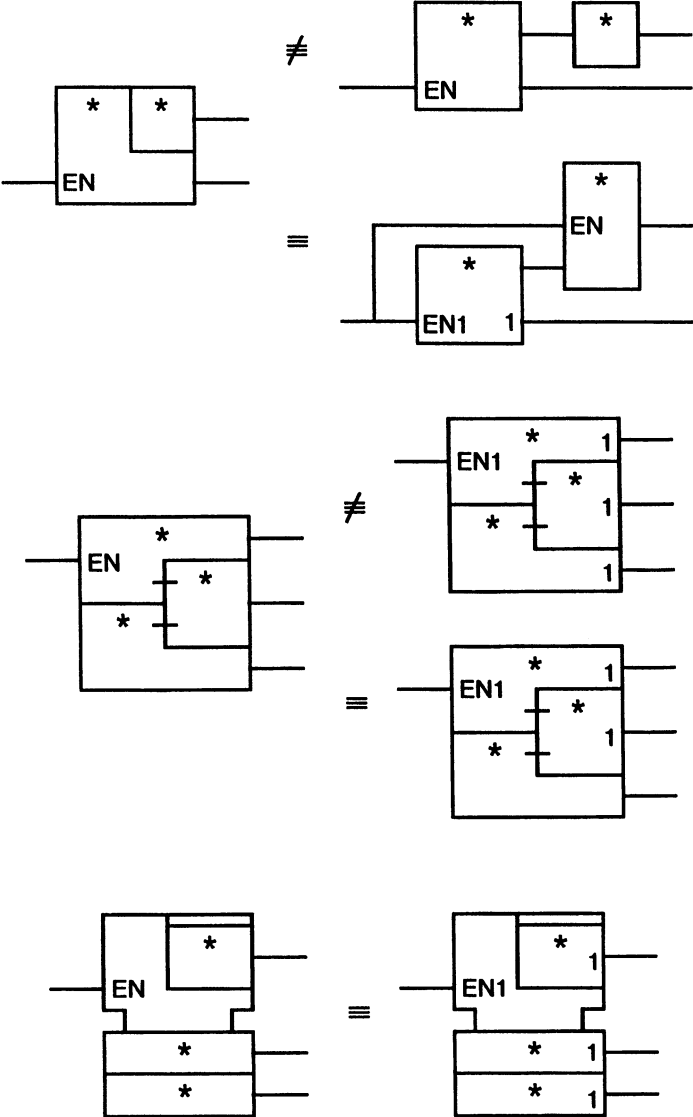
No.	Symbole Symbol	Légende	Description
12-09-03		Sortie à, circuit ouvert (par exemple collecteur ouvert, émetteur ouvert, canal drain ouvert, canal source ouvert) L'un des deux états logiques internes possibles de ce type de sortie correspond à une condition externe de haute impédance. Pour produire un niveau logique correct en cette condition, il est nécessaire que cette sortie soit connectée à un composant extérieur, souvent une résistance. Ce type de sortie est généralement capable de participer à une fonction fantôme. NOTE 1 Il convient que ce symbole jouxte le tracé de la sortie sauf lorsqu'il est fait usage du symbole de groupement numérique (symbole 12-09-25) de la manière définie à la section 25, qui autorise une autre position. NOTE 2 Bien que ce symbole figure à l'intérieur du cadre, il se rapporte seulement aux états logiques externes et aux niveaux logiques. NOTE 3 S'il est nécessaire d'indiquer le niveau logique qui correspond à la basse impédance, l'un des symboles 12-09-04 ou 12-09-05 peut être utilisé.	Open-circuit output (for example open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds to an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed connection. NOTE 1 This symbol should be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in section 25, where an alternative position is permitted. NOTE 2 Although this symbol is shown inside the outline, it refers to external states and levels only. NOTE 3 If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.
12-09-04		Sortie à circuit ouvert dy type H, par exemple: PNP à collecteur ouvert, NPN à émetteur ouvert, canal de type P de drain ouvert, canal de type N de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau H à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTE 1 Les notes 1 et 2 du symbole 12-09-03 sont applicables. NOTE 2 La signification de ce symbole n'est pas modifiée par la présence d'un symbole de négation logique ou de polarité logique.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel open-drain, N-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. NOTE 1 Notes 1 and 2 with symbol 12-09-03 apply. NOTE 2 The meaning of this symbol is not altered by the presence of a negation or polarity indicator.

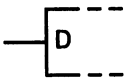
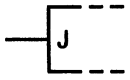
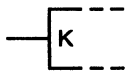
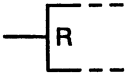
No.	Symbole Symbol	Légende	Description
12-09-05		Sortie à circuit ouvert du type L, par exemple: NPN à collecteur ouvert, PNP à émetteur ouvert, canal de type N de drain ouvert, canal de type P de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau L à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTE Les notes 1 et 2 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel open-drain, P-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. NOTE Notes 1 and 2 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-06		Sortie à circuit ouvert directe du type H Cette sortie est analogue à la sortie à circuit ouvert du type H (symbole 12-09-04) et peut, comme celle-ci, participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-07		Sortie à circuit ouvert directe du type L Cette sortie est analogue à la sortie à circuit ouvert du type L (symbole 12-09-05) et peut comme celle-ci participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-08		Sortie 3 états Cette sortie peut prendre un troisième état externe, à haute impédance, n'ayant plus de signification logique. NOTE 1 La note 1 du symbole 12-09-03 est applicable. NOTE 2 Comme exemple d'application, voir le symbole 12-29-04.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. NOTE 1 Note 1 with symbol 12-09-03 applies. NOTE 2 For an example of use, see symbol 12-29-04.

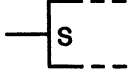
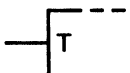
No.	Symbole	Symbole	Légende	Description
12-09-08A			Sortie avec amplification particulière Le symbole ▷ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. NOTE 1 Note 1 with symbol 12-09-03 applies. NOTE 2 Quand ce symbole est utilisé avec les symboles 12-09-03 à 12-09-08, ces derniers sont placés entre le symbole d'amplification et le côté du cadre. NOTE 3 L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur.	Output with special amplification (drive capability) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. NOTE 1 La note 1 du symbole 12-09-03 est applicable. NOTE 2 If this symbol is used with symbols 12-09-03 up to and including 12-09-08, those symbols are placed between the amplification symbol and the edge of the element. NOTE 3 The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element.
12-09-08B			Entrée avec amplification (sensibilité) particulière Le symbole ▷ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. Quand un ou plusieurs des symboles 12-09-47, 12-09-08B ou 12-09-02 sont nécessaires pour marquer une entrée, ils doivent être placés dans l'ordre suivant: le symbole 12-09-47 doit être placé tout près de l'entrée, suivi par le symbole 12-09-08B et ensuite par le symbole 12-09-02. NOTE L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur. Placé à une entrée, et non pas comme symbole distinctif général, le symbole indique que l'entrée se caractérise par une sensibilité inhabituelle sans pour autant augmenter l'amplification de sortie.	Input with special amplification (sensitivity) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. If one or more of the symbols 12-09-47, 12-09-08B or 12-09-02 are required at an input, they shall be shown, as needed, in the following order: symbol 12-09-47 shall be placed closest to the input(s), followed by symbol 12-09-08B, and then by symbol 12-09-02. NOTE The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element. Its use at an input, rather than as a general qualifying symbol, shows that the input is unusually sensitive rather than that the output has increased drive capability.
12-09-09			Entrée d'expansion Entrée d'un opérateur à laquelle peut être connectée la sortie d'un circuit extenseur (voir le symbole 12-09-10). NOTE Les caractéristiques des relations entre les états logiques externes d'une variable binaire et les grandeurs physiques correspondantes ne sont généralement pas valables pour les entrées d'expansion ou sorties d'extenseur.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). NOTE The description, that characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.

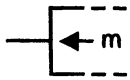
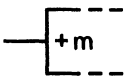
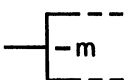
No.	Symbole Symbole	Légende	Description
12-09-10		Sortie d'un extenseur Sortie d'un opérateur qui peut être connectée à l'entrée d'expansion d'un autre opérateur afin d'augmenter le nombre d'entrées de cet opérateur. NOTE La note du symbole 12-09-09 est applicable.	Extender output An output of a binary element that may be connected to the extension input of another binary element in order to extend the number of inputs of that element. NOTE The note with symbol 12-09-09 applies.
12-09-11		Entrée de validation Quand cette entrée est à l'état interne 1, toutes les sorties de l'opérateur ont l'état logique interne normalement défini par la fonction de l'opérateur, et exercent l'action conséquente sur les opérateurs réels ou fantômes auxquels elles sont connectées pourvu qu'aucun autre accès n'exerce une action prépondérante. Quand cette entrée est à l'état interne 0, toutes les sorties des types 12-09-03, 12-09-04 ou 12-09-05 sont à l'état externe. «haute impédance» toutes les sorties à circuit ouvert directes du type H sont à leur niveau L «haute impédance» toutes les sorties à circuit ouvert directes du type L sont à leur niveau H «haute impédance», toutes les sorties 3 états sont à leur état interne normalement défini et à l'état externe «haute impédance» et toutes les autres sorties sont à l'état interne 0. NOTE Cette entrée n'influence que les sorties externes. Toutefois lorsqu'elle concerne un opérateur utilisant l'une des connexions internes des symboles 12-08-01 à 12-08-04, même si la note du symbole 12-08-01 est appliquée, ou si une connexion interne est impliquée (par exemple par un symbole des communs, un opérateur commun de sortie ou une notation de dépendance), cette entrée est aussi une entrée de validation EN pour la sortie de cet opérateur. Si une ambiguïté est possible, par exemple dans le cas de cadres imbriqués, il y a lieu d'utiliser la dépendance EN, définie à la section 20.	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impedance H-levels, all 3-state outputs stand at their normally defined internal logic states and are in their external high-impedance conditions, and all other outputs stand at their internal 0-states. NOTE This input only affects outputs shown as external out-puts. If it is an input of an element having an internal connection indicated by one of the symbols 12-08-01 up to and including 12-08-04, even when the note with symbol 12-08-01 is applied, or if an internal connection is implied (for example, by a common control block, common output element or dependency notation), the input is also an EN-input of the element to which the internal connection is connected. If ambiguity can arise, for example because of the presence of embedded outlines, EN-dependency as defined in section 20 should be used.

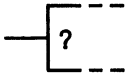
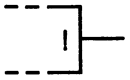
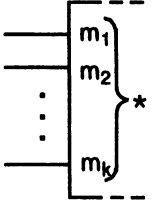
Illustrations

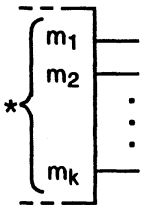


No.	Symbole Symbol	Légende	Description
12-09-12		Entrée D L'état logique interne de cette entrée est mémorisé par l'opérateur. Voir le symbole 12-42-02. NOTE L'état logique interne de cette entrée est toujours dépendant d'un accès influençant.	D-input The internal logic state of the D-input is stored by the element. See symbol 12-42-02. NOTE The internal logic state of this input is always subject to an affecting input or output.
12-09-13		Entrée J Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état 0, elle n'a aucun effet sur l'opérateur.	J-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-14		Entrée K Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'apparition de la combinaison J = K = 1 provoque un unique changement de l'état interne de la sortie de l'opérateur à son état complémentaire. 9.2 est applicable.	K-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element Each occurrence of the combination J = K = 1 causes a single change of the internal state of the output to its complement. 9.2 applies.
12-09-15		Entrée R Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur.	R-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.

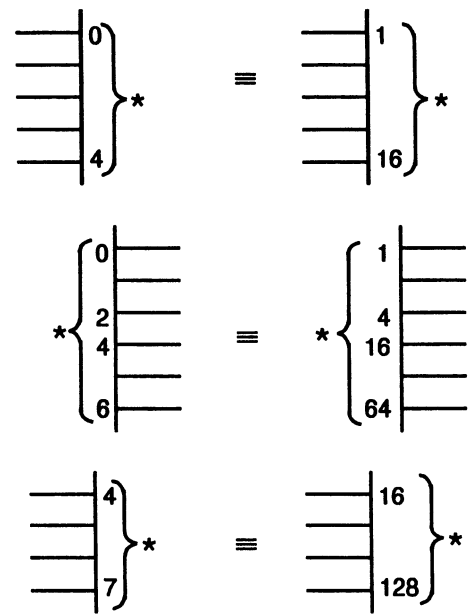
No.	Symbole Symbol	Légende	Description
12-09-16		Entrée S Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. NOTE L'effet de la combinaison $R = S = 1$ peut être précisé par l'emploi de la dépendance R ou S (voir la section 19). 9.2 est applicable.	S-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. NOTE The effect of the combination $R = S = 1$ is not specified by the symbol; this effect may be indicated by means of SET-/RESET-dependency (see section 19). 9.2 applies.
12-09-17		Entrée T Chaque fois que cette entrée prend l'état interne 1, il se produit un unique changement de l'état interne de la sortie à son état complémentaire. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable.	T-input Each time this input takes on its internal 1-state, a single change of the internal state of the output to its complement takes place. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies.
12-09-18		Entrée de décalage de gauche à droite ou du haut en bas Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la gauche vers la droite ou du haut vers le bas, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si $m = 1$, cette indication peut être omise. NOTE Les directions indiquées ci-dessus sont relatives à l'orientation du symbole dans lequel la flèche est orientée vers la droite.	Shifting input, left to right or top to bottom Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from left to right or from top to bottom, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If $m = 1$, the 1 may be omitted. NOTE All directions above are relative to an orientation of the symbol in which the arrow is pointing to the right.

No.	Symbole Symbol	Légende	Description
12-09-19		Entree de décalage de droite à gauche ou du bas en haut Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la droite vers la gauche ou du bas vers le haut, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise. NOTE Les directions indiquées ci-dessus sont relatives à l'orientation du symbole dans lequel la flèche est orientée vers la gauche.	Shifting input, right to left or bottom to top Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from right to left or from bottom to top, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted. NOTE All directions above are relative to an orientation of the symbol in which the arrow is pointing to the left.
12-09-20		Entrée de comptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur croît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise.	Counting-up input Each time this input takes on its internal 1-state, the content of the element is increased once by m units. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted.
12-09-21		Entrée de décomptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur décroît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable. m doit être remplacé par sa valeur effective. Si m = 1, cette indication peut être omise.	Counting-down input Each time this input takes on its internal 1-state, the content of the element is decreased once by m units. When the input stands at its internal 0-state, it has no effect on the element. 9.2 applies. m shall be replaced by the relevant value. If m = 1, the 1 may be omitted.

No.	Symbole Symbol	Légende	Description
12-09-22		Entrée d'interrogation d'une mémoire associative Quand cette entrée prend l'état interne 1, l'opérateur est interrogé sur le contenu. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. 9.2 est applicable.	Query input of an associative memory Interrogate input of an associative memory If this input takes on its internal 1-state, an interrogation of the content of the element takes place. If the input stands at its internal 0-state, it has no effect on the element. 9.2 applies.
12-09-23		Sortie de comparaison d'une mémoire associative L'état interne 1 de cette sortie indique une exactitude de comparaison.	Compare output of an associative memory Match output of an associative memory The internal 1-state at this output indicates a match.
12-09-24		Groupement numérique d'entrée à plusieurs bits, symbole général Les entrées groupées par ce symbole déterminent un nombre qui est la somme des poids individuels des entrées qui sont à l'état interne 1. Les entrées individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente — soit un nombre sur lequel une opération mathématique est effectuée, — soit un numéro d'identification dans le sens de la notation de dépendance (voir 24.2), — soit une valeur destinée à devenir le contenu de l'opérateur. $m_1 \dots m_k$ doivent être remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1 \dots m_k$ peuvent être remplacés par les exposants des puissances de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque doit être remplacé par une identification appropriée de l'opérande sur lequel l'opération mathématique est effectuée (par exemple P ou Q), par une indication appropriée au sens de la notation de dépendance ou par CT. Dans ce dernier cas, le nombre déterminé par les entrées est la valeur du contenu qui est chargé dans l'opérateur.	Bit grouping for multibit input, general symbol Inputs grouped by this symbol produce a number that is the sum of the individual weights of the inputs standing at their internal 1-states. The individual inputs shall be shown in ascending or descending order by weight. This number can be regarded — as a number on which a mathematical function is performed, or — as defining an identifying number in the sense of dependency notation (according to 24.2), or — as a value to become the content of the element. $m_1 \dots m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1 \dots m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion is likely. The asterisk shall be replaced by an appropriate indication of the operand on which the mathematical function is performed (for example P or Q), by an appropriate indication in the sense of dependency notation or by CT. In the latter case, the number produced by the inputs is the value that is loaded into the element.

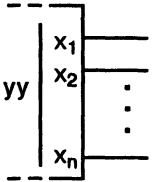
No.	Symbole Symbol	Légende	Description
12-09-25		Groupement numérique de sortie à plusieurs bits, symbole général Les sorties groupées par ce symbole représentent un nombre qui est la somme des poids individuels des sorties qui sont à l'état interne 1. Les sorties individuelles doivent être représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente — soit le résultat d'une opération mathématique effectuée, — soit la valeur du contenu de l'opérateur. $m_1 \dots m_k$ doivent être remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1 \dots m_k$ peuvent être remplacés par les exposants de 2. Les valeurs entre $m_1 \dots m_k$ peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque doit être remplacé par une indication appropriée du résultat de l'opération mathématique effectuée ou par CT. Dans ce dernier cas, le nombre représenté par les sorties qui sont à l'état interne 1 est la valeur du contenu de l'opérateur.	Bit grouping for multibit output, general symbol Outputs grouped by this symbol represent a number that is the sum of the individual weights of the outputs standing at their internal 1-states. The individual outputs shall be shown in ascending or descending order by weight. This number can be regarded — as the result of the performance of a mathematical function, or — as the value of the content of the element. $m_1 \dots m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1 \dots m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion is likely. The asterisk shall be replaced by an appropriate indication of the result of the performance of the mathematical function or by CT. In the latter case, the number represented by the outputs standing at their internal 1-states is the actual value of the content of the element.

Illustrations

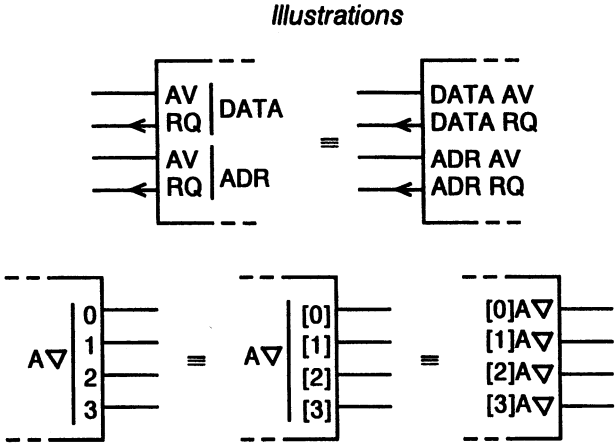


Voir aussi les exemples de la section 39.

See also examples in section 39.

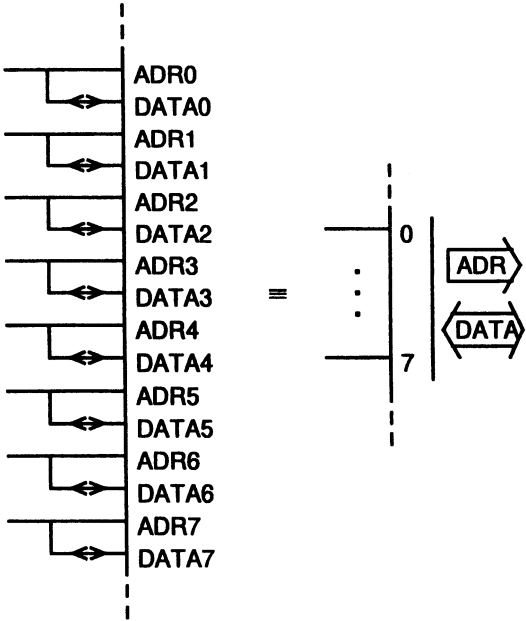
No.	Symbole Symbol	Légende	Description
12-09-25A		Groupement de marquage, symbole général, représenté côté sortie Ce symbole est utilisé pour indiquer le groupement des tracés de connexions adjacents et associés dont les repères sont partiellement de même nature. Les portions individuelles de ces repères (x_1, ..., x_n) sont placées contre les tracés de connexion à côté de la ligne verticale. La partie commune (yy) est placée une seule fois de l'autre côté de la ligne verticale. Si les portions individuelles sont des chiffres, les chiffres intermédiaires à l'intérieur de groupes consécutifs peuvent être omis dans la mesure où aucune confusion n'en résulte. Les portions individuelles peuvent être de caractère numérique, mais les nombres qu'elles contiennent ne doivent pas être considérés comme poids pour les entrées et sorties respectives. Elles peuvent, par exemple, seulement identifier l'ordre relatif des accès. Ce symbole peut être appliqué dans les cas où le symbole de groupement numérique n'est pas applicable parce que les accès groupés ne produisent ni ne représentent un nombre. NOTE Exemples d'utilisation: voir le symbole 12-51-02 et les exemples du chapitre VI.	Label grouping, general symbol, shown at the output side This symbol indicates the grouping of adjacent and associated connecting lines whose labels are partially alike. The differing portions of these labels (x_1, ..., x_n) are placed at the side of the vertical line against the connecting lines. The common portion (yy) is placed only once at the other side of the vertical line. If the differing portions are numbers, intermediate numbers within consecutive groups may be omitted to the extent that no confusion is likely. Although the differing portions may be numeric, the numbers they contain should not be considered as weights for the respective inputs and outputs. They might, for example, only identify the relative ordering of inputs or outputs. This symbol may be applied in cases where the bit grouping symbol is not applicable because the inputs or outputs grouped together do not produce or represent a number. NOTE For examples of use, see symbol 12-51-02 and examples in chapter VI.

L'omission des crochets autour des chiffres 0, ..., 3 comme indiqué dans la figure la plus à gauche est autorisée seulement s'il n'y a pas de confusion possible avec les poids ou les numéros d'identification dans le sens de la notation de dépendance.

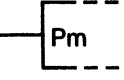
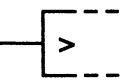
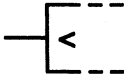
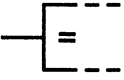


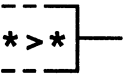
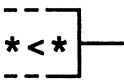
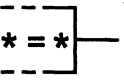
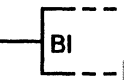
The omission of the brackets around the numbers 0, ..., 3 as shown in the leftmost figure is allowed only if no confusion is likely with weights or identifying numbers in the sense of dependency notation.

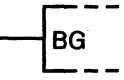
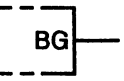
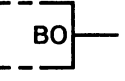
Bien que les entrées ADRESSE produisent un nombre, le symbole de groupement de marquage est adéquat ici si les entrées et sorties DATA ne produisent ou ne représentent pas un nombre.



Although the ADDRESS inputs produce a number, the label-grouping symbol is appropriate here if the DATA inputs and DATA outputs do not produce or represent a number.

No.	Symbole Symbol	Légende	Description
12-09-26		Entrée opérande (entree Pm figurée) Cette entrée représente un bit d'un opérande sur lequel une ou plusieurs opérations mathématiques sont effectuées. m doit être remplacé par la valeur décimale équivalente au poids de ce bit. Si les poids de toutes les entrées Pm de l'opérateur sont des puissances de 2, m peut être remplacé à chaque entrée Pm par l'exposant de la puissance de 2. NOTE 1 Si un opérande est constituée de deux ou plusieurs bits représentés sur des entrées, situées côte à côte, le symbole de groupement numérique (12-09-24) peut être utilisé. NOTE 2 Les symboles préférés pour les opérandes sont les lettres P et Q. Quand ces lettres ne conviennent pas ou si plus de deux opérandes sont impliqués, d'autres caractères peuvent être utilisés pourvu qu'il n'en résulte aucune confusion.	Operand input (Pm-input shown) This input represents one bit of an operand on which one or more mathematical functions are performed. m shall be replaced by the decimal equivalent of the weight of the bit. If the weights of all Pm-inputs of the element are powers of 2, at each Pm-input m may be replaced by the exponent of the power of 2. NOTE 1 If an operand consists of two or more bits represented by adjacent input lines, the bit grouping symbol (12-09-24) may be used. NOTE 2 Preferred letters for operands are P and Q. If these letters are not suitable or if more than two operands are involved, other characters may be used providing no confusion is likely.
12-09-27		Entrée «PLUS GRAND QUE» d'un comparateur numérique NOTE 1 Ce symbole est destiné au montage en cascade de comparateurs. Comme exemple d'application, voir le symbole 12-39-08. NOTE 2 Les autres symboles suivants, en accord avec l'ISO 31-11, peuvent être utilisés pour caractériser des autres entrées des comparateurs numériques: $\geq$, $\leq$, $\neq$. NOTE 3 Il convient que ce symbole soit détaché du cadre pour éviter la confusion avec le symbole de l'entrée dynamique (12-07-07).	Greater-than input of a magnitude comparator NOTE 1 This symbol is intended for use when representing cascaded comparators. For an example of use, see symbol 12-39-08. NOTE 2 Other symbols in accordance with ISO 31-11 may be used to qualify other inputs of magnitude comparators, as follows: $\geq$, $\leq$, $\neq$. NOTE 3 This symbol should not be drawn adjacent to the outline, to avoid confusion with the dynamic input indicator symbol (12-07-07).
12-09-28		Entrée «PLUS PETIT QUE» d'un comparateur numérique NOTE Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Less-than input of a magnitude comparator NOTE Notes 1 and 2 with symbol 12-09-27 apply.
12-09-29		Entrée d'«ÉGALITÉ» d'un comparateur numérique NOTE Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Equal input of a magnitude comparator NOTE Notes 1 and 2 with symbol 12-09-27 apply.

No.	Symbole Symbol	Légende	Description
12-09-30		Sortie «PLUS GRAND QUE» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. NOTE 1 Les autres symboles suivants, en accord avec l'ISO 31-11, peuvent être utilisés pour caractériser des autres sorties des comparateurs numériques $\geq$ *, $\leq$ *, $\neq$ *. NOTE 2 Dans une chaîne de comparateurs, toute sortie marquée de ce symbole est affectée non seulement par les opérandes mais également par les entrées du même opérateur marquées de l'un des symboles 12-09-27, 12-09-28 ou 12-09-29.	Greater-than output of a magnitude comparator The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. NOTE 1 Other symbols in accordance with ISO 31-11 may be used to qualify other outputs of magnitude comparators, as follows: $\leq$ *, $\geq$ *, $\neq$ *. NOTE 2 If this symbol appears in one element of a series of cascaded comparators, the output marked with this symbol is affected not only by the operands, but also by the inputs marked with the symbols 12-09-27, 12-09-28, or 12-09-29.
12-09-31		Sortie «PLUS PETIT QUE» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. NOTE Les notes du symbole 12-09-30 sont applicables.	Less-than output of a magnitude comparator The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. NOTE The notes with symbol 12-09-30 apply.
12-09-32		Sortie d'«ÉGALITÉ» d'un comparateur numérique Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement, ou, pourvu qu'il n'en résulte aucune confusion, peuvent être omis. NOTE La note 3 du symbole 12-09-30 est applicable.	Equal output of a magnitude comparator The asterisks shall either be replaced by designations of the operands, for example P and Q, respectively, or, providing no confusion is likely, be omitted. NOTE Note 3 with symbol 12-09-30 applies.
12-09-33		Entrée recevant la retenue d'une opération arithmétique de soustraction Quand cette entrée est à l'état interne 1, cela signifie qu'une opération de soustraction effectuée par un opérateur de rang inférieur a donné une retenue. NOTE Une indication numérique du poids peut être ajoutée en suffixe à ce marquage; si le poids est une puissance de 2, cette indication peut être remplacée par un exposant à condition qu'il n'ait pas risque de confusion.	Borrow-in input of an arithmetic element If this input stands at its internal 1-state, this indicates that a subtraction operation performed by a lower-ordered arithmetic element produces an arithmetic borrow. NOTE A decimal indication of the weight may be added as a suffix to this label; if the weight is a power of 2, this indication may be replaced by the exponent if no confusion is likely.

No.	Symbole Symbol	Légende	Description
12-09-34		Entrée recevant la retenue engendrée d'une opération arithmétique de soustraction Quand cette entrée est à l'état interne 1, cela signifie à un opérateur de retenue de soustraction accélérée que l'élément qui produit le signal BG est dans l'état de retenue engendré comme dans le symbole 12-09-35. L'opérateur de retenue de soustraction accélérée utilise les entrées BG, BP et BI pour déterminer avec un délai de propagation réduit, l'état de la retenue arithmétique pour un groupe d'opérateurs effectuant une soustraction binaire. NOTE La note du symbole 12-09-33 est applicable.	Borrow-generate input of an arithmetic element If this input stands at its internal 1-state, this indicates to a borrow-acceleration element that the arithmetic element that produces the BG-signal is in the borrow-generate state (see description of symbol 12-09-35). The borrow acceleration element uses its BG-, BP-, and BI-input signals to determine, with reduced propagation delays, the states of the arithmetic borrow signals for a group of arithmetic elements performing binary subtraction. NOTE The note with symbol 12-09-33 applies.
12-09-35		Sortie fournissant la retenue engendrée d'une opération arithmétique de soustraction Quand cette sortie est à l'état interne 1, cela signifie qu'un opérateur arithmétique effectuant une soustraction est dans l'état de retenue engendrée, c'est-à-dire que le nombre à soustraire appliqué à l'opérateur est plus important que le nombre dont il est soustrait causant une retenue de soustraction de cet opérateur indépendant de l'état de l'entrée BI vers cet opérateur. NOTE La note du symbole 12-09-33 est applicable.	Borrow-generate output of an arithmetic element If this output stands at its internal 1-state, this indicates that an arithmetic element performing subtraction is in the borrow-generate state, that is, that the subtrahend applied to the element is larger than the minuend, causing a borrow from that element in-dependent of the state of the BI-input to that element. NOTE The note with symbol 12-09-33 applies.
12-09-36		Sortie fournissant la retenue d'une opération arithmétique de soustraction Sortie fournissant le report de retenue de soustraction d'un opérateur arithmétique Quand cette sortie est à l'état interne 1, cela signifie que l'opération de soustraction effectuée par un opérateur arithmétique produit une retenue arithmétique comme le dit la description du symbole 12-09-33. NOTE La note du symbole 12-09-33 est applicable.	Borrow-out output of an arithmetic element Ripple-borrow output of an arithmetic element If this output stands at its internal 1-state, this indicates that a subtraction operation performed by an arithmetic element produces an arithmetic borrow (see description of symbol 12-09-33). NOTE The note with symbol 12-09-33 applies.