

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
12, Place des Etats-Unis
75783 PARIS CEDEX 16

Tél : 47.23.72.57 Téléc : CEFUTE 620434F

CECC 90 103-244

EDITION 2 - 1986

Page 1 | Nombre total de pages : 14

**COMPOSANTS ELECTRONIQUES SOUS ASSURANCE
DE QUALITE CONFORMEMENT A :**

GS : CECC 90 000 - (NF C 86-020)
SS : CECC 90 100 - (NF C 86-200)
FS : CECC 90 103 - (NF C 86-212)

UTE C 86-212 add 1/ 662**DESCRIPTION MECANIQUE :**

Référence d'encombrement
CEI 191-2 - 50a Type A 51D

Référence française : F 118

Boîtiers enfichables avec ou sans cavité

IDENTIFICATION DES CONNEXIONS

Selon tableau 1 ci-après

**SPECIFICATION PARTICULIERE POUR
MICROSTRUCTURES LOGIQUES
SELON CATEGORIE 2 FS 90 103**

LS 181**UNITÉ LOGIQUE ARITHMÉTIQUE****(ULA)****TECHNOLOGIE DE FABRICATION :**

Circuit monolithique bipolaire au silicium.

NIVEAUX D'ASSURANCE DE QUALITE : P, Y, L

1 DESCRIPTION DES MODELES

1.1 Désignation des modèles
Selon 1.2 ci-après

1.2 Marquage

Le marquage du circuit doit comporter au minimum les informations suivantes :

- identification des connexions
- désignation du modèle
- repère de conformité à la catégorie 2 de la 90 103
- gamme de température de fonctionnement
- niveau d'assurance de qualité (en code)
- le cas échéant niveau de sélection
- date-code
- marquage de conformité
- nom du fabricant ou sa marque déposée
- code usine s'il y a lieu
- matériau d'encapsulation

La liste des Produits Homologués (QPL) en vigueur indique l'existence de composants homologués conformément à cette spécification particulière.

2 - MODELE MLM 54 LS 181
MLL 74 LS 181

- CARACTERISTIQUES PROPRES AU MODELE.

- Fonction : Unité logique et arithmétique (ULA)
- Brochage et schéma synoptique : selon tableau 1 et figure 1 ci-après.
- Courants caractéristiques et facteurs de charge (selon § 4.7 de 90 103):

$I_{O(Lmax)}$	= 6,4 mA	Facteur de charge de sortie : 16
$I_{O(Hmin)}$	= -400 μ A	Facteur de charge de sortie : 40 (sauf pour les sorties $O_{A=B}$ à collecteur ouvert)
$I_{I(Lmax)}$	= - 0,4 mA	Facteur sélection de mode ML Facteur de charge d'entrée : 1
$I_{I(Lmax)}$	= - 1,2 mA	Entrées A_0 , A_1 , A_2 , A_3 , et B_0 , B_1 , B_2 , B_3 Facteur de charge d'entrée : 3
$I_{I(Lmax)}$	= - 1,6 mA	Entrées sélection de fonction S_0 , S_1 , S_2 , S_3 Facteur de charge d'entrée : 4
$I_{I(Lmax)}$	= - 2 mA	Entrée retenue $\bar{C}_n$ Facteur de charge d'entrée : 5
$I_{I(Hmin)}$	= 10 μ A	Entrée sélection du mode ML Facteur de charge d'entrée : 1
$I_{I(Hmin)}$	= 30 μ A	Entrées A_0 , A_1 , A_2 , A_3 , et B_0 , B_1 , B_2 , B_3 Facteur de charge d'entrée : 3
$I_{I(Hmin)}$	= 40 μ A	Entrées sélection de fonction S_0 , S_1 , S_2 , S_3 Facteur de charge d'entrée : 4
$I_{I(Hmin)}$	= 50 μ A	Entrées retenue $\bar{C}_n$ Facteur de charge d'entrée : 5

Table de fonctions (pour information)

$$\overline{C_n} = L \rightarrow C_n = 1 \text{ et } \overline{C_n} = H \rightarrow C_n = 0$$

SELECTION					INFORMATIONS D'ENTREE ACTIVE A L'ETAT H	
	S ₃	S ₂	S ₁	S ₀	ML = 1 Fonctions logiques	ML = 0 Opérations arithmétiques
1	0	0	0	0	$F = \overline{A}$	$F = A + C_n$
2	0	0	0	1	$F = \overline{A \cup B}$	$F = A \cup B + C_n$
3	0	0	1	0	$F = \overline{A} \cap B$	$F = A \cup \overline{B} + C_n$
4	0	0	1	1	$F = 0$	* $F = C_n - 1$
5	0	1	0	0	$F = \overline{A \cap B}$	$F = A + (A \cap \overline{B}) + C_n$
6	0	1	0	1	$F = \overline{B}$	$F = (A \cup B) + (A \cap \overline{B}) + C_n$
7	0	1	1	0	$F = A \oplus B$	$F = (A - B) - 1 + C_n$
8	0	1	1	1	$F = A \cap \overline{B}$	$F = (A \cap \overline{B}) - 1 + C_n$
9	1	0	0	0	$F = \overline{A} \cup B$	$F = A + (A \cap B) + C_n$
10	1	0	0	1	$F = \overline{A \oplus B}$	$F = A + B + C_n$
11	1	0	1	0	$F = B$	$F = (A \cup B) + (A \cap B) + C_n$
12	1	0	1	1	$F = A \cap B$	$F = (A \cap B) - 1 + C_n$
13	1	1	0	0	$F = 1$	* * $F = A + A + C_n$
14	1	1	0	1	$F = A \cup \overline{B}$	$F = (A \cup B) + A + C_n$
15	1	1	1	0	$F = A \cup B$	$F = (A \cup \overline{B}) + A + C_n$
16	1	1	1	1	$F = A$	$F = A - 1 + C_n$

* Les nombres négatifs sont affichés en complément à 2, toutes les sorties étant à l'état logique 1
 ** Décalage à gauche d'un bit

Convention pour les signes utilisés :

- + Addition arithmétique
- Soustraction arithmétique
- U "ou" logique
- ∩ "et" logique
- ⊕ "ou exclusif" logique
- $\overline{A}$ Complément logique de A



TABLEAU 1
Désignation et brochage du modèle LS 181

DESIGNATION DU MODELE	NOMBRE ET NATURE DES ENTREES	BROCHAGE POUR LE BOITIER F 118																							
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
LS 181	1 entrée sélection de mode (ML) 4 entrées sélection de fonction : S ₀ , S ₁ , S ₂ , S ₃ 8 entrées de données A ₀ , A ₁ , A ₂ , A ₃ , B ₀ , B ₁ , B ₂ , B ₃ 1 entrée retenue C _n	B ₀	A ₀	S ₃	S ₂	S ₁	S ₀	C _n	ML	F ₀	F ₁	F ₂	M	F ₃	O _{A=B}	P	C _{n+4}	G	B ₃	A ₃	B ₂	A ₂	B ₁	A ₁	V _{CC}

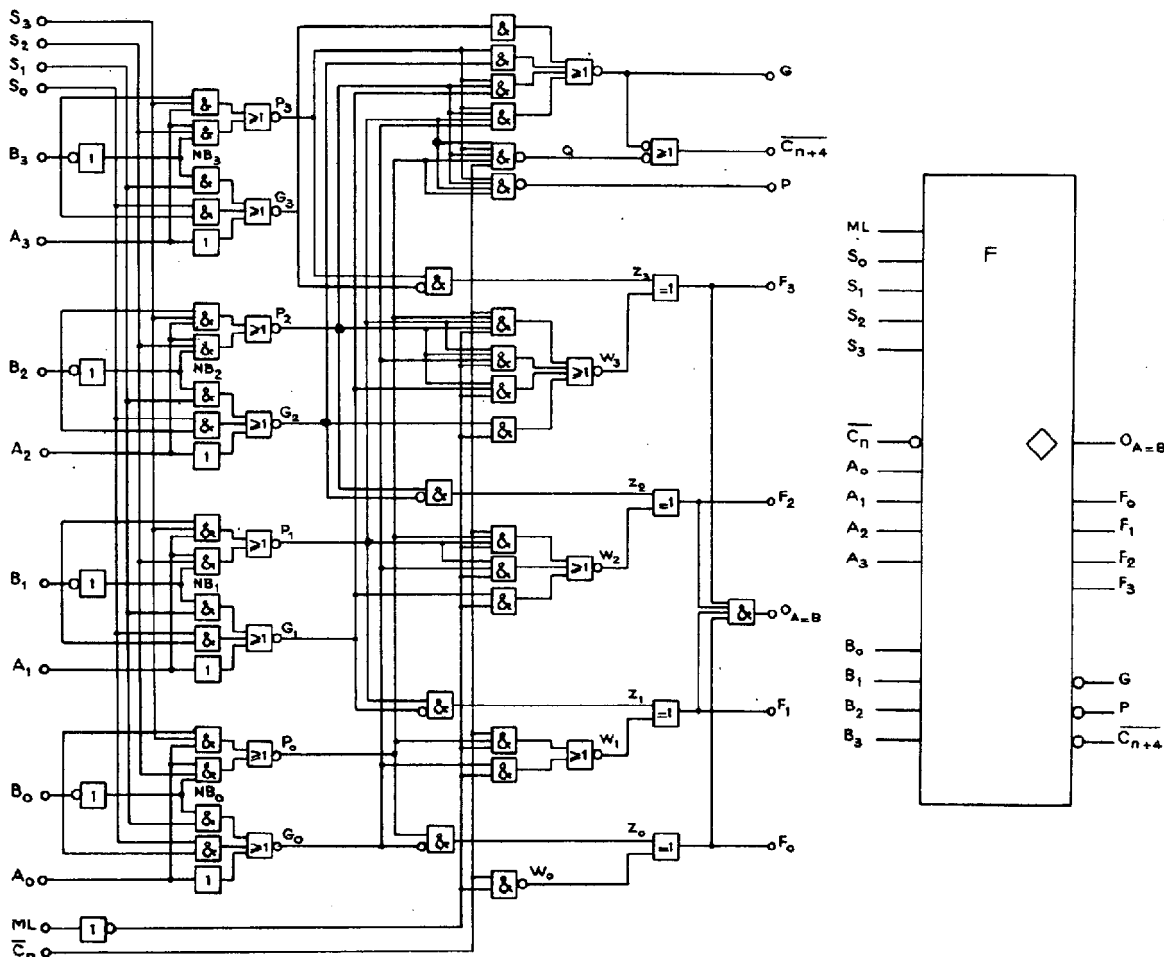


FIG. 1 - SCHEMA SYNOPTIQUE DU MODELE LS 181

3 - Vérification de la fonction logique (selon SG A2 de 90 103) :

- Conditions de vérification : le facteur de charge peut être compris entre 1 et 16 selon l'appareillage utilisé.
- La sortie $O_{A=B}$ est connectée à V_{CC} à travers une résistance de $2k\Omega$

Equations du circuit :

$$NB_i = \bar{B}_i \text{ pour } i = 0 \text{ à } 3$$

$$NC_n = \bar{C}_n$$

$$P_i = A_i (S_2 \cdot NB_i + S_3 \cdot B_i)$$

$$G_i = A_i + S_0 \cdot B_i + S_1 \cdot NB_i$$

$$Z_i = P_i \cdot G_i$$

$$P = P_0 \cdot P_1 \cdot P_2 \cdot P_3$$

$$G = G_0 \cdot P_1 \cdot P_2 \cdot P_3 + G_1 \cdot P_2 \cdot P_3 + G_2 \cdot P_3 + G_3$$

$$Q = NC_n \cdot P_0 \cdot P_1 \cdot P_2 \cdot P_3$$

$$NC_{n+4} = Q \cdot G = \bar{C}_{n+4}$$

$$NML = \bar{M}L$$

$$W_0 = NML \cdot NC_n$$

$$W_1 = NML \cdot NC_n \cdot P_0 + NML \cdot G_0$$

$$W_2 = NML \cdot NC_n \cdot P_0 \cdot P_1 + NML \cdot G_0 \cdot P_1 + NML \cdot G_1$$

$$W_3 = NML \cdot NC_n \cdot P_0 \cdot P_1 \cdot P_2 + NML \cdot G_0 \cdot P_1 \cdot P_2 + NML \cdot G_1 \cdot P_2 + NML \cdot G_2$$

$$F_i = Z_i \cdot \bar{W}_i + \bar{Z}_i \cdot W_i$$

$$O_{A=B} = F_0 \cdot F_1 \cdot F_2 \cdot F_3$$

Table de vérification du modèle LS 181 : selon Tableau 2 ci-après.