

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
12, Place des Etats-Unis
75783 PARIS CEDEX 16

Téléphone : (1) 723-72-57 Téléc : CEFUTE 620434F

DEUTSCHE ELEKTROTECHNISCHE
KOMMISSION IN DIN UND VDE

Stressmannallee 15, D-6000 FRANKFURT/MAIN 70

BRITISH STANDARDS INSTITUTION
2 Park Street, GB-LONDON W1A 2BS

CECC 90 106-062

EDITION 1 - 1985

ISSUE 1 - 1985

Page 1

Nombre total de pages : 7
Total number of pages : 7

COMPOSANTS ELECTRONIQUES SOUS ASSURANCE
DE QUALITE CONFORMEMENT A :

*ELECTRONIC COMPONENTS OF ASSESSED QUALITY
IN ACCORDANCE WITH :*

GS : CECC 90 000

SS : CECC 90 100

FS : CECC 90 106

GA 89

(4/30.09.85)

DESSIN ET DIMENSIONS :
OUTLINE AND DIMENSIONS :

CEI 191-2 - Types 050 G 04 - 050 G 03

IEC 191-2 - Types 050 G 04 - 050 G 03

IDENTIFICATION DES CONNEXIONS
TERMINAL CONNECTIONS

Voir Figure 1

See Figure 1

NOTE : Pour des encapsulations effectuées dans des boîtiers différents de ceux indiqués ci-dessus voir 90 106

NOTE : For alternative packages see 90 106

SPECIFICATION PARTICULIERE POUR
MICROSTRUCTURES LOGIQUES
SELON FS 90 106

DETAIL SPECIFICATION FOR
DIGITAL INTEGRATED CIRCUITS
IN ACCORDANCE WITH FS 90 106

54/74 ALS 113
54/74 ALS 113A

BASCULE J K $\bar{S}$

*J K NEGATIVE EDGE TRIGGERED BISTABLE
WITH PRESET*

NOTE : Le marquage ALS 113A est autorisé sous réserve de la conformité technique du produit à la présente DS.

NOTE : The marking ALS 113A is allowed if the product technically conforms to the relevant DS

TECHNOLOGIE DE FABRICATION :
TYPICAL CONSTRUCTION :

Circuit monolithique bipolaire au silicium, boîtiers avec ou sans cavité.

Silicon monolithic bipolar integrated circuit, cavity/non-cavity packages.

NIVEAUX D'ASSURANCE DE QUALITE : P, Y, L
ASSESSMENT LEVELS :

1 - CONDITIONS LIMITEES D'UTILISATION
LIMITING CONDITIONS OF USE

Voir 1 de la FS 90 106

See 1 of FS 90 106

2 - CONDITIONS DE FONCTIONNEMENT RECOMMANDEES
RECOMMENDED OPERATING CONDITIONS

Voir 2 de la FS 90 106

See 2 of FS 90 106

Se reporter à la Liste des Produits Homologués CECC 00 200 en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.

Information about manufacturers who have components qualified to this detail specification is available in the current CECC 00 200 : Qualified Products List.

3 CARACTERISTIQUES PROPRES AU MODELE CHARACTERISTICS OF THE TYPE

- Fonction : Bascule J K $\bar{S}$
- Function : J K negative edge triggered bistable with preset
- Brochage et schéma synoptique : selon Figure 1 ci-après
- Terminal identification and block-diagram : see Figure 1

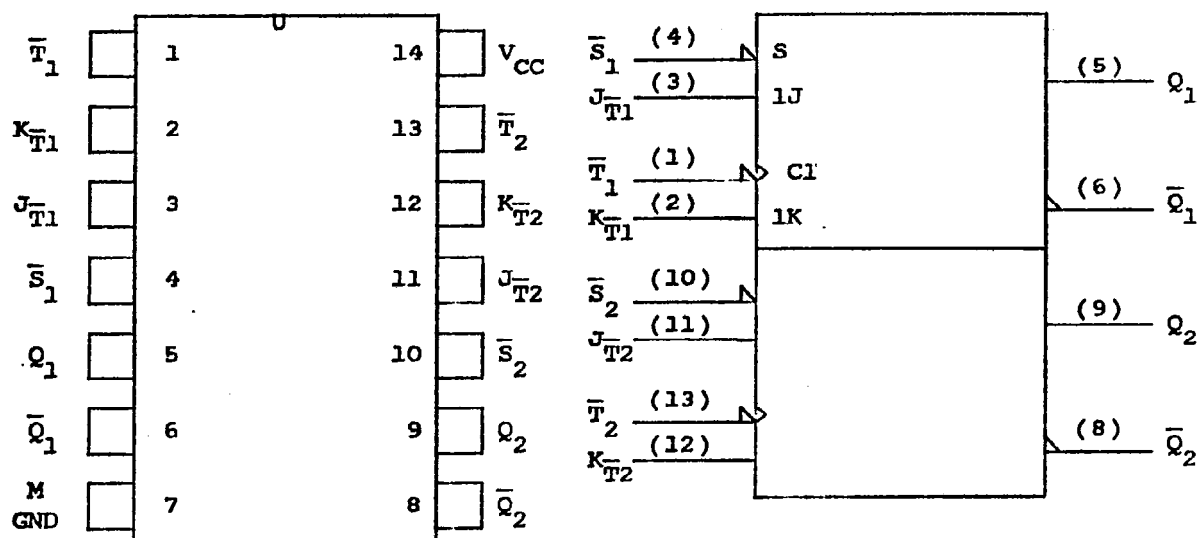


FIG. 1

- Courants et facteurs de charge (voir 2.7 de 90 106)
- Currents and load factors (see 2.7 of 90 106)

$I_{OLA} = 4 \text{ mA}$ Facteur de charge de sortie : 40
Output load factor

$I_{OHB} = -400 \text{ } \mu\text{A}$ Facteur de charge de sortie : 20
Output load factor

$I_{ILA} = -0,4 \text{ mA}$ Facteur de charge d'entrée : 4 entrée $\bar{S}$
Input load factor input $\bar{S}$

$I_{ILA} = -0,2 \text{ mA}$ Facteur de charge d'entrée : 2 autres entrées
Input load factor other inputs

$I_{IHB} = 40 \text{ } \mu\text{A}$ Facteur de charge d'entrée : 2 entrée $\bar{S}$
Input load factor input $\bar{S}$

$I_{IHB} = 20 \text{ } \mu\text{A}$ Facteur de charge d'entrée : 1 autres entrées
Input load factor other inputs

4 VERIFICATION DE LA FONCTION LOGIQUE (selon sous-groupe A2 de 90 106)
 VERIFICATION OF THE LOGIC FUNCTION (see sub-group A2 of 90 106)

- Conditions de charge : le facteur de charge peut être compris entre 1 et 20 selon l'appareillage utilisé.

- Load conditions : the load factor shall be between 1 and 20 according to the type of test equipment in use.

- Table de vérification pour les modèles ALS 113 et ALS 113A : selon Tableau 1 ci-après.

- Truth table for the types ALS 113 and ALS 113A : see Table 1.

TABLEAU 1
 TABLE 1

$\bar{S}$	J	K	$\bar{T}$	Q	$\bar{Q}$
0	X	X	X	1	0
1	1	1	0	1	0
1	1	1	1	1	0
1	1	1	0	0	1
1	1	1	1	0	1
1	1	1	0	1	0
1	1	1	1	1	0
1	0	1	1	1	0
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	0	0	1	1	0
1	0	0	0	1	0

- Séquence de tests minimale pour les modèles ALS 113 et ALS 113A
- Minimum sequence of tests for the types ALS 113 and ALS 113A

La séquence suivante prend en compte simultanément les pires cas de la vérification fonctionnelle et les interactions de toute nature (par exemple diaphonie). En cas de litige lors de l'application de la Table de vérification fonctionnelle la séquence ci-après devra être utilisée comme référence.

The following sequence takes simultaneously into account all the worst cases of functional verification and any internal interactions (for example crosstalk). In case of conflict, when applying the truth table the following sequence shall be used as reference.

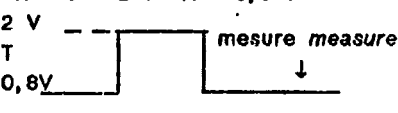
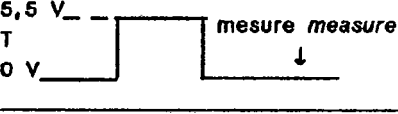
CIRCUIT 1						CIRCUIT 2					
$\bar{S}$	J	K	$\bar{T}$	Q	$\bar{Q}$	$\bar{S}$	J	K	$\bar{T}$	Q	$\bar{Q}$
0	X	X	X	1	0	Séquence de contrôle de la fonction logique (voir tableau 1) Truth table (see table 1)					
1	1	0	1	1	0	1	0	0	0	1	0
1	1	0	0	0	1						
						Séquence de contrôle de la fonction logique (voir tableau 1) Truth table (see table 1)					
Cette séquence est répétée en inversant le rôle des circuits 1 et 2 Repeat with circuits 1 and 2 reversed											

- 5 CARACTERISTIQUES STATIQUES A 25 °C (selon sous-groupe A3 de 90 106) ET A T_{amb} max. ET T_{amb} min. (selon sous-groupes A4a et A4b de 90 106)
 STATIC CHARACTERISTICS AT 25 °C (see sub-group A3 of 90 106) AND AT T_{amb} max. AND T_{amb} min. (see sub-groups A4a and A4b of 90 106)

Essais à effectuer et sanctions correspondantes selon Tableau 2 ci-après.

Tests to be performed and corresponding limits : see Table 2.

TABLEAU 2
TABLE 2

PARAMETRES PARAMETERS	SANCTIONS LIMITS	CONDITIONS SUR LES ENTREES INPUT CONDITIONS		CONDITIONS SUR LES SORTIES OUTPUT CONDITIONS	V _{CC}
		ENTREE MESUREE INPUT UNDER TEST	AUTRES ENTREES OTHER INPUTS		
Q V _{OLA} $\bar{Q}$	0,4 V		$\bar{R} = J = 2 \text{ V} \quad K = 0,8 \text{ V}$  0,8 V	4 mA	4,5 V
Q V _{OHB} $\bar{Q}$	2,5 V		0,8 V	- 400 μA	4,5 V
- V _{IKA}	1,5 V	- 18 mA	0 V	N.C.	4,5 V
- I _{OXA} (1) $\bar{Q}$ - I _{OXB} (1) $\bar{Q}$	112 mA 30 mA		$\bar{R} = J = 5,5 \text{ V} \quad K = 0 \text{ V}$  0 V	2,25 V	5,5 V
- I _{ILA} $\bar{S}$ $\bar{T} \quad J \quad K$	0,4 mA 0,2 mA	0,4 V	5,5 V	N.C.	5,5 V
I _{IHA} $\bar{S}$ $\bar{T} \quad J \quad K$	0,2 mA 0,1 mA	7,0 V	0 V	N.C.	5,5 V
I _{IHB} $\bar{S}$ $\bar{T} \quad J \quad K$	40 μA 20 μA	2,7 V	0 V	N.C.	5,5 V
I _{CCA}	4,5 mA		J = K = $\bar{T}$ = $\bar{S}$ = 0 V	N.C.	5,5 V

N.C. : Non connectées - Not connected

(1) Les conditions de sortie ont été choisies de façon à obtenir un courant qui soit approximativement la moitié du courant réel de sortie en court circuit, I_{OS}The output conditions have been chosen to produce current that closely approximates one half of true short circuit output current I_{OS}

- 6 CARACTERISTIQUES DYNAMIQUES A 25 °C (selon 3 et sous-groupe A5 de 90 106) ET A T_{amb} max. ET T_{amb} min. (selon 3 et sous-groupes C11a et C11b de 90 106)
 DYNAMIC CHARACTERISTICS AT 25 °C (see 3 and sub-group A5 of 90 106) AND AT T_{amb} max. AND T_{amb} min. (see 3 and sub-groups C11a and C11b of 90 106)

Temps de propagation : circuit de charge A
 Propagation times : load circuit A

Sanctions en ns
 Limits in ns

PARAMETRES PARAMETERS	ENTREES → SORTIES INPUTS → OUTPUTS	$T_{amb} =$ 25 °C	74 ALS		54 ALS	
		max.	min.	max.	min.	max.
t_{PLH}	$\bar{S} \rightarrow Q, \bar{Q}$	13	3	14	3	21
t_{PHL}	$\bar{S} \rightarrow Q, \bar{Q}$	15	4	16	4	26
t_{PLH}	$\bar{T} \rightarrow Q, \bar{Q}$	14	3	15	3	22
t_{PHL}	$\bar{T} \rightarrow Q, \bar{Q}$	18	5	19	5	23

- 7 CARACTERISTIQUES DYNAMIQUES COMPLEMENTAIRES A 25 °C (selon sous-groupe C15 de 90 106)
 ADDITIONAL DYNAMIC CHARACTERISTICS AT 25 °C (see sub-group C15 of 90 106)

- 7.1 Largeur de l'impulsion d'horloge $\bar{T}$
 Clock pulse width $\bar{T}$

- à l'état haut
 - at high level

$$t_{WH} \leq 16,5 \text{ ns}$$

- à l'état bas
 - at low level

$$t_{WL} \leq 16,5 \text{ ns}$$

- 7.2 Largeur de l'impulsion $\bar{S}$
 Pulse width $\bar{S}$

$$t_W \leq 20 \text{ ns}$$

- 7.3 Temps minimal de prépositionnement de D avant la transition de $\bar{T}$ de l'état 1 à l'état 0
 Minimum set up time of data (D) before clock $\bar{T}$ transition from high to low

$$t_{su} \leq 22 \text{ ns}$$

- 7.4 Temps minimal de maintien de D après la transition de $\bar{T}$ de l'état 1 à l'état 0
 Minimum hold time of data D after clock $\bar{T}$ transition from high to low

$$t_h = 0$$

- 7.5 Temps minimal de prépositionnement de $\bar{S}$ avant la transition de $\bar{T}$ de l'état 1 à l'état 0
 Minimum set up time of $\bar{S}$ before clock $\bar{T}$ transition from high to low

$$t_{su} \leq 25 \text{ ns}$$