

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
12, Place des Etats-Unis
75783 PARIS CEDEX 16
Téléphone : (1) 47 23 72 57 Télex : CEFUTE 620434F

CECC 90 106-147

EDITION 1 - Novembre 1986
ISSUE 1 - November 1986



Page 1 Nombre total de pages : 6
Total number of pages : 6

COMPOSANTS ELECTRONIQUES SOUS ASSURANCE
DE QUALITE CONFORMEMENT A :

*ELECTRONIC COMPONENTS OF ASSESSED QUALITY
IN ACCORDANCE WITH :*

GS : CECC 90 000 (NF C 86-020)
SS : CECC 90 100 (NF C 86-200)
FS : CECC 90 106 (NF C 86-217)

UTE C 86-217 ADD. 3/GA 94

Adoptée le 3 novembre 1986

(1/08.09.86)

DESSIN ET DIMENSIONS :
OUTLINE AND DIMENSIONS :

CEI 191-2 - Types 051 G 02 - 051 G 01
IEC 191-2 - Types 051 G 02 - 051 G 01
ou boîtier identique mais avec $e_1 = 0,3$ (7,62 mm)
or same package but with
Référence française : néant
French reference : none

IDENTIFICATION DES CONNEXIONS
TERMINAL CONNECTIONS

Voir Figure 1
See Figure 1

NOTE : Pour des encapsulations effectuées dans des boîtiers différents de ceux indiqués ci-dessus voir 90 106

NOTE : For alternative packages see 90 106

SPECIFICATION PARTICULIERE POUR
MICROSTRUCTURES LOGIQUES
SELON FS 90 106

*DETAIL SPECIFICATION FOR
DIGITAL INTEGRATED CIRCUITS
IN ACCORDANCE WITH FS 90 106*

54 ALS 873

74 ALS 873

REGISTRE A 4 ELEMENTS BINAIRES
A SORTIES 3 ETATS DE PUISSANCE

4 BIT D-TYPE LATCH WITH 3 STATE OUTPUTS

TECHNOLOGIE DE FABRICATION :
TYPICAL CONSTRUCTION :

Circuit monolithique bipolaire au silicium, boîtiers avec ou sans cavité.
Silicon monolithic bipolar integrated circuit, cavity/non-cavity packages.

NIVEAUX D'ASSURANCE DE QUALITE : P, Y, L
ASSESSMENT LEVELS :

1 - CONDITIONS LIMITES D'UTILISATION
LIMITING CONDITIONS OF USE

Voir 1 de la FS 90 106
See 1 of FS 90 106

2 - CONDITIONS DE FONCTIONNEMENT RECOMMANDEES
RECOMMENDED OPERATING CONDITIONS

Voir 2 de la FS 90 106
See 2 of FS 90 106

Se reporter à la Liste des Produits Homologués CECC 00 200 en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.
Information about manufacturers who have components qualified to this detail specification is available in the current CECC 00 200 : Qualified Products List.

3 CARACTERISTIQUES PROPRES AU MODELE CHARACTERISTICS OF THE TYPE

- Fonction : Registre à 4 éléments binaires à sorties 3 états de puissance
- Function : Dual 4-bit D-type latch with 3 state outputs
- Brochage et schéma synoptique : selon Figure 1 ci-après
- Terminal identification and block-diagram : see Figure 1

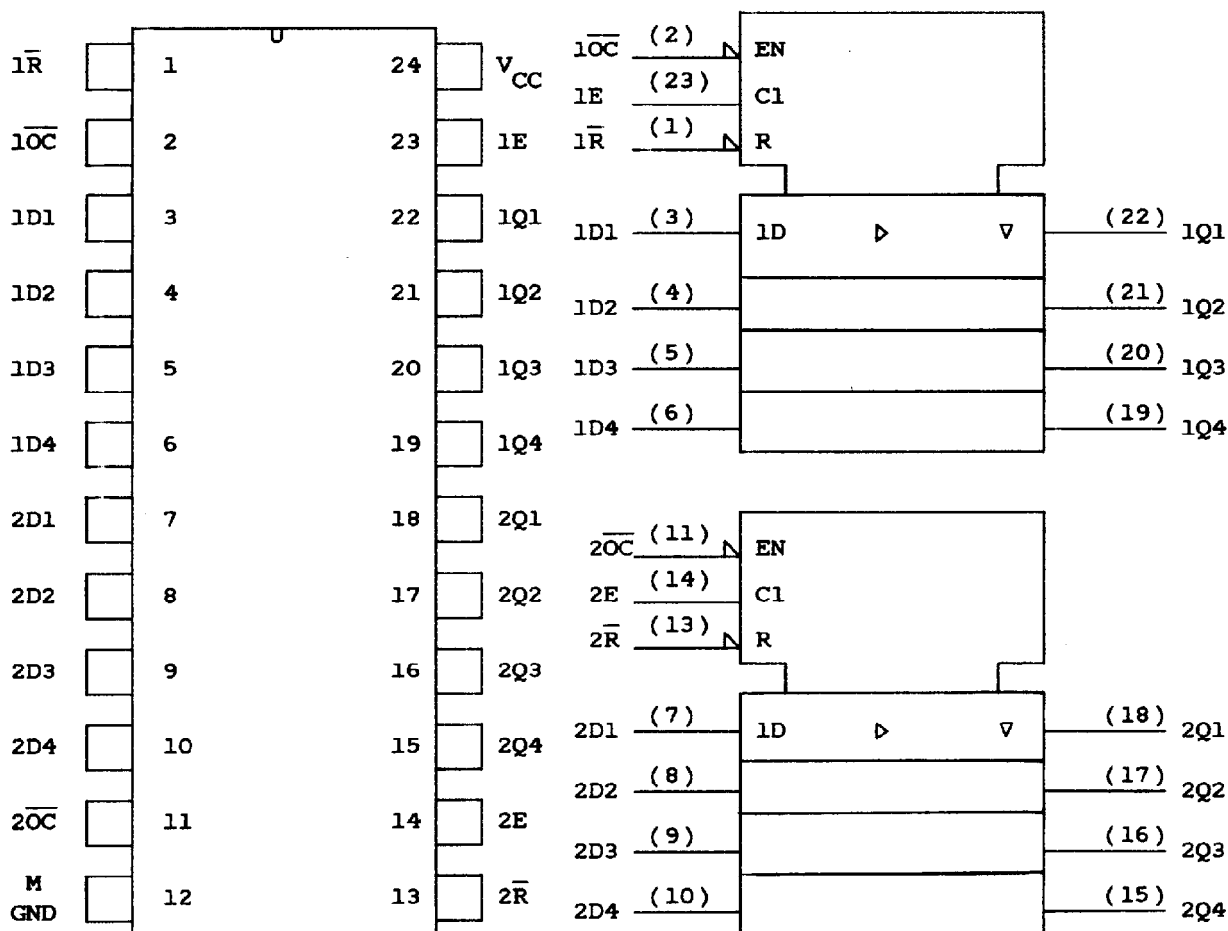


FIG. 1

- Courants et facteurs de charge (voir 2.7 de 90 106)
- Currents and load factors (see 2.7 of 90 106)

$I_{OLA} = 12 \text{ mA}$ Facteur de charge de sortie : 120
Output load factor

$I_{OHB} = -1 \text{ mA}$ Facteur de charge de sortie : 50
Output load factor

$I_{ILA} = -0,1 \text{ mA}$ Facteur de charge d'entrée : 1
Input load factor

$I_{IHB} = 20 \text{ } \mu\text{A}$ Facteur de charge d'entrée : 1
Input load factor

4 VERIFICATION DE LA FONCTION LOGIQUE (selon sous-groupe A2 de 90 106)
 VERIFICATION OF THE LOGIC FUNCTION (see sub-group A2 of 90 106)

- Conditions de charge : le facteur de charge peut être compris entre 1 et 50 selon l'appareillage utilisé.
- Load conditions : the load factor shall be between 1 and 50 according to the type of test equipment in use.
- Table de vérification pour le modèle ALS 873 : selon Tableau 1 ci-après.
- Truth table for the type ALS 873 : see Table 1.

TABLEAU 1
TABLE 1

ENTREES/INPUTS				SORTIES OUTPUTS
$\overline{OC}$	$\overline{R}$	E	D_n	
0	0	X	X	0
0	1	1	1	1
0	1	1	0	0
0	1	0	X	Q_0
1	X	X	X	Z

Z : Etat haute impédance
 Z : High impedance output state

X : Etat 0 ou 1
 X : Undefined logic state 0 or 1

Q_0 : Etat inchangé des sorties
 Q_0 : Previous state of the outputs

$n = 1 \rightarrow 4$

- Séquence de tests minimale - Pour le modèle ALS 873 appliquer les combinaisons suivantes :
- Minimum sequence of tests - For the type ALS 873 the following combinations shall apply :

La séquence suivante prend en compte simultanément les pires cas de la vérification fonctionnelle et les interactions de toute nature (par exemple diaphonie). En cas de litige lors de l'application de la Table de vérification fonctionnelle la séquence ci-après devra être utilisée comme référence.

The following sequence takes simultaneously into account all the worst cases of functional verification and any internal interactions (for example crosstalk). In case of conflict, when applying the truth table the following sequence shall be used as reference.

ENTREES/INPUTS														SORTIES/OUTPUTS							
$\overline{1OC}$	$\overline{2OC}$	$\overline{1R}$	$\overline{2R}$	1E	2E	1D1	1D2	1D3	1D4	2D1	2D2	2D3	2D4	1Q1	1Q2	1Q3	1Q4	2Q1	2Q2	2Q3	2Q4
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0

- 5 CARACTERISTIQUES STATIQUES A 25 °C (selon sous-groupe A3 de 90 106) ET A T_{amb} max. ET T_{amb} min. (selon sous-groupes A4a et A4b de 90 106)
 STATIC CHARACTERISTICS AT 25 °C (see sub-group A3 of 90 106) AND AT T_{amb} max. AND T_{amb} min. (see sub-groups A4a and A4b of 90 106)

Essais à effectuer et sanctions correspondantes selon Tableau 2 ci-après.
 Tests to be performed and corresponding limits : see Table 2.

TABLEAU 2
 TABLE 2

PARAMETRES PARAMETERS	SANCTIONS LIMITS	CONDITIONS SUR LES ENTREES INPUT CONDITIONS		CONDITIONS SUR LES SORTIES OUTPUT CONDITIONS	V_{CC}
		ENTREE MESUREE INPUT UNDER TEST	AUTRES ENTREES OTHER INPUTS		
V_{OLA}	0,4 V		0,8 V	12 mA	4,5 V
V_{OHB}	2,5 V		$\overline{OC} = 0,8$ V les autres = 2 V the others	- 400 μ A	4,5 V
V_{OHB}	2,4 V		$\overline{OC} = 0,8$ V les autres = 2 V the others	- 1 mA	4,5 V
- V_{IKA}	1,5 V	- 18 mA	0 V	N.C.	4,5 V
- I_{OXA} (1) - I_{OXB} (1)	70 mA 15 mA		$\overline{OC} = 0$ V les autres = 5,5 V the others	2,25 V	5,5 V
I_{OZHA}	20 μ A		2 V	2,7 V	5,5 V
- I_{OZLA}	20 μ A		2 V	0,4 V	5,5 V
- I_{ILA}	0,1 mA	0,4 V	5,5 V	N.C.	5,5 V
I_{IHA}	0,1 mA	7,0 V	0 V	N.C.	5,5 V
I_{IHB}	20 μ A	2,7 V	0 V	N.C.	5,5 V
I_{CCHA}	21 mA		0 V	N.C.	5,5 V
I_{CCLA}	29 mA		$\overline{OC} = 0$ V les autres = 5,5 V the others	N.C.	5,5 V
I_{CGZA}	31 mA		5,5 V	N.C.	5,5 V

N.C. : Non connectées - Not connected

- (1) Les conditions de sortie ont été choisies de façon à obtenir un courant qui soit approximativement la moitié du courant réel de sortie en court circuit, I_{OS}
 The output conditions have been chosen to produce current that closely approximates one half of true short circuit output current I_{OS} .

- 6 CARACTERISTIQUES DYNAMIQUES A 25 °C (selon 3 et sous-groupe A5 de 90 106) ET A T_{amb} max. ET T_{amb} min. (selon 3 et sous-groupes C11a et C11b de 90 106)
 DYNAMIC CHARACTERISTICS AT 25 °C (see 3 and sub-group A5 of 90 106) AND AT T_{amb} max. AND T_{amb} min. (see 3 and sub-groups C11a and C11b of 90 106)

Temps de propagation : circuit de charge C
 Propagation times : load circuit C

Sanctions en ns
 Limits in ns

PARAMETRES PARAMETERS	ENTREES/SORTIES INPUTS/OUTPUTS	T_{amb} 25 °C	74 ALS		54 ALS	
		max.	min.	max.	min.	max.
t_{PLH}	$D_n \rightarrow Q_n$	13	2	14	2	21
t_{PHL}		13	2	14	2	17
t_{PLH}	$E \rightarrow Q_n$	21	8	22	8	31
t_{PHL}		20	8	21	8	22
t_{PHL}	$\bar{R} \rightarrow Q_n$	23	6	24	6	27
t_{PZL}	$\overline{OC} \rightarrow Q_n$	17	4	18	4	21
t_{PZH}		17	4	18	4	23
t_{PLZ}		12	2	13	2	22
t_{PHZ}		7	2	8	2	13

$n = 1 \rightarrow 4$

- 7 CARACTERISTIQUES DYNAMIQUES COMPLEMENTAIRES A 25 °C (selon sous-groupe C15 de 90 106)
 ADDITIONAL DYNAMIC CHARACTERISTICS AT 25 °C (see sub-group C15 of 90 106)

- 7.1 Largeur de l'impulsion de remise à zéro $\bar{R}$ à l'état bas
 Clear $\bar{R}$ low pulse width

$t_{WL} \leq 15$ ns

- 7.2 Largeur de l'impulsion de validation E à l'état haut
 Enable E high pulse width

$t_{WH} \leq 10$ ns

- 7.3 Temps de prépositionnement et de maintien des données par rapport au front montant de l'entrée de validation E
 Set-up and hold time of data inputs D with respect to the positive edge of enable E

$t_{su} \leq 10$ ns

$t_h \leq 7$ ns