

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
Cedex 64
92052 PARIS LA DÉFENSE
Téléphone : (1) 47 68 50 20 Télex : 620 434 F

CECC 90 111-003

ÉDITION 1
ISSUE 1

Page 1

Nombre total de pages : 17
Total number of pages : 17

COMPOSANTS ÉLECTRONIQUES SOUS ASSURANCE
DE QUALITÉ CONFORMÉMENT A :

*ELECTRONIC COMPONENTS OF ASSESSED QUALITY
IN ACCORDANCE WITH :*

GS : CECC 90 000 (NF C 86-020)
SS : CECC 90 100 (NF C 86-200)
FS : CECC 90 111 (NF C 86-254)

UTE C 86-254-003

Adoptée le 14 février 1989

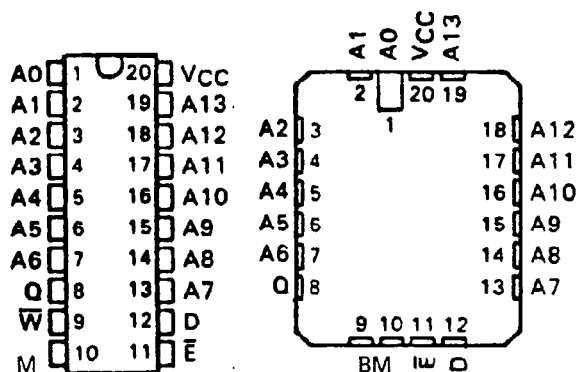
DESSIN ET DIMENSIONS :
OUTLINE AND DIMENSIONS :

CEI 191-2 -Types } • 050 G14 - 050 G15
IEC 191-2 -Types } Boîtiers/Packages DC - DP
• Boîtiers PP : voir annexe
Packages PP : see Annex

IDENTIFICATION DES CONNEXIONS
TERMINAL CONNECTIONS

Boîtiers DC - DP
DC - DP packages

Boîtier PP
PP package



SPÉCIFICATION PARTICULIÈRE POUR
MÉMOIRES RAM STATIQUES
LECTURE/ÉCRITURE A CIRCUITS INTÉGRÉS

*DETAIL SPECIFICATION FOR
MOS READ/WRITE STATIC MEMORIES
SILICON MONOLITHIC CIRCUITS*

MODÈLE/TYPE 61CD16

• Variétés électriques/*Electrical variants*
61CD16LA-25, 61CD16LA-35, 61CD16LA-45,
61CD16SA-25, 61CD16SA-35, 61CD16SA-45
Températures : - 55 °C à 125 °C

TECHNOLOGIE DE FABRICATION :
TYPICAL CONSTRUCTION :

Circuit monolithique C MOS au silicium.
Silicon monolithic C MOS integrated circuit.

PRÉCAUTION/CAUTION :

Ces dispositifs sont sensibles aux décharges
électrostatiques.
These are electrostatic sensitive devices.

NIVEAUX D'ASSURANCE DE QUALITÉ : Y,L
ASSESSMENT LEVELS :

1 DESCRIPTION DU MODÈLE *TYPE DESCRIPTION*

Mémoire RAM statique à entrée et sortie séparée organisée en 16 384 mots de 1 information binaire. Les entrées et sorties sont compatibles TTL, les sorties sont à 3 états (haut, bas, haute impédance). Les adresses ne sont pas multiplexées.

Se reporter à la Liste des produits Homologués CECC 00 200 en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.

Information about manufacturers who have components qualified to this detail specification is available in the current CECC 00 200: Qualified Products List.

2 CARACTÉRISTIQUES D'UTILISATION

Les caractéristiques suivantes sont applicables dans toute la gamme de températures de fonctionnement et dans toute la gamme de tensions d'alimentation sauf spécification contraire.

2.1 Description générale

Tension d'alimentation générale : $V_{cc} = 5\text{ V}$ (+/- 10 %).

Le circuit existe en deux versions de consommations :

- 61CD16LA : consommation faible;
- 61CD16SA : consommation normale.

Consommation maximale :

- en fonctionnement : 413 mW (LA), 550 mW (SA)
- en mode repos (entrées niveau TTL) : 110 mW (LA, SA)
- en mode repos (entrées niveau CMOS) : 4,95 mW (LA), 55 mW (SA)

Mode de fonctionnement :

- mémoire RAM statique à lecture et écriture;
- entrées et sorties compatibles TTL;
- sorties trois états.

Schéma synoptique simplifié : ce schéma est défini en figure 1 ci-après.

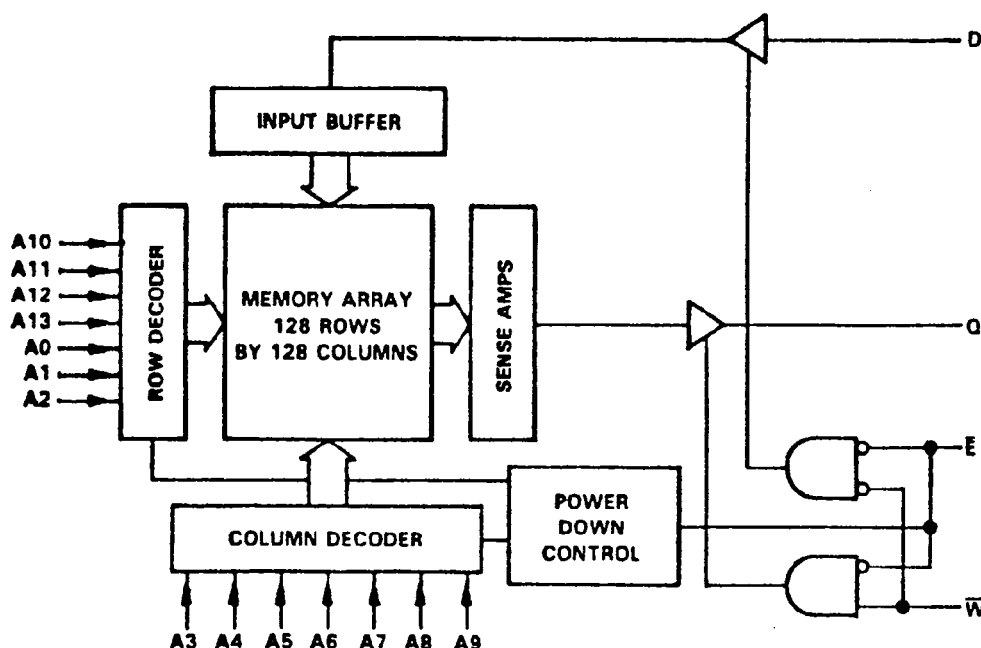


Figure 1 : Schéma synoptique

Représentation symbolique normalisée : la représentation symbolique suivant la norme CEI 617-12 est donnée en figure 2 ci-après.

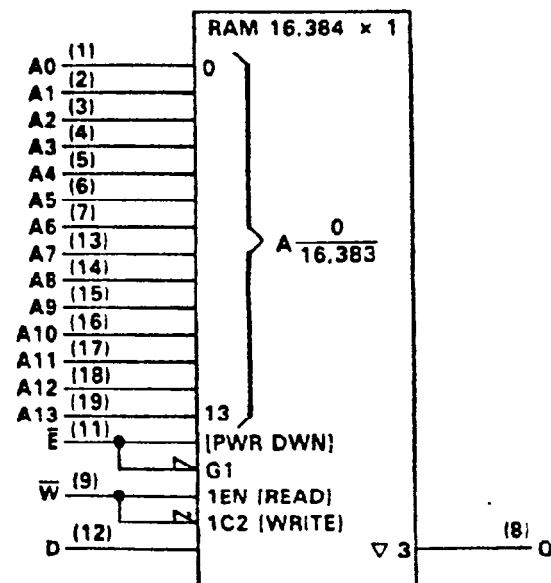


Figure 2

Fonction réalisée par chaque broche.

Broches utilisées	
A0-A13	Entrée d'adresse
D	Entrée de donnée
Q	Sortie de donnée
E *	Sélection de boîtier
M	Masse
V _{cc}	Alimentation
W *	Lecture/Écriture

2.2 Spécification fonctionnelle détaillée

La mémoire 61CD16 a une capacité mémoire de 16 384 mots de 1 bit. Cette mémoire est construite selon une technologie MOS utilisant six transistors par cellule (point mémoire).

La conception statique et les signaux de contrôle (E * et W *) suppriment l'emploi d'un circuit de rafraîchissement et simplifient les besoins temporels.

La broche de sélection de boîtier autorise une extension mémoire facile à mettre en œuvre et une mise au repos (basse consommation) automatique.

Les temps d'accès sont mesurés soit à partir de l'établissement des adresses soit à partir de la sélection de boîtier, et sont au maximum de 25 ns, 35 ns ou 45 ns en fonction du modèle choisi.

OPÉRATIONS DE CHAQUE BROCHE

Adresses (A0-A13)

Les 14 adresses sélectionnent un des 16 384 mots de 1 bit dans la RAM. Les entrées d'adresse doivent être stables pendant la durée d'un cycle de lecture ou d'écriture.

Les entrées d'adresse peuvent être commandées directement par des lignes TTL standard 54/74 sans résistance de pull-up extérieure.

Sélection de boîtier/Mise au repos (E *)

Cette entrée qui peut être commandée directement, par une ligne TTL standard affecte directement les broches d'entrée et de sortie, et le fonctionnement du microcircuit.

Quand cette entrée est à l'état bas le circuit est opérationnel, les entrées et sorties sont autorisées et les données peuvent être lues ou écrites.

Quand cette entrée est à l'état haut le circuit n'est pas sélectionné et est placé en mode de consommation de puissance minimale.

Les données sont maintenues en mémoire pendant ce mode de repos.

Sélection d'écriture (W *)

Le mode de lecture ou d'écriture est sélectionné à partir de cette broche.

Un état logique bas sélectionne le mode d'écriture. W * ou E * doit être à l'état haut quand on modifie les lignes d'adresse pour éviter d'écrire par inadvertance une donnée dans une position mémoire.

L'entrée W * peut être commandée directement par une ligne TTL standard.

Entrée de donnée (D)

Une donnée peut être écrite dans la mémoire quand la commande d'écriture est à l'état bas.

L'entrée D peut être commandée directement par une ligne TTL standard. La donnée sur l'entrée D est écrite dans la position mémoire adressée par les entrées (A0-A13).

Sortie de donnée (Q)

Le buffer de sortie fournit un accès compatible TTL avec un « fanout » de deux entrées de porte 54 TTL, une entrée de porte 54 S TTL, ou huit entrées de porte 54 LS TTL.

La sortie est dans l'état haute impédance quand la broche d'autorisation de circuit est à l'état haut ou quand on exécute un cycle d'écriture.

La donnée en sortie a la même polarité que la donnée sur la broche d'entrée.

Table logique de fonctionnement

Input		Outputs	Mode	Puissance
E *	W *	Q		
H	X	HI-Z	Repos Lecture Écriture	Repos
L	H	Data Output		Active
L	L	HI-Z		Active

2.3 Conditions limites d'utilisation

Toutes les tensions sont référencées à la borne de référence.

Caractéristiques	Symboles	min.	max.	Unités
Tension d'alimentation	V_{CC}, V_{DD}	- 0,5	+ 7	V
Tensions d'entrée	V_I	- 1	+ 7	V
Tensions de sortie	V_O	- 0,5	+ 7	V
Tensions de sortie à l'état haute impédance	V_{OZ}	- 0,5	+ 7	V
Courants de sortie	I_O		20	mA
Courants d'entrée	I_O		n.a.	mA
Dissipation totale de puissance	$P_D \text{ max. } \frac{LA}{SA}$	n.a.	413	mW
			550	mW
Température de fonctionnement	T_{amb}	- 55	+ 125	°C
Température de stockage	T_{stg}	- 65	+ 150	°C

2.4 Conditions d'utilisation recommandées et caractéristiques associées

2.4.1 Conditions d'utilisation recommandées

Toutes les tensions sont référencées à la borne (V_{SS} , M, etc.).

Caractéristiques	Conditions	Symboles	min.	max.	Unités
Tension d'alimentation		V_{CC}	4,5	5,5	V
Tension de sauvegarde des informations 61CD16LA seulement	$\bar{E} = V_{CC} \pm 0,2 \text{ V}$ $V_I = V_{CC} \pm 0,2 \text{ V}$ ou $M \pm 0,2 \text{ V}$	$V_{DD (DR)}$	2,0		V
Tension d'entrée au niveau bas		V_{IL}	- 0,5	0,8	V
Tension d'entrée au niveau haut		V_{IH}	2	$V_{CC} - 0,5$	V
Température de fonctionnement		T_{amb}	- 55	+ 125	°C

2.4.2 Caractéristiques associées : non applicable

2.5 Caractéristiques statiques

Toutes les tensions sont référencées à la borne de référence M.

Caractéristiques	Conditions (Notes 4, 5)	Symboles	min.	max.	Unités
Valeur maximale du (des) courant(s) d'alimentation en mode normal	$V_{CC} \text{ max.}$ $I_O = 0$ $f = f \text{ max.}$	LA		75	mA
		SA I_{CC}		100	mA
	$V_{CC} \text{ max.}$ $I_O = 0$ $f = 0 - 1 \text{ MHz}$	LA		60	mA
		SA I_{CCS}		90	mA
Valeur maximale du (des) courant(s) d'alimentation en mode sauvegarde	$V_I = V_{CC} \pm 0,2 \text{ V}$ ou $M = \pm 0,2 \text{ V}$ $V_{DD(DR)} = 2 \text{ V}$	$I_{DD(DR)}$		200	μA
Valeur maximale du courant d'alimentation en mode repos	$V_{CC} \text{ max.}$	LA	13		mA
	$V_{(IE)} = 2 \text{ V}$	SA	20		
	$V_{CC} \text{ max.}$	LA		0,9	mA
	$V_{(IE)} = V_{CC} \pm 3 \text{ V}$	SA		10	mA
Tension d'entrée au niveau haut	$V_{CC} \text{ max.}$	V_{IH}	2	$V_{CC} \pm 0,5$	V
Tension d'entrée au niveau bas	$V_{CC} \text{ min.}$	V_{IL}	-0,5	0,8	V
Tension de sortie au niveau haut	$V_{CC} \text{ min.}$ $I_{OHA} = -4 \text{ mA}$	V_{OH}	2,4		V
Tension de sortie au niveau bas	$V_{CC} \text{ max.}$ $I_{OLA} = 8 \text{ mA}$	V_{OL}		0,4	V
Courant d'entrée ou de fuite au niveau haut	$V_{CC} \text{ max.}$ $V_{IHB} = 2 \text{ V}$	I_{IH}	-5	+5	μA
Courant d'entrée ou de fuite au niveau bas	$V_{CC} \text{ max.} = 5,5 \text{ V}$ $V_{ILA} = 0$	I_{IL}	-5	+5	μA
Courant de sortie au niveau haut	$V_{CC} \text{ min.}$ V_{OHB}	I_{OH}		-4	mA
Courant de sortie au niveau bas	$V_{CC} \text{ min.}$ V_{OLA}	I_{OL}	8		mA
Courant de sortie (fuite) au niveau haut (Note 2)	V_{CC} V_{OHA}	I_{OHX}		n.a.	μA
Courant de sortie (fuite) au niveau bas (Note 2)	V_{CC} V_{OLB}	I_{OLX}		n.a.	μA
Courant de sortie au niveau haut (fuite) pour les sorties trois états (si applicable)	$V_{CC} \text{ max.}$ V_{OHB}	I_{OHZ}	-5	+5	μA
Courant de sortie au niveau bas (fuite) pour les sorties trois états	$V_{CC} \text{ max.}$ V_{OLA}	I_{OLZ}	-5	+5	μA
Courant de court-circuit en sortie (Note 3)	V_{CC} $V_O = 0$	I_{OS}	n.a.	n.a.	mA

2.6 Caractéristiques dynamiques

61CD16LA-25

61CD16SA-25

Caractéristiques	Conditions	Symboles	min.	max.	Unités
TEMPS DE CYCLE					
— Lecture		$t_{c(rd)}$	25		ns
— Écriture		$t_{c(wr)}$	25		ns
TEMPS D'ACCÈS					
— A partir de la sélection d'une adresse	$I_{OH} = -4 \text{ mA}$ $I_{OL} = 8 \text{ mA}$ $C_L = 30 \text{ pF}$ Note 1	$t_a (A)$		25	ns
— A partir de la broche de sélection de boîtier E* au niveau bas		$t_a (E)$		25	ns
— Sortie valide après changement d'adresse		$t_v (A)$	0		ns
DURÉE D'IMPULSION					
— D'écriture		$t_w (W)$	15		ns
— Sélection de boîtier à la fin de l'écriture		$t_{su} (E)$	20		ns
— Adresse validée à la fin de l'écriture		t_{AW}	20		ns
TEMPS D'ÉTABLISSEMENT					
— Adresse validée avant le début d'écriture		$t_{su} (A)$	0		ns
— Introduction des données avant la fin de l'écriture		$t_{su} (D)$	12		ns
TEMPS DE MAINTIEN					
— Adresse validée après la fin de l'écriture		$t_h (A)$	0		ns
— Fin d'introduction de la donnée après la fin de l'écriture ...		$t_h (D)$	0		ns

Note 1 : Circuit de charge.