

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
12, Place des Etats-Unis
75783 PARIS CEDEX 16
Téléphone : (1) 47 23 72 57 Téléc : 620434F

CECC 90 112-001

EDITION 1 - Juillet 1987
ISSUE 1 - July 1987



Page 1

Nombre total de pages : 27
Total number of pages :

COMPOSANTS ELECTRONIQUES SOUS ASSURANCE DE QUALITE CONFORMEMENT A : ELECTRONIC COMPONENTS OF ASSESSED QUALITY IN ACCORDANCE WITH :

GS : CECC 90 000 (NF C 86-020)
SS : CECC 90 100 (NF C 86-200)
FS : CECC 90 112 (NF C 86-253)

UTE C 86-253-001

Adoptée le 2 juillet 1987

(2/30.01.87)

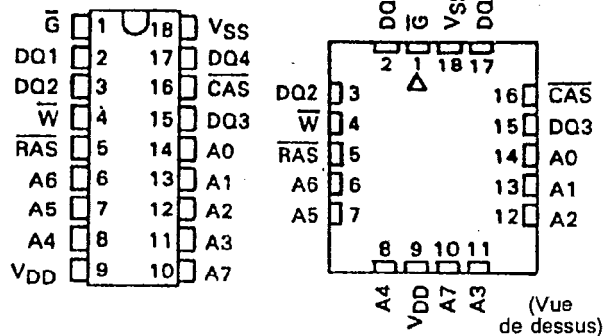
DESSIN ET DIMENSIONS : OUTLINE AND DIMENSIONS :

CEI 191-2 - Types } . 050 G 13 :
IEC 191-2 - Types } Boîtiers/Packages DC - DP
Boîtiers PC - PP : voir annexe
Packages PC - PP : see Annex

IDENTIFICATION DES CONNEXIONS TERMINAL CONNECTIONS

Boîtiers DC - DP
DC - DP packages

Boîtier PC
PC package



SPECIFICATION PARTICULIERE POUR MEMOIRES RAM DYNAMIQUES LECTURE/ECRITURE A CIRCUITS INTEGRES

DETAIL SPECIFICATION FOR
MOS READ/WRITE DYNAMIC MEMORIES
SILICON MONOLITHIC CIRCUITS

MODELE/TYPE 4416

- Variétés électriques/Electrical variants
4416-12 / 4416-15 / 4416-20
- Variétés température/boîtier
Temperature/package variants

Boîtiers Packages	Températures/Temperatures	
	0 °C, + 70 °C	- 40 °C, + 85 °C - 55 °C, + 100 °C - 55 °C, + 125 °C
DC		X
DP	X	
PC		X
PP	X	

TECHNOLOGIE DE FABRICATION : TYPICAL CONSTRUCTION :

Circuit monolithique N MOS au silicium.
Silicon monolithic N MOS integrated circuit.

PRECAUTION/CAUTION :

Ces dispositifs sont sensibles aux décharges
électrostatiques.
These are electrostatic sensitive devices.

NIVEAUX D'ASSURANCE DE QUALITE : Y, L ASSESSMENT LEVELS :

1 - DESCRIPTION DU MODELE TYPE DESCRIPTION

Mémoire organisée en 16 384 x 4 éléments binaires, entrées et sorties compatibles TTL, sorties 3 états.
Memory organization 16 384 x 4. All inputs/outputs fully TTL compatible. 3-state outputs.

Se reporter à la Liste des Produits Homologués CECC 00 200 en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.
Information about manufacturers who have components qualified to this detail specification is available in the current CECC 00 200 : Qualified Products List.



Documents

Document Sharing Hub

2 CARACTÉRISTIQUES D'UTILISATION

Sauf spécification contraire, le circuit doit fonctionner dans toute la gamme des températures et dans toute la gamme des tensions d'alimentation spécifiées.

2.1 Description générale

Les caractéristiques suivantes ne sont données que pour information.

La mémoire 4416 est une mémoire dynamique lecture/écriture rapide, de 65 536 éléments binaires, organisée en 16 384 mots de 4 éléments binaires chacun. Une technologie à canal N, à double niveau de grille silicium est utilisée.

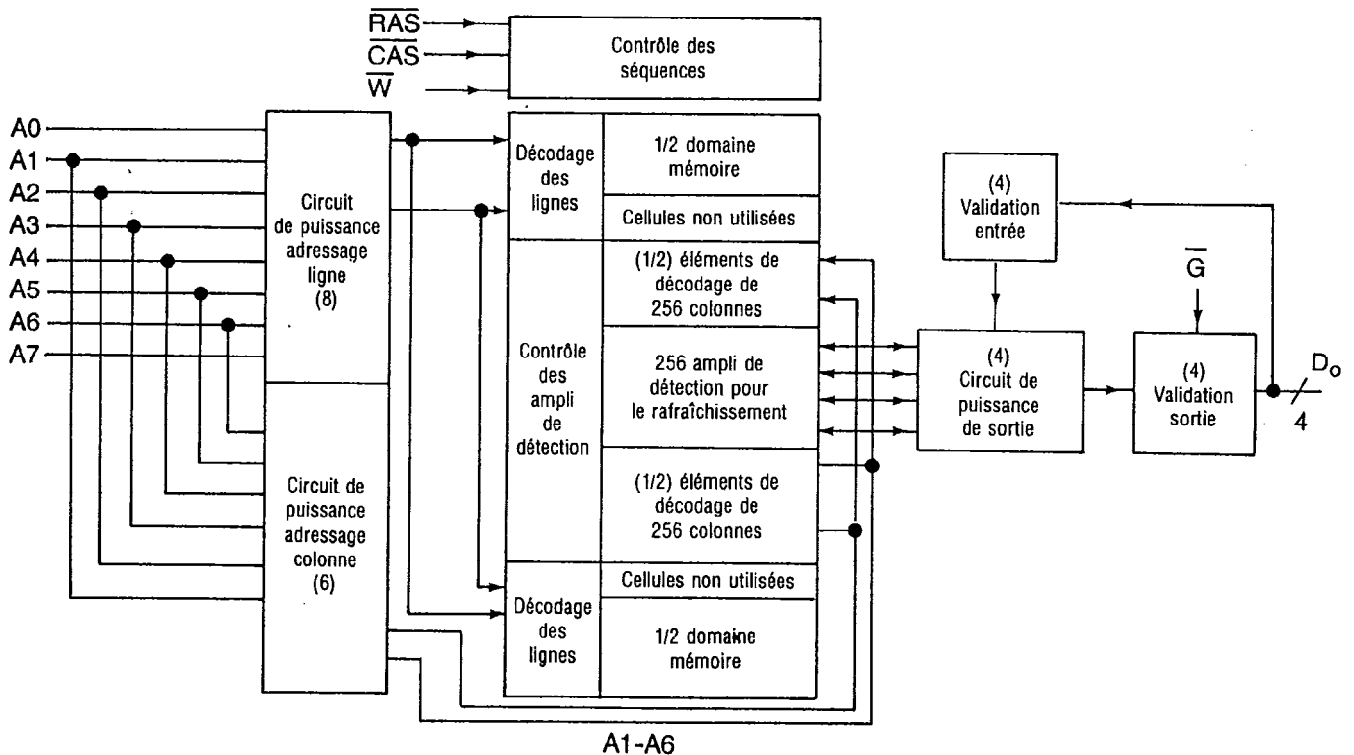
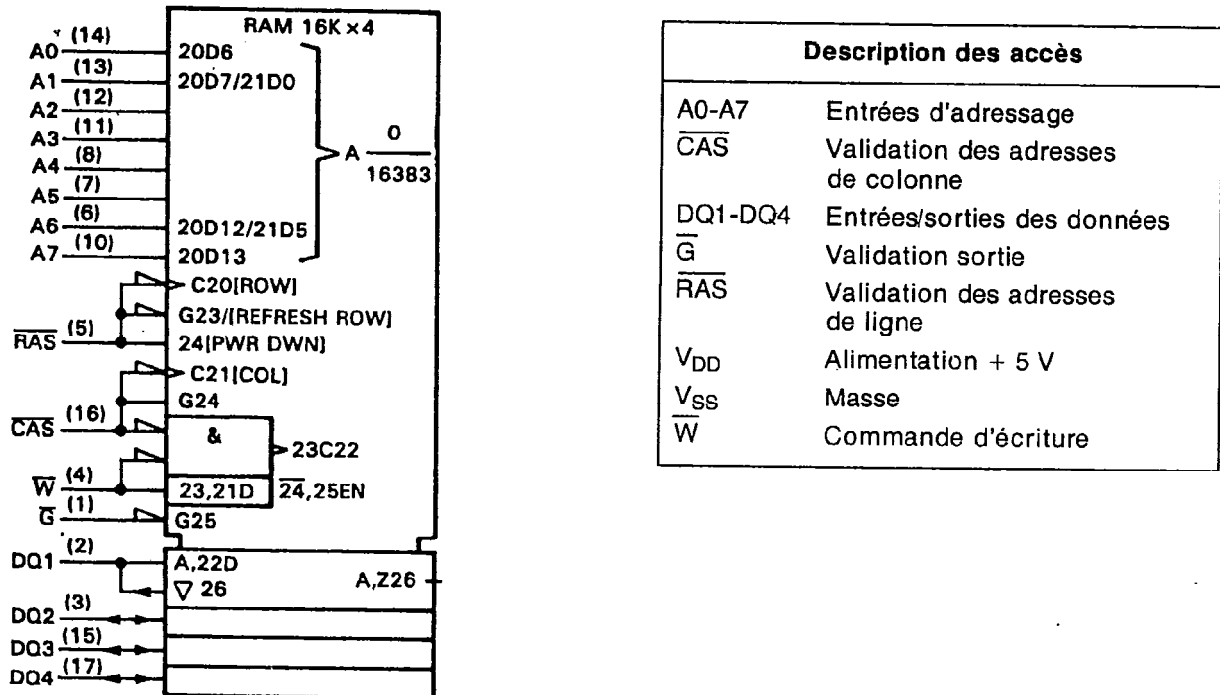
Trois versions de la mémoire 4416 existent se caractérisant par des temps d'adressage ligne différents : 120 ou 150 ou 200 ns. La dissipation de puissance en mode opération est de 125 mW typique ; en mode « attente » elle est de 17,5 mW typique. Une source de tension unique de 5 V, 60 mA est nécessaire pour alimenter le composant.

La période de rafraîchissement peut aller jusqu'à 4 millisecondes et durant ce laps de temps les 256 colonnes doivent être activées, en utilisant l'entrée RAS, pour conserver les informations mémorisées. Durant le rafraîchissement l'entrée CAS peut demeurer à l'état haut pour limiter la dissipation en puissance.

Tous les accès de la mémoire sont compatibles TTL standard. Toutes les entrées, de données ou d'adressage sont verrouillables. Les sorties, 3 états, ne sont pas verrouillables pour augmenter la flexibilité du système.

La mémoire 4416 est présentée soit en boîtier DIL (plastique ou céramique) soit en boîtier chip carrier (céramique ou plastique) de 18 connexions. Le schéma synoptique et la fonction des broches sont donnés en figure 1 ci-après.

Figure 1



Bloc diagramme fonctionnel

2.2 Spécification fonctionnelle détaillée

2.2.1 Description de la fonction

Cette mémoire de 16 384 mots de 4 éléments binaires est mise en œuvre selon le mode opératoire suivant :

Adressage

Quatorze éléments binaires sont nécessaires au décodage des 16 384 points de stockage de données. Huit éléments binaires (entrées A0 à A7) définissent l'adressage des lignes ; cet adressage est verrouillable par la commande RAS. Puis les colonnes sont adressables à travers les entrées A1 à A6, qui sont multiplexées, le verrouillage de cet adressage se faisant par la commande CAS. Le niveau logique appliqué aux entrées A0 à A7 doit être stable pendant ou avant le front descendant des signaux RAS et CAS. La commande RAS est équivalente à une commande de validation boîtier en ce sens qu'elle active simultanément les amplificateurs de détection et le décodeur de ligne. La commande CAS active simultanément le décodeur de colonne et les amplificateurs d'entrée et de sortie.

Écriture-lecture

Le mode écriture ou le mode lecture est sélectionné avec la commande $\bar{W}$. Un niveau logique « 1 » sur l'entrée $\bar{W}$ correspond au mode opératoire « lecture », le niveau logique « 0 » sélectionnant le mode opératoire « écriture ». Les entrées de données sont inactives quand le mode lecture est utilisé. Quand l'entrée $\bar{W}$ est ramenée à zéro avant l'entrée CAS, les sorties restent à l'état haute impédance, permettant ainsi un cycle d'écriture avec $\bar{G}$ à la masse.

La mémoire est écrite soit pendant un cycle écriture, soit pendant un cycle lecture/modification contenu mémoire. Selon le mode opératoire, les transitions négatives des signaux CAS ou $\bar{W}$ provoquent l'enregistrement des données. Les entrées de données peuvent être connectées directement à des circuits TTL sans résistance « pull-up ». Dans un cycle d'écriture « préparée », l'entrée $\bar{W}$ est ramenée à zéro avant le signal CAS et l'enregistrement des données est commandé par CAS, les temps de prépositionnement et de maintien étant déterminés vis-à-vis de CAS. Dans un cycle d'écriture « non préparée » ou dans un cycle lecture/modification contenu mémoire, c'est le signal CAS qui est initialement bas et c'est le signal $\bar{W}$ qui commandera l'enregistrement des données, les temps de prépositionnement et de maintien étant déterminés à partir de $\bar{W}$. Dans ce deuxième mode d'écriture, le signal $\bar{G}$ doit être haut pour mettre les circuits de puissance de sortie dans l'état haute impédance avant le transfert des données.

Les circuits de puissance de sortie sont compatibles TTL (pas de résistance « pull-up » requise). Les données lues sont de même polarité que les données écrites. Tant que le signal CAS est bas les sorties sont à l'état haute impédance. Dans un cycle lecture les sorties ne sont activées qu'après un intervalle de temps $t_{a(c)}$ compté à partir de la transition négative du signal CAS, et si, les temps $t_{a(R)}$ et $t_{a(E)}$ sont satisfaits. Les sorties sont validées après l'écoulement de ces temps d'accès et le demeurent tant que CAS et $\bar{G}$ sont au niveau bas. CAS et $\bar{G}$ retournant à l'état haut, positionnent les sorties à l'état haute impédance.

Dans un cycle d'écriture « préparée » les sorties sont toujours à l'état haute impédance. Dans les autres modes d'écriture, les sorties doivent être mises à l'état haute impédance avant d'appliquer les données aux entrées. Ceci se fait par la mise au niveau 1 de l'entrée $\bar{G}$ tout en satisfaisant au temps t_{GHD} .

Validation des sorties

L'entrée $\bar{G}$ contrôle l'impédance des étages de sortie. Quant $\bar{G}$ est haut, les circuits de puissance de sortie demeurent à l'état haute impédance. Quand $\bar{G}$ est ramené à l'état bas les étages de sortie sont activés en les mettant à l'état basse impédance. Il est nécessaire que RAS et CAS soient simultanément à l'état bas pour que les circuits de sortie soient en basse impédance. Ils demeureront à l'état basse impédance tant que $\bar{G}$ ou CAS demeureront à l'état bas.

Rafraîchissement

Une opération de rafraîchissement doit être effectuée toutes les 4 millisecondes pour garder des données en mémoire. Puisque les circuits de sortie sont à l'état haute impédance (CAS au niveau haut) pendant toute la durée du cycle aucune donnée ne peut être détruite. En parcourant les 256

adresses de ligne (A0 à A7) avec le signal $\overline{\text{RAS}}$, chaque élément binaire de chaque ligne est rafraîchi. CAS peut demeurer à l'état haut pendant toute la séquence pour réduire la consommation de puissance.

Mode page

Le mode page permet un accès plus rapide de la mémoire en conservant la même adresse ligne, et en parcourant successivement les différentes adresses colonne (limitées à 60). De cette façon le temps nécessaire à l'adressage ligne n'intervient qu'une fois par page.

Activation

Pour activer une mémoire qui était en état de veille la puissance doit être rétablie pendant 1 ms. De plus le signal $\overline{\text{RAS}}$ doit être à l'état haut depuis 100 μ s avant l'initialisation. L'initialisation consiste à effectuer 8 cycles $\overline{\text{RAS}}$.

Table de fonctionnement

Voir figure 2 ci-après.

Figure 2

Entrées								Fonction
A0	A1-A6	A7	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{W}}$	$\overline{\text{G}}$	DQ _n	
a ₀	a ₁ - a ₆	a ₇	0	1	X	X	X	adressage ligne
X	b ₁ - b ₆	X	0	0	X	X	X	adressage colonne
X	b ₁ - b ₆	X	0	0	1	0	dqn	lecture mémoire
X	b ₁ - b ₆	X	0	1	0	X	dqn	écriture avancée
X	b ₁ - b ₆	X	0	0	0	X	dqn	
X	b ₁ - b ₆	X	0	0	1	X	dqn	écriture
X	b ₁ - b ₆	X	0	0	0	X	dqn	
X	b ₁ - b ₆	X	0	0	1	0	dqn	lecture page mémoire
X	b ₁ - b ₆	X	0	1	1	0	dqn	
X	b' ₁ - b' ₆	X	0	1	1	0	dqn	
X	b' ₁ - b' ₆	X	0	0	1	0	dqn	
a ₀	a ₁ - a ₆	a ₇	0	1	X	X	X	rafraîchissement des données de la ligne

a₀, a₇ : suite de 0 et 1 définissant l'adresse de la ligne

b₁, b₆ : suite de 0 et 1 définissant l'adresse de la colonne

b'₁, b'₆ : suite de 0 et 1 définissant l'adresse de la colonne

dqn : suite de 0 et 1 représentant soit des données à rentrer, soit des données lues.

2.3 Conditions limites d'utilisation

Ces conditions sont applicables dans la gamme de température de fonctionnement.

Les limites d'utilisation (valeurs limites) ne sont pas spécifiées pour les besoins de contrôle.

Les valeurs limites d'utilisation sont données comme suit :

Toutes les tensions sont référencées à V_{SS}

Caractéristiques	Symboles	min.	max.	Unités
Tensions d'alimentation	V_{DD}	- 1	6	V
Tensions d'entrée	V_I	- 1	10	V
Tensions de sortie	V_O	- 1	6	V
Tension de sortie à l'état haute impédance	V_{OZ}	- 1	6	V
Courants de sortie	I_O		50	mA
Courants d'entrée	I_I		15	mA
Dissipation totale de puissance	P_{Dmax}	n.a.	1	W
Température de fonctionnement	T_{amb} Cat L	0	+ 70	°C
	Cat R	- 40	+ 85	°C
	Cat N	- 55	+ 100	°C
	Cat M	- 55	+ 125	°C
Température de stockage	T_{stg}	- 65	+ 150	°C

2.4 Conditions d'utilisation recommandées et caractéristiques associées

Pas pour les besoins de contrôle.

Conditions de fonctionnement recommandées :

Toutes les tensions sont référencées à V_{SS}

Caractéristiques	Conditions	Symboles	min.	max.	Unités
Tension d'alimentation positive et/ou négative ...		V_{DD}	4,5	5,5	V
Tension d'entrée au niveau bas	$V_{DD} = 5\text{ V}$	V_{IL}	- 0,6	0,8	V
Tension d'entrée au niveau haut	$V_{DD} = 5\text{ V}$	V_{IH}	2,4	5,8	V
Température de fonctionnement		T_{amb} Cat L	0	+ 70	°C
		Cat R	- 40	+ 85	°C
		Cat N	- 55	+ 100	°C
		Cat M	- 55	+ 125	°C

2.5 Caractéristiques statiques

Toutes les tensions sont référencées à V_{SS}

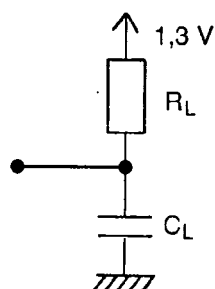
Caractéristiques	Symboles		4416-12		4416-15		4416-20		Unités
			min.	max.	min.	max.	min.	max.	
Courant moyen en fonctionnement pendant le cycle écriture/lecture	I_{DD1}	$V_{DD} = 5,5 \text{ V}$		54		48		42	mA
Courant de repos	I_{DD2}			5		5		5	mA
Courant moyen d'alimentation en mode rafraîchissement	I_{DD3}			46		40		34	mA
Courant moyen d'alimentation en mode page	I_{DD4}			46		40		34	mA
Tension d'entrée au niveau haut	V_{IH}	$V_{DD} = 5,5 \text{ V}$	2,4	5,8	2,4	5,8	2,4	5,8	V
Tension d'entrée au niveau bas	V_{IL}	$V_{DD} = 5,5 \text{ V}$	- 0,6	0,8	- 0,6	0,8	- 0,6	0,8	V
Tension de sortie au niveau haut	V_{OH}	$V_{DD} = 5,5 \text{ V}$ $- I_{OH} = 2 \text{ mA}$	2,4		2,4		2,4		V
Tension de sortie au niveau bas	V_{OL}	$V_{DD} = 4,5 \text{ V}$ $I_{OL} = 4,2 \text{ mA}$		0,4		0,4		0,4	V
Courant d'entrée ou de fuite au niveau haut	I_{IH}	$V_{DD} = 5,5 \text{ V}$ $V_{IH} = 5,8 \text{ V}$		10		10		10	μA
Courant d'entrée ou de fuite au niveau bas	I_{IL}	$V_{DD} = 5,5 \text{ V}$ $V_{ILA} = 0$		- 10		- 10		- 10	μA
Courant de sortie au niveau haut (fuite) pour les sorties trois états	I_{OZH}	$V_{DD} = 5,5 \text{ V}$ $V_{OHB} = 5,5 \text{ V}$ CAS à 5,5 V		10		10		10	μA
Courant de sortie au niveau bas (fuite) pour les sorties trois états	I_{OZL}	$V_{DD} = 5,5 \text{ V}$ $V_{OLA} = 0,4 \text{ V}$ CAS à 5,5 V		- 10		- 10		- 10	μA

2.6 Caractéristiques dynamiques

Conditions d'essais :

$C_L = 100 \text{ pF}$

$R_L = 322 \Omega$



2.6.1 Modèle 4416-12 (sanction en ns)

Caractéristiques	Symboles	Cat M		Cat R Cat N Cat L	
		min.	max.	min.	max.
TEMPS DE CYCLE					
• lecture	$t_{c(rd)}$	230	—	230	—
• écriture	$t_{c(W)}$	230	—	230	—
• lecture-écriture	$t_{c(rdW)}$	320	—	320	—
• lecture-modification-écriture	$t_{c(rdW)}$	320	—	320	—
• mode page {lecture, écriture, lecture-écriture, lecture-modification-écriture}	$t_{c(P)}$	120	—	120	—
• temps de cycle de rafraîchissement	t_{rf}	—	4 000	—	4 000
TEMPS D'ACCÈS					
• depuis l'adressage colonne	$t_a(C)$	—	70	—	70
• depuis l'adressage ligne	$t_a(R)$	—	120	—	120
• depuis la validation sortie	$t_a(G)$	—	30	—	30
DURÉE D'IMPULSION					
Mémoires à entrées d'adresses multiplexées					
— Opération de lecture, d'écriture					
• sélection d'adresses des colonnes, active	$t_w(CL)$	70	1 500	70	10 000
• sélection d'adresses des colonnes, inactive	$t_w(CH)$	40	—	40	—
• sélection d'adresses des lignes, active	$t_w(RL)$	120	1 500	120	10 000
• sélection d'adresses des lignes, inactive	$t_w(RH)$	80	—	80	—
— Opération de lecture-modification-écriture					
• sélection d'adresses des colonnes, active	$t_w(CL)$	70	1 500	70	10 000
• sélection d'adresses des colonnes, inactive	$t_w(CH)$	40	—	40	—
• sélection d'adresses des lignes, active	$t_w(RL)$	120	1 500	120	10 000
• sélection d'adresses des lignes, inactive	$t_w(RH)$	80	—	80	—
— Opération de lecture, écriture en mode page					
• sélection d'adresses des colonnes, active	$t_w(CL)$	70	1 500	70	10 000
• sélection d'adresses des colonnes, inactive	$t_w(CH)$	40	—	40	—
• sélection d'adresses des lignes, active	$t_w(RL)$	120	1 500	120	10 000
• sélection d'adresses des lignes, inactive	$t_w(RH)$	80	—	80	—
— Autorisation d'écriture					
	$t_w(W)$	30	—	30	—
— RAS opération de rafraîchissement seulement					
• sélection d'adresses des lignes, active	$t_w(RL)$	120	1 500	120	10 000
• sélection d'adresses des lignes, inactive	$t_w(RH)$	80	—	80	—

Caractéristiques	Symboles	Cat M		Cat R Cat N Cat L	
		min.	max.	min.	max.
TEMPS D'ÉTABLISSEMENT					
Mémoires aux entrées d'adresses multiplexées					
— Opération de lecture en mode normal ou en mode page					
• adressage de la colonne avant le début de la sélection d'adresses des colonnes	$t_{su}(CA)$	0	—	0	—
• adressage de la ligne avant le début de la sélection d'adresses des lignes	$t_{su}(RA)$	0	—	0	—
• lecture avant le début de la sélection d'adresses des colonnes	$t_{su}(rd)$	0	—	0	—
— Opération d'écriture en mode normal ou en mode page					
• adressage de la colonne avant le début de la sélection d'adresses des colonnes	$t_{su}(CA)$	0	—	0	—
• adressage de la ligne avant le début de la sélection d'adresses des lignes	$t_{su}(RA)$	0	—	0	—
• introduction des données avant le début de la sélection d'adresses des colonnes	$t_{su}(D)$	0	—	0	—
• introduction des données avant le début de l'écriture	$t_{su}(D)$	0	—	0	—
• écriture avant la fin de la sélection d'adresses des colonnes	$t_{su}(WCH)$	50	—	50	—
• écriture avant la fin de la sélection d'adresses des lignes	$T_{su}(WRH)$	50	—	50	—
— Opération de lecture-modification-écriture					
• adressage de la colonne avant le début de la sélection d'adresses des colonnes	$t_{su}(CA)$	0	—	0	—
• adressage de la ligne avant le début de la sélection d'adresses des lignes	$t_{su}(RA)$	0	—	0	—
• introduction des données avant le début de la sélection d'adresses des colonnes	$t_{su}(D)$	0	—	0	—
• introduction des données avant le début de l'écriture	$t_{su}(D)$	0	—	0	—
• écriture avant la fin de la sélection d'adresses des colonnes	$t_{su}(WCH)$	50	—	50	—
• écriture avant la fin de la sélection d'adresses des lignes	$t_{su}(WRH)$	50	—	50	—
• lecture avant le début de la sélection d'adresses des colonnes	$t_{su}(rd)$	0	—	0	—
TEMPS DE MAINTIEN					
Mémoires aux entrées d'adresses multiplexées					
— Opération de lecture en mode normal ou en mode page					
• adressage de la colonne après le début de la sélection d'adresses des colonnes	$t_h(CLCA)$	35	—	35	—
• adressage de la ligne après le début de la sélection d'adresses des lignes	$t_h(RA)$	15	—	15	—
• adressage de la colonne après le début de la sélection d'adresses des lignes	$t_h(RLCA)$	85	—	85	—
• lecture après la fin de la sélection d'adresses des colonnes	$t_h(CHrd)$	0	—	0	—
• sélection d'adresses des colonnes après le début de la sélection d'adresses des lignes	$t_h(RHrd)$	10	—	10	—