

UTE

Spécification française harmonisée
Système CENELEC d'assurance de la qualité
12, Place des Etats-Unis
75783 PARIS CEDEX 16

Téléphone : (1) 47 23 72 57

Télex : 620434F

CECC 90 112-003

EDITION 1 - Juillet 1987

ISSUE 1 - July 1987



Page 1

Nombre total de pages : 27
Total number of pages :

**COMPOSANTS ELECTRONIQUES SOUS ASSURANCE
DE QUALITE CONFORMEMENT A :**
**ELECTRONIC COMPONENTS OF ASSESSED QUALITY
IN ACCORDANCE WITH :**

GS : CECC 90 000 (NF C 86-020)

SS : CECC 90 100 (NF C 86-200)

FS : CECC 90 112 (NF C 86-253)

UTE C 86-253-003

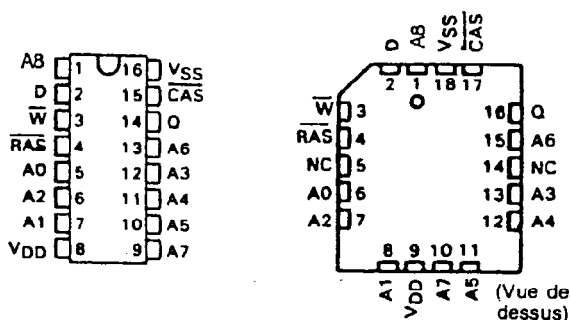
Adoptée le 2 juillet 1987

(2/30.01.87)

DESSIN ET DIMENSIONS :
OUTLINE AND DIMENSIONS :

CEI 191-2 - Types } . 050 G 09 - 050 G 08 :
IEC 191-2 - Types } Boîtiers/Packages DC - DP
 . Boîtiers PC - PP : voir annexe
 Packages PC - PP : see Annex

IDENTIFICATION DES CONNEXIONS
TERMINAL CONNECTIONS



Boîtiers DC - DP
DC - DP packages

Boîtiers PP - PC
PP-PC packages

SPECIFICATION PARTICULIERE POUR
MEMOIRES RAM DYNAMIQUES
LECTURE/ECRITURE A CIRCUITS INTEGRES

DETAIL SPECIFICATION FOR
MOS READ/WRITE DYNAMIC MEMORIES
SILICON MONOLITHIC CIRCUITS

MODELE/TYPE 4256

. Variétés électriques/Electrical variants
. 4256-12 / 4256-15 / 4256-20

. Variétés température/boîtier
Temperature/package variants

Boîtiers Packages	Températures/Temperatures	
	0 °C, + 70 °C	- 40 °C, + 85 °C - 55 °C, + 100 °C
DC		X
DP	X	
PC		X
PP	X	

TECHNOLOGIE DE FABRICATION :**TYPICAL CONSTRUCTION :**

Circuit monolithique N MOS au silicium.
Silicon monolithic N MOS integrated circuit.

PRECAUTION/CAUTION :

Ces dispositifs sont sensibles aux décharges
électrostatiques.

These are electrostatic sensitive devices.

NIVEAUX D'ASSURANCE DE QUALITE : Y, L
ASSESSMENT LEVELS :

1 - DESCRIPTION DU MODELE
TYPE DESCRIPTION

Mémoire organisée en 262 144 x 1 élément binaire, entrées et sorties compatibles TTL, sorties 3 états.
Memory organization 262 144 x 1. All inputs/outputs fully TTL compatible. 3-state outputs.

Se reporter à la Liste des Produits Homologués CECC 00 200 en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.
Information about manufacturers who have components qualified to this detail specification is available in the current CECC 00 200 : Qualified Products List.

2 CARACTÉRISTIQUES D'UTILISATION

Sauf spécification contraire, le circuit doit fonctionner dans toute la gamme des températures et dans toute la gamme des tensions d'alimentation spécifiées.

2.1 Description générale

Les caractéristiques suivantes ne sont données que pour information.

En mode de lecture ou écriture, la mémoire 4256 fonctionne sous une tension d'alimentation unique dont la valeur nominale est de 5 V.

Sa consommation est de :

- 300 mW en fonctionnement sous 5 V ;
- 12,5 mW en mode « attente ».

Son temps d'accès par rapport aux adresses de lignes dépend de la version choisie :

- 4256-12 120 ns,
- 4256-15 150 ns,
- 4256-20 200 ns.

Elle est totalement compatible avec les familles logiques TTL des séries, S, LS, AS, ALS.

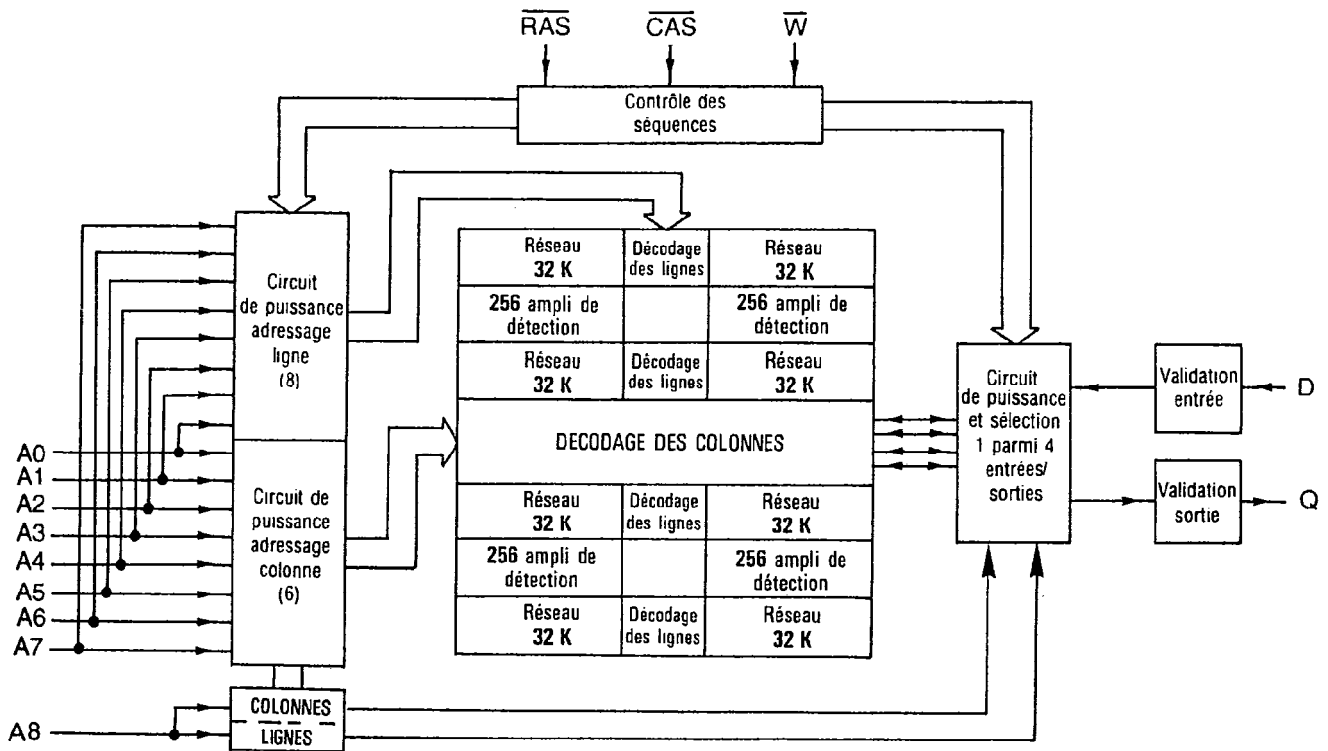
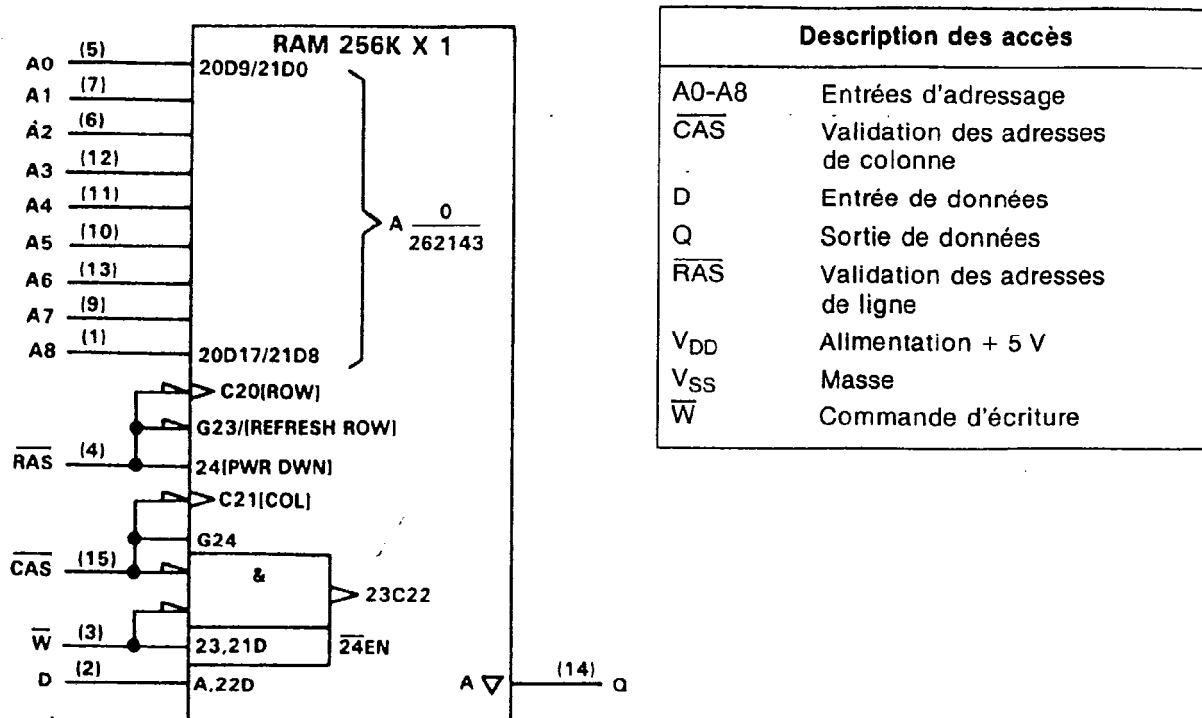
Le boîtier est, soit un DIL 16 broches céramique ou plastique, soit un « chip carrier » céramique ou plastique 18 connexions au pas de 1,27 mm.

Un rafraîchissement est nécessaire et doit être effectué toutes les 4 ms.

Après la mise sous tension, huit cycles mémoire doivent être effectués pour avoir un fonctionnement correct du circuit.

Le schéma synoptique et la fonction des broches sont donnés en figure 1 ci-après.

Figure 1



Bloc diagramme fonctionnel

2.2 Spécification fonctionnelle détaillée

2.2.1 Description de la fonction

Cette mémoire dont la capacité est de 262 144 mots d'1 élément binaire est mise en œuvre selon le mode opératoire suivant.

Adresses (A0 - A8)

Dix-huit bits d'adresse sont nécessaires pour décoder 1 des 262 144 cellules de stockage. Neuf bits d'adresse ligne sont présentés sur les broches A0 - A8 et verrouillés dans le circuit par l'horloge des adresses de ligne puis les neuf bits d'adresse colonnes sont présentés sur les broches A0 - A8 et verrouillés dans le circuit par l'horloge des adresses colonnes.

Toutes les adresses doivent être établies et de niveau stable avant la descente du signal $\overline{\text{RAS}}$ ou $\overline{\text{CAS}}$.

$\overline{\text{RAS}}$ est équivalent à un signal de validation dans le sens qu'il active aussi bien les amplificateurs de lecture que le décodeur des lignes.

$\overline{\text{CAS}}$ est utilisé comme un signal de validation qui active le décodeur de colonne et les circuits d'entrée/sortie.

Commande d'écriture ($\overline{\text{W}}$)

Le mode d'écriture ou de lecture est sélectionné par l'entrée de commande écriture ($\overline{\text{W}}$). Un niveau « 1 » logique sur l'entrée $\overline{\text{W}}$ sélectionne le mode lecture et un niveau « 0 » logique sélectionne le mode écriture. La broche commande écriture peut être commandée par un circuit standard TTL sans résistance de rappel. L'entrée des données est bloquée quand le mode lecture est sélectionné. Quand $\overline{\text{W}}$ descend avant $\overline{\text{CAS}}$ la sortie est en haute impédance pendant tout le cycle permettant d'avoir entrées/sortie sur le même bus.

Entrée (D)

L'information est écrite pendant un cycle écriture ou lecture/modification/écriture. La descente du signal $\overline{\text{CAS}}$ ou $\overline{\text{W}}$ verrouille l'information dans le registre de données du circuit. Ce registre peut être commandé par un circuit standard TTL sans résistance de rappel. Dans un cycle d'écriture avancée, $\overline{\text{W}}$ va descendre avant $\overline{\text{CAS}}$ et l'information est verrouillée par $\overline{\text{CAS}}$ avec des temps de maintien et d'établissement référencés par rapport à ce signal $\overline{\text{CAS}}$. Dans un cycle écriture, $\overline{\text{CAS}}$ sera déjà à l'état bas, l'information sera donc verrouillée par le signal $\overline{\text{W}}$ avec des temps de maintien et d'établissement référencés par rapport à ce signal $\overline{\text{W}}$.

Sortie (Q)

L'étage de sortie à trois états donne une compatibilité TTL directe (pas de résistance de rappel nécessaire) avec la possibilité de commander deux entrées de la série TTL standard. La polarité de l'information en sortie est la même qu'à l'entrée.

La sortie est dans l'état haute impédance jusqu'à ce que $\overline{\text{CAS}}$ soit au niveau bas.

Dans un cycle de lecture la sortie devient active après le temps d'accès $t_{a(c)}$ qui commence au moment de la transition négative de $\overline{\text{CAS}}$ à condition que $t_{a(r)}$ soit satisfait. L'information de sortie devient valide après le temps d'accès et reste valide pendant tout le temps où $\overline{\text{CAS}}$ est à l'état bas. La sortie retourne en haute impédance quand $\overline{\text{CAS}}$ passe au niveau haut. Dans un cycle d'écriture avancée la sortie est toujours en haute impédance. Dans un cycle d'écriture retardée ou en lecture/modification/écriture la sortie va suivre la même séquence que pour un cycle de lecture.

Rafraîchissement

Une opération de rafraîchissement doit être effectuée toutes les 4 ms pour maintenir l'information. Puisque l'étage de sortie est en haute impédance si le signal $\overline{\text{CAS}}$ n'est pas appliqué, l'opération de rafraîchissement avec $\overline{\text{RAS}}$ uniquement évite d'avoir une information en sortie pendant cette opération. En adressant chacune des 512 lignes (A0 - A8) avec $\overline{\text{RAS}}$ toutes les cellules de chaque ligne sont rafraîchies, $\overline{\text{CAS}}$ peut rester au niveau haut pendant cette séquence de rafraîchissement dans le but de diminuer la puissance dissipée.

Mode page

L'utilisation de la mémoire en mode page permet d'avoir un temps d'accès plus rapide en restant sur la même ligne et en échantillonnant les adresses successives des colonnes de la ligne. Donc le temps nécessaire pour établir et verrouiller les adresses lignes pour une même page est éliminé.

Pour étendre ce fonctionnement au-delà des 512 colonnes d'un simple boîtier, l'adresse ligne et RAS sont appliqués à plusieurs boîtiers. CAS est ensuite décodé pour sélectionner le boîtier.

Mise sous tension

Après la mise sous tension, huit cycles mémoire doivent être effectués pour avoir un fonctionnement correct du circuit.

Table de fonctionnement

Voir figure 2 ci-après

Figure 2

A0 - A8	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{W}}$	D/Q	Fonction
$a_0 - a_8$	0	1	0/1	0/1	adressage ligne
$b_0 - b_8$	0	0	0/1	0/1	adressage colonne
$b_0 - b_8$	0	0	1	Q	lecture mémoire
$b_0 - b_8$	0	0	0	D	écriture avancée
$b_0 - b_8$	0	0	0	D	écriture
$b_0 - b_8$	0	0	1	Q	lecture page mémoire
$b_0 - b_8$	0	0	0	D	écriture page mémoire
$a_0 - a_8$	0	1	0/1	0/1	rafraichissement des données de la ligne

$a_0 - a_8$: suite de 0 et 1 définissant l'adresse de la ligne

$b_0 - b_8$: suite de 0 et 1 définissant l'adresse de la colonne

2.3 Conditions limites d'utilisation

Ces conditions sont applicables dans la gamme de température de fonctionnement.

Les limites d'utilisation (valeurs limites) ne sont pas spécifiées pour les besoins de contrôle.

Les valeurs limites d'utilisation sont données comme suit :

Toutes les tensions sont référencées à V_{SS}

Caractéristiques	Symboles	min.	max.	Unités
Tension d'alimentation	V_{DD}	- 1	7	V
Tensions d'entrée	V_I	- 1	7	V
Tensions de sortie	V_O	- 1	7	V
Tension de sortie à l'état haute impédance	V_{OZ}	- 1	7	V
Courants de sortie	I_O		50	mA
Courants d'entrée	I_I		15	mA
Dissipation totale de puissance	P_{Dmax}	n.a.	1	W
Température de fonctionnement	T_{amb} Cat L	0	+ 70	°C
	Cat R	- 40	+ 85	°C
	Cat N	- 55	+ 100	°C
Température de stockage	T_{stg}	- 65	+ 150	°C

2.4 Conditions d'utilisation recommandées et caractéristiques associées

Pas pour les besoins de contrôle.

Conditions de fonctionnement recommandées :

Toutes les tensions sont référencées à V_{SS}

Caractéristiques	Symboles	min.	max.	Unités
Tension d'alimentation positive et/ou négative	V_{DD}	4,5	5,5	V
Tension d'entrée au niveau bas	V_{IL}	- 0,6	0,8	V
Tension d'entrée au niveau haut	V_{IH}	2,4	5,8	V
Température de fonctionnement	T_{amb} Cat L	0	+ 70	°C
	Cat R	- 40	+ 85	°C
	Cat N	- 55	+ 100	°C

2.5 Caractéristiques statiques

Toutes les tensions sont référencées à V_{SS}

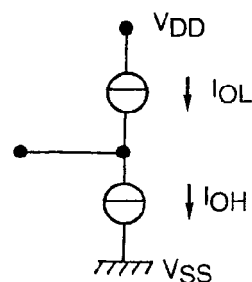
Caractéristiques	Symboles	Conditions	4256-12		4256-15		4256-20		Unités
			min.	max.	min.	max.	min.	max.	
Courant moyen de fonctionnement pendant le cycle lecture/écriture	I_{DD1}	$V_{DD} = 5,5 \text{ V}$ $t_c = \text{cycle minimal}$		80		75		60	mA
Courant de repos	I_{DD2}	$V_{DD} = 5,5 \text{ V}$		5		5		5	mA
Courant moyen d'alimentation en mode rafraîchissement	I_{DD3}	$V_{DD} = 5,5 \text{ V}$		63		60		45	mA
Courant moyen d'alimentation en mode page	I_{DD4}	$V_{DD} = 5,5 \text{ V}$		50		50		45	mA
Tension d'entrée au niveau haut	V_{IH}	$V_{DD} = 5,5 \text{ V}$	2,4	5,8	2,4	5,8	2,4	5,8	V
Tension d'entrée au niveau bas	V_{IL}	$V_{DD} = 5,5 \text{ V}$	- 0,6	0,8	- 0,6	0,8	- 0,6	0,8	V
Tension de sortie au niveau haut	V_{OH}	$V_{DD} = 4,5 \text{ V}$ $I_{OH} = 5 \text{ mA}$	2,4		2,4		2,4		V
Tension de sortie au niveau bas	V_{OL}	$V_{DD} = 4,5 \text{ V}$ $I_{OL} = 4,2 \text{ mA}$		0,4		0,4		0,4	V
Courant d'entrée ou de fuite au niveau haut	I_{IH}	$V_{DD} = 5,5 \text{ V}$ $V_{IH} = 5,8 \text{ V}$		10		10		10	μA
Courant d'entrée ou de fuite au niveau bas	I_{IL}	$V_{DD} = 5,5 \text{ V}$ $V_{ILA} = 0$		- 10		- 10		- 10	μA
Courant de sortie au niveau haut (fuite) pour les sorties trois états	I_{OHZ}	$V_{DD} = 5,5 \text{ V}$ $V_{OHB} = 5,5 \text{ V}$ CAS à 5,5 V		10		10		10	μA
Courant de sortie au niveau bas (fuite) pour les sorties trois états	I_{OLZ}	$V_{DD} = 5,5 \text{ V}$ $V_{OLA} = 0,4 \text{ V}$ CAS à 5,5 V		- 10		- 10		- 10	μA

2.6 Caractéristiques dynamiques

Conditions d'essais :

$I_{OL} = 4,2 \text{ mA}$

$I_{OH} = -5 \text{ mA}$



2.6.1 Modèle 4256-12 (sanction en ns)

Caractéristiques	Symboles	Cat.R Cat. N Cat. L	
		min.	max.
TEMPS DE CYCLE - lecture - écriture - lecture-modification-écriture - mode page (lecture, écriture, lecture-écriture) - mode page (lecture, modification, écriture) - temps de cycle de rafraîchissement	$t_{c(rd)}$ $t_{c(W)}$ $t_{c(rdW)}$ $t_{c(P)}$ $t_{c(PM)}$ t_{rf}	230 230 275 125 170 —	— — — — — 4 ms
TEMPS D'ACCÈS - depuis l'adressage colonne - depuis l'adressage ligne	$t_{a(c)}$ $t_{a(R)}$	— —	65 120
DURÉE D'IMPULSION — Opération de lecture, d'écriture - sélection d'adresses des colonnes, active - sélection d'adresses des colonnes, inactive - sélection d'adresses des lignes, active - sélection d'adresses des lignes, inactive — Autorisation d'écriture — Opération de lecture en mode page - comme pour l'opération de lecture/écriture — RAS opération de rafraîchissement seulement - sélection d'adresses des lignes, active - sélection d'adresses des lignes, inactive	$t_{w(CL)}$ $t_{w(CH)}$ $t_{w(RL)}$ $t_{w(RH)}$ $t_{w(W)}$ $t_{w(CH)}$ $t_{w(RH)}$ $t_{w(RL)}$ $t_{w(RH)}$	65 25 120 100 40 50 115 120 100	10 000 — 10 000 — — — 10 000 —
TEMPS D'ÉTABLISSEMENT — Opération de lecture - adressage de la colonne avant le début de la sélection d'adresses des colonnes - adressage de la ligne avant le début de la sélection d'adresses des lignes - lecture avant le début de la sélection d'adresses des colonnes — Opération d'écriture en mode normal ou en mode page - adressage de la colonne avant le début de la sélection d'adresses des colonnes - adressage de la ligne avant le début de la sélection d'adresses des lignes - introduction des données avant le début de la sélection d'adresses des colonnes	$t_{su(CA)}$ $t_{su(RA)}$ $t_{su(rd)}$ $t_{su(CA)}$ $t_{su(RA)}$ $t_{su(D)}$	0 0 5 0 0 3	— — — — — —

Caractéristiques	Symboles	Cat.R Cat. N Cat. L	
		min.	max.
- ou • introduction des données avant le début de l'écriture • écriture avant la fin de la sélection d'adresses des colonnes • écriture avant la fin de la sélection d'adresses des lignes • début de l'écriture jusqu'au début de la sélection d'adresses des colonnes	$t_{su}(D)$ $t_{su}(WCH)$ $t_{su}(WRH)$ $t_{su}(WCL)$	3 40 40 0	— — — —
— Opération de lecture-modification-écriture • adressage de la colonne avant le début de la sélection d'adresses des colonnes • adressage de la ligne avant le début de la sélection d'adresses des lignes • introduction des données avant le début de la sélection d'adresses des colonnes	$t_{su}(CA)$ $t_{su}(RA)$ $t_{su}(D)$	0 0 3	— — —
- ou • introduction des données avant le début de l'écriture • écriture avant la fin de la sélection d'adresses des colonnes • écriture avant la fin de la sélection d'adresses des lignes • lecture avant le début de la sélection d'adresses des colonnes	$t_{su}(D)$ $t_{su}(D)$ $t_{su}(WCH)$ $t_{su}(WRH)$ $t_{su}(rd)$	3 3 40 40 5	— — — — —
— Opération de rafraîchissement • adressage de la ligne avant le début de la sélection d'adresses des lignes	$t_{su}(RA)$	0	—
TEMPS DE MAINTIEN			
— Opération de lecture • adressage de la colonne après le début de la sélection d'adresses des colonnes • adressage de la ligne après le début de la sélection d'adresses des lignes • adressage de la colonne après le début de la sélection d'adresses des lignes • lecture après la fin de la sélection d'adresses des colonnes • lecture après la fin de la sélection d'adresses des lignes • sélection d'adresses des colonnes après le début de la sélection d'adresses des lignes	$t_h(CLCA)$ $t_h(RA)$ $t_h(RLCA)$ $t_h(CHrd)$ $t_h(RHrd)$ t_{RLCH}	20 15 75 0 10 120	— — — — — —
— Opération d'écriture • adressage de la colonne après le début de la sélection d'adresses des colonnes • adressage de la ligne après le début de la sélection d'adresses des lignes • adressage de la colonne après le début de la sélection d'adresses des lignes • écriture après le début de la sélection d'adresses des lignes • écriture après le début de la sélection d'adresses des colonnes	$t_h(CLCA)$ $t_h(RA)$ $t_h(RLCA)$ $t_h(RLW)$ $t_h(CLW)$	20 15 75 95 40	— — — — —