

DIN EN 60191-6-17

ICS 01.100.25; 31.240

**Mechanische Normung von Halbleiterbauelementen –
Teil 6-17: Allgemeine Regeln für die Erstellung von
Gehäusezeichnungen von SMD-Halbleitergehäusen –
Konstruktionsleitfaden für gestapelte Gehäuse –
Feinraster-Ball-Grid-Array und Feinraster-Land-Grid-Array
(P-PFBGA/P-PFLGA) (IEC 60191-6-17:2011);
Deutsche Fassung EN 60191-6-17:2011**

Mechanical standardization of semiconductor devices –
Part 6-17: General rules for the preparation of outline drawings of surface mounted
semiconductor device packages –
Design guide for stacked packages – Fine-pitch ball grid array and fine-pitch land grid
array (P-PFBGA and P-PFLGA) (IEC 60191-6-17:2011);
German version EN 60191-6-17:2011

Normalisation mécanique des dispositifs à semiconducteurs –
Partie 6-17: Règles générales pour la préparation des dessins d'encombrement des
dispositifs à semiconducteurs à montage en surface –
Guide de conception pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et
boîtiers matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)
(CEI 60191-6-17:2011);
Version allemande EN 60191-6-17:2011

Gesamtumfang 29 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

Anwendungsbeginn

Anwendungsbeginn für die von CENELEC am 2011-03-03 angenommene Europäische Norm als DIN-Norm ist 2011-09-01.

Nationales Vorwort

Vorausgegangener Norm-Entwurf: E DIN IEC 60191-6-17:2007-10.

Für diese Norm ist das nationale Arbeitsgremium UK 631.4 „Gehäuse für Halbleiterbauelemente“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (www.dke.de) zuständig.

Die enthaltene IEC-Publikation wurde vom SC 47D „Mechanical standardization of semiconductor devices“ erarbeitet.

Das IEC-Komitee hat entschieden, dass der Inhalt dieser Publikation bis zu dem Datum (stability date) unverändert bleiben soll, das auf der IEC-Website unter „<http://webstore.iec.ch>“ zu dieser Publikation angegeben ist. Zu diesem Zeitpunkt wird entsprechend der Entscheidung des Komitees die Publikation

- bestätigt,
- zurückgezogen,
- durch eine Folgeausgabe ersetzt oder
- geändert.

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Der Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ergibt sich, soweit ein Zusammenhang besteht, grundsätzlich über die Nummer der entsprechenden IEC-Publikation. Beispiel: IEC 60068 ist als EN 60068 als Europäische Norm durch CENELEC übernommen und als DIN EN 60068 ins Deutsche Normenwerk aufgenommen.

**Mechanische Normung von Halbleiterbauelementen –
Teil 6-17: Allgemeine Regeln für die Erstellung von Gehäusezeichnungen von
SMD-Halbleitergehäusen –
Konstruktionsleitfaden für gestapelte Gehäuse – Feinraster-Ball-Grid-Array und
Feinraster-Land-Grid-Array (P-PFBGA/P-PFLGA)
(IEC 60191-6-17:2011)**

Mechanical standardization of semiconductor devices –
Part 6-17: General rules for the preparation of outline
drawings of surface mounted semiconductor device
packages –
Design guide for stacked packages – Fine-pitch ball grid
array and fine-pitch land grid array
(P-PFBGA and P-PFLGA)
(IEC 60191-6-17:2011)

Normalisation mécanique des dispositifs à
semiconducteurs –
Partie 6-17: Règles générales pour la préparation des
dessins d'encombrement des dispositifs à
semiconducteurs à montage en surface –
Guide de conception pour les boîtiers empilés –
Boîtiers matriciels à billes et à pas fins et boîtiers
matriciels à zone de contact plate et à pas fins
(P-PFBGA et P-PFLGA)
(CEI 60191-6-17:2011)

Diese Europäische Norm wurde von CENELEC am 2011-03-03 angenommen. Die CENELEC-Mitglieder sind gehalten, die CEN/CENELEC-Geschäftsordnung zu erfüllen, in der die Bedingungen festgelegt sind, unter denen dieser Europäischen Norm ohne jede Änderung der Status einer nationalen Norm zu geben ist.

Auf dem letzten Stand befindliche Listen dieser nationalen Normen mit ihren bibliographischen Angaben sind beim Zentralsekretariat oder bei jedem CENELEC-Mitglied auf Anfrage erhältlich.

Diese Europäische Norm besteht in drei offiziellen Fassungen (Deutsch, Englisch, Französisch). Eine Fassung in einer anderen Sprache, die von einem CENELEC-Mitglied in eigener Verantwortung durch Übersetzung in seine Landessprache gemacht und dem Zentralsekretariat mitgeteilt worden ist, hat den gleichen Status wie die offiziellen Fassungen.

CENELEC-Mitglieder sind die nationalen elektrotechnischen Komitees von Belgien, Bulgarien, Dänemark, Deutschland, Estland, Finnland, Frankreich, Griechenland, Irland, Island, Italien, Kroatien, Lettland, Litauen, Luxemburg, Malta, den Niederlanden, Norwegen, Österreich, Polen, Portugal, Rumänien, Schweden, der Schweiz, der Slowakei, Slowenien, Spanien, der Tschechischen Republik, Ungarn, dem Vereinigten Königreich und Zypern.

CENELEC

Europäisches Komitee für Elektrotechnische Normung
European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique

Zentralsekretariat: Avenue Marnix 17, B-1000 Brüssel

© 2011 CENELEC – Alle Rechte der Verwertung, gleich in welcher Form und in welchem Verfahren, sind weltweit den Mitgliedern von CENELEC vorbehalten.

Ref. Nr. EN 60191-6-17:2011 D

Vorwort

Der Text des Schriftstücks 47D/785/FDIS, zukünftige 1. Ausgabe von IEC 60191-6-17, ausgearbeitet von dem SC 47D „Mechanical standardization for semiconductor devices“ des IEC TC 47 „Semiconductor devices“, wurde der IEC-CENELEC Parallelen Abstimmung unterworfen und von CENELEC am 2011-03-03 als EN 60191-6-17 angenommen.

Es wird auf die Möglichkeit hingewiesen, dass einige Elemente dieses Dokuments Patentrechte berühren können. CEN und CENELEC sind nicht dafür verantwortlich, einige oder alle diesbezüglichen Patentrechte zu identifizieren.

Nachstehende Daten wurden festgelegt:

- spätestes Datum, zu dem die EN auf nationaler Ebene durch Veröffentlichung einer identischen nationalen Norm oder durch Anerkennung übernommen werden muss (dop): 2011-12-03
- spätestes Datum, zu dem nationale Normen, die der EN entgegenstehen, zurückgezogen werden müssen (dow): 2014-03-03

Der Anhang ZA wurde von CENELEC hinzugefügt.

Anerkennungsnotiz

Der Text der Internationalen Norm IEC 60191-6-17:2011 wurde von CENELEC ohne irgendeine Abänderung als Europäische Norm angenommen.

Inhalt

	Seite
Vorwort	2
Einleitung	4
1 Anwendungsbereich	5
2 Normative Verweisungen	5
3 Begriffe	5
4 Benummerung der Anschlussposition	6
5 Zeichnungen	7
6 Abmessungen	15
6.1 Gruppe 1	15
6.2 Gruppe 2	20
6.3 Kombination von D, E, M _D und M _E	20
7 Maßstabelle	26
Anhang ZA (normativ) Normative Verweisungen auf internationale Publikationen mit ihren entsprechenden europäischen Publikationen	27
Bilder	
Bild 1 – Individuell stapelbares Gehäuse, P-FBGA (mit Hohlraum nach oben gerichtet)	7
Bild 2 – Individuell stapelbares Gehäuse, P-FBGA (mit Hohlraum nach unten gerichtet)	8
Bild 3 – Individuell stapelbares Gehäuse, P-FLGA (mit Hohlraum nach oben gerichtet)	9
Bild 4 – Gehäusemaßbild, gestapeltes Gehäuse, P-PFBGA (BGA mit Hohlraum nach oben gerichtet und BGA mit Hohlraum nach oben gerichtet)	10
Bild 5 – Gehäusemaßbild, gestapeltes Gehäuse, P-PFBGA (BGA mit Hohlraum nach unten gerichtet und BGA mit Hohlraum nach unten gerichtet)	11
Bild 6 – Gehäusemaßbild, gestapeltes Gehäuse, P-PFBGA (BGA mit Hohlraum nach unten gerichtet und LGA mit Hohlraum nach oben gerichtet)	12
Bild 7 – Gehäusemaßbild, gestapeltes Gehäuse, P-PFLGA (LGA mit Hohlraum nach oben gerichtet und BGA mit Hohlraum nach oben gerichtet)	13
Bild 8 – Passlehre für die Funktionsmaße	14
Bild 9 – Struktur der Anschlusspositionen	14
Tabellen	
Tabelle 1 – Abmessungen, Gruppe 1	15
Tabelle 2 – Abmessungen, Gruppe 2	20
Tabelle 3 – Kombination von D, E, M _D und M _E , $\varnothing = 0,80$ mm Raster FBGA und FLGA	21
Tabelle 4 – Kombination von D, E, M _D und M _E , $\varnothing = 0,65$ mm Raster FBGA und FLGA	22
Tabelle 5 – Kombination von D, E, M _D und M _E , $\varnothing = 0,50$ mm Raster FBGA und FLGA	23
Tabelle 6 – Kombination von D, E, M _D und M _E , $\varnothing = 0,40$ mm Raster FBGA und FLGA	24
Tabelle 7 – Kombination von D, E, M _D und M _E , $\varnothing = 0,30$ mm Raster FLGA	25
Tabelle 8 – Maßstabelle	26

Einleitung

Der Trend zu immer kleineren und mit hoher Dichte bestückten tragbaren elektronischen Geräten hat die Entwicklung von LSI-Schaltkreisen in verkleinerten Gehäusen und in Konfigurationen mit höherer Dichte vorangetrieben. Die Technologieentwicklung der gestapelten Gehäuse, die eine Miniaturisierung und mehr Funktionalität ermöglicht, erfolgte aufgrund des Erfordernisses nach höherer Bestückungsdichte. Ziel dieses Konstruktionsleitfadens ist es, die Gehäusemaßbilder zu normieren um Austauschbarkeit unter den individuell stapelbaren Gehäusen zu erreichen.

1 Anwendungsbereich

Dieser Teil von IEC 60191 enthält Gehäusezeichnungen und Abmessungen für gestapelte Gehäuse und individuell stapelbare FBGA- und FLGA-Gehäuseformen.

2 Normative Verweisungen

Die folgenden zitierten Dokumente sind für die Anwendung dieses Dokuments erforderlich. Bei datierten Verweisungen gilt nur die in Bezug genommene Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des in Bezug genommenen Dokuments (einschließlich aller Änderungen).

IEC 60191-6, *Mechanical standardization of semiconductor devices – Part 6: General rules for the preparation of outline drawings of surface mounted semiconductor device package*

IEC 60191-6-5, *Mechanical standardization of semiconductor devices – Part 6-5: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for fine-pitch ball grid array (FBGA)*

3 Begriffe

Für die Anwendung dieses Dokuments gelten die Begriffe nach IEC 60191-6 und die folgenden Begriffe:

3.1

individuell stapelbares Gehäuse

Gehäuse, das für die Oberflächenmontage auf einer Leiterplatte eine Matrix aus metallischen Kugeln oder Lötflächen auf der Unterseite und für die Stapelung der Gehäuse eine Matrix aus Kontaktflächen (Lötflächen) auf der Oberseite besitzt

ANMERKUNG Das individuell stapelbare FLGA-Gehäuse mit nach oben gerichtetem Hohlraum ist dann Bestandteil dieser Spezifikation, wenn die Stapelung eines mit Hohlraum nach oben gerichteten FLGA mit einem mit Hohlraum nach unten gerichteten FBGA erfolgt.

3.2

gestapeltes Gehäuse

Anordnung aus mehreren aufeinander gestapelten individuell stapelbaren Gehäusen

ANMERKUNG Das oberste Gehäuse kann aus einem FBGA nach IEC 60191-6-5, ohne Kontaktflächen auf der Oberseite, bestehen. Dieses Gehäuse muss jedoch die Abstandshöhe, die in diesem Leitfaden festgelegt ist, einhalten.

3.3

Spritzformsockel-Höhe

A_2

Höhe des den drahtgebondeten Chip bzw. den mittels Flip-Chip Technologie verbundenen Chip enthaltenden Spritzformsockels bezüglich der Substratflächenoberseite des Gehäuses

3.4

Abstand zwischen der Spritzformsockel-Kante und den innersten Kugeln

F

der Abstand zwischen der Spritzformsockel-Kante des unteren Gehäuses und den innersten Anschlüssen des oberen gestapelten Gehäuses

3.5

Rasteranordnung der Lötflächen auf der Oberseite

e_1

Rasteranordnung der Kontaktflächen (Lötflächen) auf der Oberseite des individuell stapelbaren Gehäuses. Sie werden mit den Anschlüssen des passenden Aufsatzgehäuses verbunden.

3.6

Parallelitätstoleranz der Spritzformsockel-Oberfläche

y_1

Parallelitätstoleranz der Aufsatzspritzformsockel-Oberfläche des gestapelten Gehäuses oder des individuell stapelbaren Gehäuses bezüglich der Aufsetzfläche (Bezugswert $\boxed{S}$), die durch den Kontakt der Kugelkronen gebildet wird

ANMERKUNG Für das gestapelte Gehäuse ist „ y_1 “ als Parallelitätstoleranz der Oberfläche der oberen Komponente bezüglich der Aufsetzfläche der untersten Komponente festgelegt.

3.7

Koplanarität

y

die Ebenheitstoleranz ist maßgeblich für die am tiefsten liegenden Anschlusspunkte des individuell stapelbaren Gehäuses oder des gestapelten Gehäuses

3.8

Durchmesser der Lötflächen auf der Oberseite

b_2

Durchmesser der Lötflächen auf der Oberseite, welche zum Bonden mit den Anschlüssen des passenden Aufsatzgehäuses verwendet werden

4 Benummerung der Anschlussposition

Wenn man ein Gehäuse von der Anschlussseite mit der Indexkante in der linken unteren Ecke betrachtet, sind die Anschlusszeilen von unten nach oben, beginnend mit A, dann B, C, ..., AA, AB usw. beschriftet, während die Anschlussspalten von links nach rechts, beginnend mit 1, nummeriert sind. Die Anschlusspositionen werden durch ein Matrixsystem mit Zeilen und Spalten angeordnet und als alphanumerische Kennzeichnung angegeben, z. B. A1, B1 oder AC34.

Die Buchstaben I, O, Q, S, X und Z werden nicht für die Beschriftung der Anschlusszeilen verwendet.

5 Zeichnungen

Die Gehäusezeichnungen sind in den Bildern 1, 2, 3, 4, 5, 6 und 7 dargestellt.

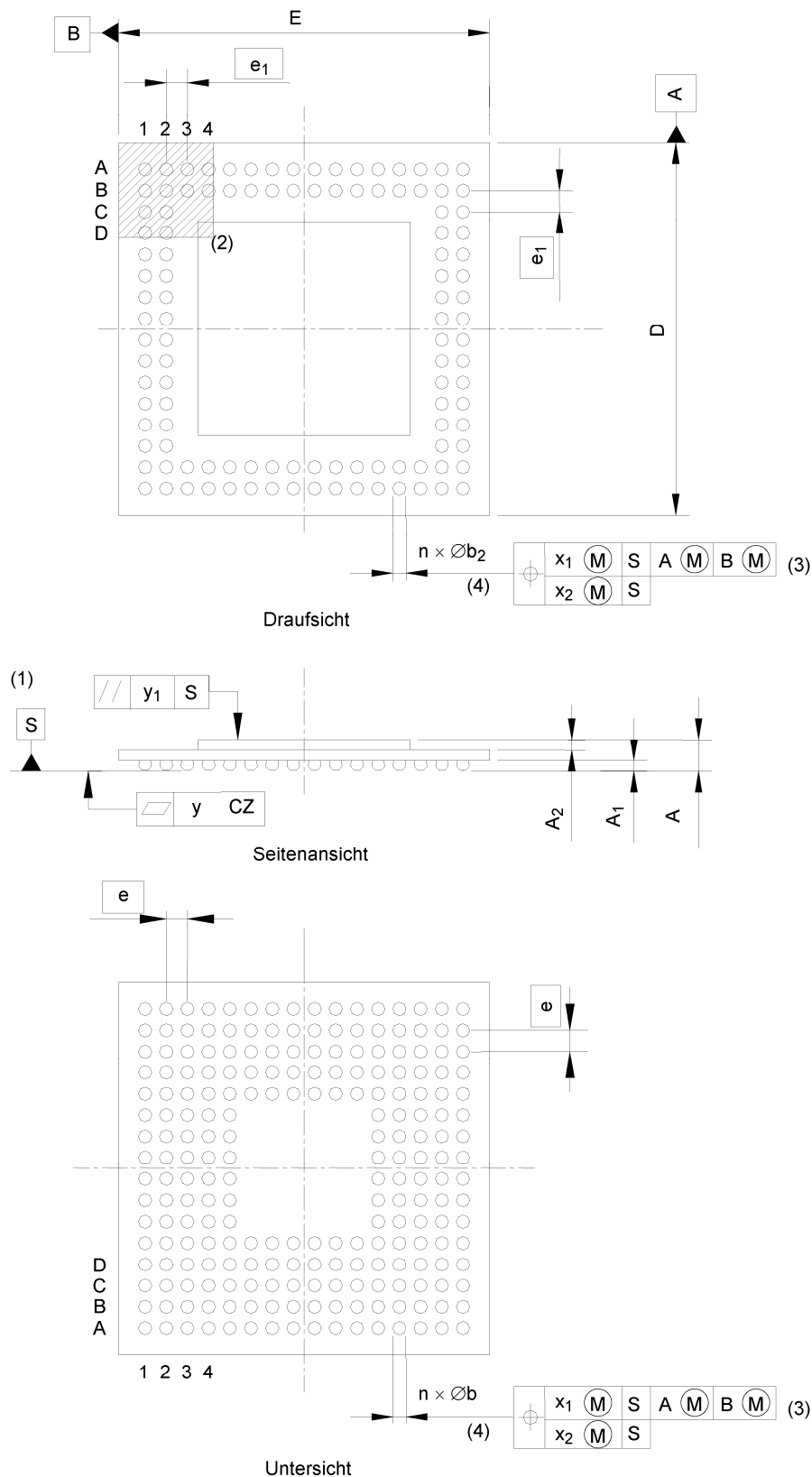


Bild 1 – Individuell stapelbares Gehäuse, P-FBGA (mit Hohlraum nach oben gerichtet)