

DIN EN 60191-6-22

ICS 31.240; 01.100.25

**Mechanische Normung von Halbleiterbauelementen –
Teil 6-22: Allgemeine Regeln für die Erstellung von
Gehäusezeichnungen von SMD-Halbleitergehäusen –
Konstruktionsleitfaden für Halbleitergehäuse
Si-Feinraster-Ball-Grid-Array und Si-Feinraster-Land-Grid-Array
(S-FBGA und S-FLGA)
(IEC 60191-6-22:2012);
Deutsche Fassung EN 60191-6-22:2013**

Mechanical standardization of semiconductor devices –
Part 6-22: General rules for the preparation of outline drawings of surface mounted
semiconductor device packages –
Design guide for semiconductor packages Silicon Fine-pitch Ball Grid Array and Silicon
Fine-pitch Land Grid Array (S-FBGA and S-FLGA)
(IEC 60191-6-22:2012);
German version EN 60191-6-22:2013

Normalisation mécanique des dispositifs à semiconducteurs –
Partie 6-22: Règles générales pour la préparation des dessins d'encombrement des
dispositifs à semiconducteurs à montage en surface –
Guide de conception pour les boîtiers matriciels à billes et à pas fins en silicium et boîtiers
matriciels à zone de contact plate et à pas fins en silicium (S-FBGA et S-FLGA)
(CEI 60191-6-22:2012);
Version allemande EN 60191-6-22:2013

Gesamtumfang 18 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

Anwendungsbeginn

Anwendungsbeginn für die von CENELEC am 2013-01-15 angenommene Europäische Norm als DIN-Norm ist 2013-08-01.

Nationales Vorwort

Vorausgegangener Norm-Entwurf: E DIN EN 60191-6-22:2011-08.

Für dieses Dokument ist das nationale Arbeitsgremium UK 631.4 „Gehäuse für Halbleiterbauelemente“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (www.dke.de) zuständig.

Die enthaltene IEC-Publikation wurde vom SC 47D „Semiconductor devices packaging“ erarbeitet. Dieses hat während der Veröffentlichung der vorliegenden Norm seinen Titel geändert, so steht im Vorwort der EN 60191-6-22 noch der bisherige Titel des IEC/SC 47D.

Eine Liste mit allen Teilen der Normenreihe IEC 60191 mit dem allgemeinen Titel „Mechanical Standardization of Semiconductor Devices“ kann auf der IEC-Website gefunden werden.

Das IEC-Komitee hat entschieden, dass der Inhalt dieser Publikation bis zu dem Datum (stability date) unverändert bleiben soll, das auf der IEC-Website unter „<http://webstore.iec.ch>“ zu dieser Publikation angegeben ist. Zu diesem Zeitpunkt wird entsprechend der Entscheidung des Komitees die Publikation

- bestätigt,
- zurückgezogen,
- durch eine Folgeausgabe ersetzt oder
- geändert.

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Der Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ergibt sich, soweit ein Zusammenhang besteht, grundsätzlich über die Nummer der entsprechenden IEC-Publikation. Beispiel: IEC 60068 ist als EN 60068 als Europäische Norm durch CENELEC übernommen und als DIN EN 60068 ins Deutsche Normenwerk aufgenommen.

**Mechanische Normung von Halbleiterbauelementen –
Teil 6-22: Allgemeine Regeln für die Erstellung von Gehäusezeichnungen von
SMD-Halbleitergehäusen –
Konstruktionsleitfaden für Halbleitergehäuse Si-Feinraster-Ball-Grid-Array und
Si-Feinraster-Land-Grid-Array (S-FBGA und S-FLGA)
(IEC 60191-6-22:2012)**

Mechanical standardization of semiconductor devices –
Part 6-22: General rules for the preparation of outline drawings of surface mounted semiconductor device packages –
Design guide for semiconductor packages Silicon Fine-pitch Ball Grid Array and Silicon Fine-pitch Land Grid Array (S-FBGA and S-FLGA)
(IEC 60191-6-22:2012)

Normalisation mécanique des dispositifs à semiconducteurs –
Partie 6-22: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface –
Guide de conception pour les boîtiers matriciels à billes et à pas fins en silicium et boîtiers matriciels à zone de contact plate et à pas fins en silicium (S-FBGA et S-FLGA)
(CEI 60191-6-22:2012)

Diese Europäische Norm wurde von CENELEC am 2013-01-15 angenommen. Die CENELEC-Mitglieder sind gehalten, die CEN/CENELEC-Geschäftsordnung zu erfüllen, in der die Bedingungen festgelegt sind, unter denen dieser Europäischen Norm ohne jede Änderung der Status einer nationalen Norm zu geben ist.

Auf dem letzten Stand befindliche Listen dieser nationalen Normen mit ihren bibliographischen Angaben sind beim CEN-CENELEC Management Centre oder bei jedem CENELEC-Mitglied auf Anfrage erhältlich.

Diese Europäische Norm besteht in drei offiziellen Fassungen (Deutsch, Englisch, Französisch). Eine Fassung in einer anderen Sprache, die von einem CENELEC-Mitglied in eigener Verantwortung durch Übersetzung in seine Landessprache gemacht und dem CEN-CENELEC Management Centre mitgeteilt worden ist, hat den gleichen Status wie die offiziellen Fassungen.

CENELEC-Mitglieder sind die nationalen elektrotechnischen Komitees von Belgien, Bulgarien, Dänemark, Deutschland, der ehemaligen jugoslawischen Republik Mazedonien, Estland, Finnland, Frankreich, Griechenland, Irland, Island, Italien, Kroatien, Lettland, Litauen, Luxemburg, Malta, den Niederlanden, Norwegen, Österreich, Polen, Portugal, Rumänien, Schweden, der Schweiz, der Slowakei, Slowenien, Spanien, der Tschechischen Republik, der Türkei, Ungarn, dem Vereinigten Königreich und Zypern.

CENELEC

Europäisches Komitee für Elektrotechnische Normung
European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique

Management Centre: Avenue Marnix 17, B-1000 Brüssel

© 2013 CENELEC – Alle Rechte der Verwertung, gleich in welcher Form und in welchem Verfahren, sind weltweit den Mitgliedern von CENELEC vorbehalten.

Ref. Nr. EN 60191-6-22:2013 D

Vorwort

Der Text des Dokumentes 47D/812/CDV, zukünftige Ausgabe 1 der IEC 60191-6-22, erarbeitet durch SC 47D „Semiconductor packaging“ des IEC TC 47 „Semiconductor devices“, wurde zur parallelen IEC-CENELEC-Abstimmung vorgelegt und von CENELEC als EN 60191-6-22:2013 angenommen.

Nachstehende Daten wurden festgelegt:

- spätestes Datum, zu dem dieses Dokument auf nationaler Ebene durch Veröffentlichung einer identischen nationalen Norm oder durch Anerkennung übernommen werden muss (dop): 2013-10-15
- spätestes Datum, zu dem nationale Normen, die diesem Dokument entgegenstehen, zurückgezogen werden müssen (dow): 2016-01-15

Es wird auf die Möglichkeit hingewiesen, dass einige Texte dieses Dokuments Patentrechte berühren können. CENELEC [und/oder CEN] sind nicht dafür verantwortlich, einige oder alle diesbezüglichen Patentrechte zu identifizieren.

Anerkennungsnotiz

Der Text der Internationalen Norm IEC 60191-6-22:2012 wurde vom CENELEC ohne irgendeine Abänderung als eine Europäische Norm angenommen.

In der offiziellen Fassung sind unter „Literaturhinweise“ zu den aufgelisteten Normen die nachstehenden Anmerkungen einzutragen:

- | | | |
|----------------|-----------|---------------------------------|
| IEC 60191-6 | ANMERKUNG | Harmonisiert als EN 60191-6. |
| IEC 60191-6-5 | ANMERKUNG | Harmonisiert als EN 60191-6-5. |
| IEC 60191-6-12 | ANMERKUNG | Harmonisiert als EN 60191-6-12. |

Inhalt

	Seite
Vorwort	2
1 Anwendungsbereich	4
2 Normative Verweisungen	4
3 Begriffe	4
4 Benummerung der Anschlussposition	4
5 Kennzeichnung der Gehäuseinnenmaße	4
6 Symbole und Zeichnungen	5
7 Maße	8
7.1 Gruppe 1	8
7.2 Gruppe 2	10
8 Verzeichnis der Kombination aus D , E , M_D und M_E	11
Literaturhinweise	16

Bilder

Bild 1 – S-FBGA-Gehäusemaßbild	5
Bild 2 – S-FLGA-Gehäusemaßbild	6
Bild 3 – Abbildung der mechanischen Lehre	7
Bild 4 – Anordnung der belegten Anschlussflächen	7

Tabellen

Tabelle 1 – Maße und Toleranzen der Gruppe 1	8
Tabelle 2 – Maße und Toleranzen der Gruppe 2	10
Tabelle 3 – $e = 0,80$ mm Raster S-FBGA und S-FLGA	11
Tabelle 4 – $e = 0,65$ mm Raster S-FBGA und S-FLGA	11
Tabelle 5 – $e = 0,50$ mm Raster S-FBGA und S-FLGA	12
Tabelle 6 – $e = 0,40$ mm Raster S-FBGA und S-FLGA	13
Tabelle 7 – $e = 0,30$ mm Raster S-FBGA und S-FLGA	14
Tabelle 8 – $e = 0,25$ mm Raster S-FLGA	15

1 Anwendungsbereich

Dieser Teil von IEC 60191 enthält die Gehäusezeichnungen und Abmessungen, die für alle Bauarten und Werkstoffe von Gehäusen für Ball-Grid-Arrays (BGA) und Land-Grid-Arrays (LGA) auf Si-Basis gemeinsam sind.

2 Normative Verweisungen

Die folgenden Dokumente, die in diesem Dokument teilweise oder als Ganzes zitiert werden, sind für die Anwendung dieses Dokuments erforderlich. Bei datierten Verweisungen gilt nur die in Bezug genommene Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des in Bezug genommenen Dokuments (einschließlich aller Änderungen).

Keine

3 Begriffe

Für die Anwendung dieses Dokuments gelten die folgenden Begriffe.

3.1

S-SBGA

Feinraster-Ball-Grid-Array (FBGA) mit Silizium-Chip, dielektrische(n)r Schicht(en) auf dem Chip und Drahtleitungen, die von den Chipanschlüssen zu den äußersten Kugeln auf der (den) dielektrischen Schicht(en) führen, wobei die Höhe der äußersten Kugeln mindestens 0,1 mm beträgt

3.2

S-FLGA

Feinraster-Land-Grid-Array (FLGA) mit Silizium-Chip, dielektrische(n)r Schicht(en) auf dem Chip und Drahtleitungen, die von den Chipanschlüssen zu den äußersten Lötflächen auf der (den) dielektrischen Schicht(en) führen, wobei die Höhe der äußersten Lötflächen höchstens 0,1 mm beträgt

4 Benummerung der Anschlussposition

Wenn man ein Gehäuse von der Anschlussseite mit der Indexecke in der linken unteren Ecke betrachtet, sind die Anschlusszeilen von unten nach oben beginnend mit A, dann B, C, ..., AA, AB usw. beschriftet, während die Anschlussspalten von links nach rechts, beginnend mit 1, nummeriert sind. Die Anschlusspositionen sind durch ein Matrixsystem mit Zeilen und Spalten bestimmt und werden mit einer alphanumerischen Kennzeichnung angegeben, z. B. A1, B1.

Die Buchstaben I, O, Q, S, X und Z dürfen nicht für die Beschriftung der Anschlusszeilen verwendet werden.

5 Kennzeichnung der Gehäusenennmaße

Die Kennzeichnung der Gehäusenennmaße definiert sich über die Kombination aus Gehäusebreite *E* und Länge *D*, welche in hundertstel Millimeter angegeben werden.