

Graphische Symbole für Schaltpläne

Teil 12: Binäre Elemente
(IEC 60617-12 : 1997) Deutsche Fassung EN 60617-12 : 1998**DIN****EN 60617-12**Diese Norm enthält die deutsche Übersetzung der Internationalen Norm **IEC 60617-12**

ICS 01.080.40; 29.020

Ersatz für
DIN 40900-12 : 1992-09Graphical symbols for diagrams –
Part 12: Binary logic elements (IEC 60617-12 : 1997);
German version EN 60617-12 : 1998Symboles graphiques pour schémas –
Partie 12: Opérateurs logiques binaires (CEI 60617-12 : 1997);
Version allemande EN 60617-12 : 1998**Die Europäische Norm EN 60617-12 : 1998 hat den Status einer Deutschen Norm.****Nationales Vorwort**

Zuständig für diese Europäische Norm ist in Deutschland das Unterkomitee 113.1 „Dokumentation, Schaltungsunterlagen und graphische Symbole in der Elektrotechnik“ der Deutschen Elektrotechnischen Kommission im DIN und VDE (DKE).

Die Internationale Norm IEC 60617-12 „Graphical symbols for diagrams, Part 12: Binary logic elements (IEC 60617-12:1997)“, wurde vom TC 3 „Documentation and graphical symbols“ der Internationalen Elektrotechnischen Kommission (IEC) erarbeitet.

Die Reihe der Normen IEC 60617 besteht aus folgenden Teilen, die in Deutschland unter dem Haupttitel „Graphische Symbole für Schaltpläne“ veröffentlicht werden:

- Teil 1: Allgemeine Hinweise, Gesamtstichwortverzeichnis
- Teil 2: Symbolelemente, Kennzeichen und andere Schaltzeichen für allgemeine Anwendungen
- Teil 3: Schaltzeichen für Leiter und Verbinder
- Teil 4: Schaltzeichen für passive Bauelemente
- Teil 5: Schaltzeichen für Halbleiter und Elektronenröhren
- Teil 6: Schaltzeichen für die Erzeugung und Umwandlung elektrischer Energie
- Teil 7: Schaltzeichen für Schalt- und Schutzeinrichtungen
- Teil 8: Schaltzeichen für Meß-, Melde- und Signaleinrichtungen
- Teil 9: Schaltzeichen für die Nachrichtentechnik; Vermittlungs- und Endeinrichtungen
- Teil 10: Schaltzeichen für die Nachrichtentechnik; Übertragungseinrichtungen
- Teil 11: Gebäudebezogene und topographische Installationspläne und Schaltpläne
- Teil 12: Binäre Elemente
- Teil 13: Analoge Elemente

Der Zusammenhang der zitierten Normen und anderen Unterlagen mit den entsprechenden Deutschen Normen und anderen Unterlagen ist nachstehend wiedergegeben.

Fortsetzung Seite 2 und 3
und 242 Seiten EN

Deutsche Elektrotechnische Kommission im DIN und VDE (DKE)

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm oder andere Unterlagen ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm oder anderen Unterlage.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm oder anderen Unterlage.

Zum Zeitpunkt der Veröffentlichung dieser Norm waren die angegebenen Ausgaben gültig.

Europäische Norm	Internationale Norm	Deutsche Norm
—	IEC 60617-1 : 1985	—
EN 60617-2 : 1996	IEC 60617-2 : 1996	DIN EN 60617-2 : 1997-08
EN 60617-3 : 1996	IEC 60617-3 : 1996	DIN EN 60617-3 : 1997-08
EN 60617-4 : 1996	IEC 60617-4 : 1996	DIN EN 60617-4 : 1997-08
EN 60617-5 : 1996	IEC 60617-5 : 1996	DIN EN 60617-5 : 1997-08
EN 60617-6 : 1996	IEC 60617-6 : 1996	DIN EN 60617-6 : 1997-08
EN 60617-7 : 1996	IEC 60617-7 : 1996	DIN EN 60617-7 : 1997-08
EN 60617-8 : 1996	IEC 60617-8 : 1996	DIN EN 60617-8 : 1997-08
EN 60617-9 : 1996	IEC 60617-9 : 1996	DIN EN 60617-9 : 1997-08
EN 60617-10 : 1996	IEC 60617-10 : 1996	DIN EN 60617-10 : 1997-08
EN 60617-11 : 1996	IEC 60617-11 : 1996	DIN EN 60617-11 : 1997-08
EN 60617-12 : 1998	IEC 60617-12 : 1997	DIN EN 60617-12 : 1999-04
EN 60617-13 : 1992	IEC 60617-13 : 1993	DIN EN 60617-13 : 1994-01
—	ISO 128 : 1982	DIN 6 : 1986-12 DIN 15 : 1984-06 DIN 201 : 1990-05
—	ISO/IEC 646 : 1991	DIN 66003 : 1994-06
EN 61082-1 : 1993	IEC 61082-1 : 1991	DIN EN 61082-1 : 1996-05
EN 61082-2 : 1994	IEC 61082-2 : 1993	DIN EN 61082-2 : 1995-05
—	ISO 31-11 : 1992	DIN 1302 : 1994-04

Änderungen

Gegenüber DIN 40900-12 : 1992-09 wurden folgende Änderungen vorgenommen:

- Die seit der Ausgabe der obengenannten Norm bei der IEC international genormten Schaltzeichen wurden übernommen.
- EN 60617-12 wurde übernommen.

Frühere Ausgaben

DIN 40900-12: 1984-07, 1992-09
DIN 40700-14: 1963-11, 1976-07

Nationaler Anhang NA (informativ)

Literaturhinweise

DIN 6	Technische Zeichnungen, Darstellungen in Normprojekten
DIN 15	Technische Zeichnungen, Linien
DIN 1302	Allgemeine mathematische Zeichen und Begriffe
DIN EN 60617-2	Graphische Symbole für Schaltpläne – Teil 2: Symbolelemente, Kennzeichen und andere Schaltzeichen für allgemeine Anwendungen
DIN EN 60617-3	Graphische Symbole für Schaltpläne – Teil 3: Schaltzeichen für Leiter und Verbinder
DIN EN 60617-4	Graphische Symbole für Schaltpläne – Teil 4: Schaltzeichen für passive Bauelemente
DIN EN 60617-5	Graphische Symbole für Schaltpläne – Teil 5: Schaltzeichen für Halbleiter und Elektronenröhren
DIN EN 60617-6	Graphische Symbole für Schaltpläne – Teil 6: Schaltzeichen für die Erzeugung und Umwandlung elektrischer Energie
DIN EN 60617-7	Graphische Symbole für Schaltpläne – Teil 7: Schaltzeichen für Schalt- und Schutzeinrichtungen
DIN EN 60617-8	Graphische Symbole für Schaltpläne – Teil 8: Schaltzeichen für Meß-, Melde- und Signaleinrichtungen
DIN EN 60617-9	Graphische Symbole für Schaltpläne – Teil 9: Schaltzeichen für die Nachrichtentechnik; Vermittlungs- und Endeinrichtungen
DIN EN 60617-10	Graphische Symbole für Schaltpläne – Teil 10: Schaltzeichen für die Nachrichtentechnik; Übertragungseinrichtungen
DIN EN 60617-11	Graphische Symbole für Schaltpläne – Teil 11: Gebäudebezogene und topographische Installationspläne und Schaltpläne
DIN EN 60617-13	Graphische Symbole für Schaltungsunterlagen – Teil 13: Analoge Elemente
DIN EN 61082-1	Dokumente der Elektrotechnik – Teil 1: Allgemeine Regeln (IEC 1082-1 : 1991/A1 : 1995) Deutsche Fassung EN 61082-1 : 1993/A1 : 1995
DIN EN 61082-2	Schaltungsunterlagen – Erstellung von in der Elektrotechnik verwendeten Dokumenten – Teil 2: Funktionsorientierte Schaltpläne (IEC 3B(CO)49)
DIN 66003	Informationsverarbeitung; 7-Bit-Code

– Leerseite –

ICS 01.080.30; 29.020

Deskriptoren: Binäre Logik, Logikverarbeitung, Schaltpläne der Elektrotechnik, Schaltzeichen

Deutsche Fassung
Graphische Symbole für Schaltpläne
Teil 12: Binäre Elemente
(IEC 60617-12 : 1997)

Graphical symbols for diagrams
Part 12: Binary logic elements
(IEC 60617-12 : 1997)

Symboles graphiques pour schémas
Partie 12: Opérateurs logiques binaires
(CEI 60617-12 : 1997)

Diese Europäische Norm wurde von CENELEC am 1. August 1998 angenommen.

Die CENELEC-Mitglieder sind gehalten, die CEN/CENELEC-Geschäftsordnung zu erfüllen, in der die Bedingungen festgelegt sind, unter denen dieser Europäischen Norm ohne jede Änderung der Status einer nationalen Norm zu geben ist.

Auf dem letzten Stand befindliche Listen dieser nationalen Normen mit ihren bibliographischen Angaben sind beim Zentralsekretariat oder bei jedem CENELEC-Mitglied auf Anfrage erhältlich.

Diese Europäische Norm besteht in drei offiziellen Fassungen (Deutsch, Englisch, Französisch). Eine Fassung in einer anderen Sprache, die von einem CENELEC-Mitglied in eigener Verantwortung durch Übersetzung in seine Landessprache gemacht und dem Zentralsekretariat mitgeteilt worden ist, hat den gleichen Status wie die offiziellen Fassungen.

CENELEC-Mitglieder sind die nationalen elektrotechnischen Komitees von Belgien, Dänemark, Deutschland, Finnland, Frankreich, Griechenland, Irland, Island, Italien, Luxemburg, Niederlande, Norwegen, Österreich, Portugal, Schweden, Schweiz, Spanien, der Tschechischen Republik und dem Vereinigten Königreich.

CENELEC

Europäisches Komitee für Elektrotechnische Normung
European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique

Zentralsekretariat: rue de Stassart 35, B-1050 Brüssel

Vorwort

Der Text des Schriftstücks 3A/407/FDIS, zukünftige 3. Ausgabe von IEC 60617-12, ausgearbeitet von dem SC 3A „Graphical symbols for diagrams“ des IEC TC 3 „Documentation and graphical symbols“, wurde der IEC-CENELEC Parallelen Abstimmung unterworfen und von CENELEC am 1996-03-05 angenommen.

Der Text des Schriftstücks 3A/431/FDIS, der in der Internationalen Norm IEC 60617-12 : 1997 eingearbeitet ist, wurde der formellen Abstimmung unterworfen und von CENELEC am 1998-08-01 für Einarbeitung in die EN 60617-12 angenommen.

Nachstehende Daten wurden festgelegt:

- spätestes Datum, zu dem die EN auf nationaler Ebene durch Veröffentlichung einer identischen nationalen Norm oder durch Anerkennung übernommen werden muß (dop) 1999-08-01
- spätestes Datum, zu dem nationale Normen, die der EN entgegenstehen, zurückgezogen werden müssen (dow) 2001-08-01

Anhänge, die als „normativ“ bezeichnet sind, gehören zum Norminhalt.

Anhänge, die als „informativ“ bezeichnet sind, enthalten nur Informationen.

In dieser Norm ist Anhang ZA normativ, und die Anhänge A, B und C sind informativ.

Der Anhang ZA wurde von CENELEC hinzugefügt.

Anerkennungsnotiz

Der Text der Internationalen Norm IEC 60617-12 : 1997 wurde von CENELEC ohne irgendeine Abänderung als Europäische Norm angenommen.

Foreword

The text of document 3A/407/FDIS, future edition 3 of IEC 60617-12, prepared by SC 3A, Graphical symbols for diagrams, of IEC TC 3, Documentation and graphical symbols, was submitted to the IEC-CENELEC parallel vote and was approved by CENELEC on 1996-03-05.

The text of document 3A/431/FDIS, which has been included in the International Standard IEC 60617-12 : 1997, was submitted to the formal vote (as prAA) and was approved for inclusion in EN 60617-12 on 1998-08-01.

The following dates were fixed:

- latest date by which the EN has to be implemented
at national level by publication of an identical
national standard or by endorsement (dop) 1999-08-01
- latest date by which the national standards conflicting
with the EN have to be withdrawn (dow) 2001-08-01

Annexes designated “normative” are part of the body of the standard.

Annexes designated “informative” are given for information only.

In this standard, annex ZA is normative and annexes A, B and C are informative.

Annex ZA has been added by CENELEC.

Endorsement notice

The text of the International Standard IEC 60617-12 : 1997 was approved by CENELEC as a European Standard without any modification.

INHALT

	Seite
Einführung	8
Kapitel I : Allgemeines	
1 Anwendungsbereich	10
1A Verweisung auf andere Normen	10
2 Allgemeine Anmerkungen	10
3 Erläuterung der Begriffe	12
Kapitel II : Symbolaufbau	
4 Zusammensetzung eines Symbols	14
5 Konturen	18
6 Anwendung und Kombination von Konturen	19
Kapitel III : Funktionskennzeichen an Eingängen, Ausgängen und anderen Verbindungen	
7 Negation, Logik-Polarität und dynamischer Eingang	28
8 Interne Verbindungen	31
9 Kennzeichen innerhalb der Kontur	38
10 Nicht-logische Verbindungen und Signalfußanzeiger, internes Pulldown und internes Pullup	69
Kapitel IV : Abhängigkeitsnotation	
11 Allgemeine Erklärung	72
12 Grundregeln	72
13 Abhängigkeitsarten	74
14 UND-Abhängigkeit	78
15 ODER-Abhängigkeit	81
16 NEGATIONS-Abhängigkeit	82
17 VERBINDUNGS-Abhängigkeit	83
17A DURCHSCHALTUNGS-Abhängigkeit	85
18 STEUER-Abhängigkeit	88
19 SETZ- und RÜCKSETZ-Abhängigkeit	90
20 FREIGABE-Abhängigkeit	93
21 MODUS-Abhängigkeit	94
22 Vergleich von C-, EN- und M-Wirkungen auf Eingänge	98
23 ADRESSEN-Abhängigkeit	98
24 Besonderheiten bei der Abhängigkeitsnotation	104
25 Reihenfolge der Bezeichnungen an Ein- und Ausgängen	107

CONTENTS

	Page
INTRODUCTION	9
Chapter I : General	
1 Scope	11
1A Normative references	11
2 General notes	11
3 Explanation of terms	13
Chapter II : Symbol construction	
4 Composition of the symbol	15
5 Outlines	18
6 Use and combination of outlines	19
Chapter III : Qualifying symbols associated with inputs, outputs, and other connections	
7 Negation, logic polarity and dynamic input	28
8 Internal connections	31
9 Symbols inside the outline	38
10 Non-logic connections and signal-flow indicators, internal pulldown and internal pullup	69
Chapter IV : Dependency notation	
11 General explanation	72
12 Convention	72
13 Types of dependency	74
14 AND dependency	78
15 OR dependency	81
16 NEGATE dependency	82
17 INTERCONNECTION dependency	83
17A TRANSMISSION dependency	85
18 CONTROL dependency	88
19 SET and RESET dependency	90
20 ENABLE dependency	93
21 MODE dependency	94
22 Comparison of C-, EN- and M-effects on inputs	98
23 ADDRESS dependency	98
24 Special techniques used in dependency notation	104
25 The ordering of labels associated with inputs and with outputs	107

Kapitel V : Kombinatorische und sequentielle Elemente

26	Allgemeine Bemerkungen	115
27	Kombinatorische Elemente	116
28	Beispiele für kombinatorische Elemente	120
29	Beispiele für Leistungselemente, Treiber und Empfänger	126
30	Elemente mit Hysterese	131
31	Beispiele für Elemente mit Hysterese	131
32	Codierer, Code-Umsetzer	133
33	Beispiele für Code-Umsetzer	144
34	Signalpegel-Umsetzer mit oder ohne galvanische Trennung	150
35	Beispiele für Signalpegel-Umsetzer	150
36	Multiplexer und Demultiplexer	151
37	Beispiele für Multiplexer und Demultiplexer	153
38	Arithmetische Elemente	157
39	Beispiele für arithmetische Elemente	159
40	Digitale Verzögerungselemente	165
41	Bistabile Elemente	167
42	Beispiele für bistabile Elemente	169
43	Angabe von speziellen Schalteigenschaften bistabiler Elemente	173
44	Monostabile Elemente	174
45	Beispiele für monostabile Elemente	175
46	Astable Elemente	176
47	Beispiele für astabile Elemente	178
48	Schieberegister und Zähler	179
49	Beispiele für Schieberegister und Zähler	181
50	Speicher	191
51	Beispiele für Speicher	193
52	Anzeigeelemente	203
53	Beispiele für Anzeigeelemente	205

Kapitel VI : Elemente mit komplexen Funktionen

54	Allgemeines Symbol und Grundregeln	209
55	Bussymbole und Darstellung von Datenleitungen	216
56	Beispiele für Elemente mit komplexen Funktionen	220

Anhänge

A	Stichwortverzeichnis	232
B	Bausteinverzeichnis	238

Chapter V : Combinative and sequential elements

26	General notes	115
27	Combinative elements	116
28	Examples of combinative elements	120
29	Examples of buffers, drivers, receivers, and bidirectional switches	126
30	Elements with hysteresis	131
31	Examples of elements with hysteresis	131
32	Coders, code converters	133
33	Examples of code converters	144
34	Signal-level converters with or without electrical isolation	150
35	Examples of signal-level converters	150
36	Multiplexers and demultiplexers	151
37	Examples of multiplexers and demultiplexers	153
38	Arithmetic elements	157
39	Examples of arithmetic elements	159
40	Binary delay elements	165
41	Bistable elements	167
42	Examples of bistable elements	169
43	Indication of special switching properties of bistable elements	173
44	Monostable elements	174
45	Examples of monostable elements	175
46	Astable elements	176
47	Examples of astable elements	178
48	Shift registers and counters	179
49	Examples of shift registers and counters	181
50	Memories	191
51	Examples of memories	193
52	Display elements	203
53	Examples of display elements	205

Chapter VI : Complex-function elements

54	General symbol and basic rules	209
55	Bus indicators and data path representation	216
56	Examples of complex-function elements	220

Annexes

A	German alphabetical index	232
B	Index of devices	238

EINFÜHRUNG

Dieser Teil der IEC 60617 ist Teil einer Reihe von Publikationen über graphische Symbole für Schaltpläne.

Diese Reihe besteht aus folgenden Teilen:

- Teil 1: Allgemeine Hinweise, Gesamtstichwortverzeichnis
- Teil 2: Symbolelemente, Kennzeichen und andere Schaltzeichen für allgemeine Anwendungen
- Teil 3: Schaltzeichen für Leiter und Verbinder
- Teil 4: Schaltzeichen für passive Bauelemente
- Teil 5: Schaltzeichen für Halbleiter und Elektronenröhren
- Teil 6: Schaltzeichen für die Erzeugung und Umwandlung elektrischer Energie
- Teil 7: Schaltzeichen für Schalt- und Schutzeinrichtungen
- Teil 8: Schaltzeichen für Meß-, Melde- und Signaleinrichtungen
- Teil 9: Schaltzeichen für die Nachrichtentechnik; Vermittlungs- und Endeinrichtungen
- Teil 10: Schaltzeichen für die Nachrichtentechnik; Übertragungseinrichtungen
- Teil 11: Gebäudebezogene und topographische Installationspläne und Schaltpläne
- Teil 12: Binäre Elemente
- Teil 13: Analoge Elemente

INTRODUCTION

This International Standard forms an element of a series which deals with graphical symbols for diagrams.

The series consists of the following parts:

Part 1: General information, general index. Cross-reference tables

Part 2: Symbol elements, qualifying symbols and other symbols having general application

Part 3: Conductors and connecting devices

Part 4: Passive components

Part 5: Semiconductors and electron tubes

Part 6: Production and conversion of electrical energy

Part 7: Switchgear, controlgear and protective devices

Part 8: Measuring instruments, lamps and signalling devices

Part 9: Telecommunications: Switching and peripheral equipment

Part 10: Telecommunications: Transmission

Part 11: Architectural and topographical installation plans and diagrams

Part 12: Binary logic elements

Part 13: Analogue elements

Graphische Symbole für Schaltungsunterlagen

Teil 12: Binäre Elemente

KAPITEL I: ALLGEMEINES

1 Anwendungsbereich

Dieser Teil der IEC 60617 enthält graphische Symbole, die zur Darstellung von Logik-Funktionen entwickelt wurden. Sie sind auch für die Darstellung von Bauteilen bestimmt, die solche Funktionen ausführen. Die Symbole entstanden im Hinblick auf elektrische Anwendungen. Die meisten davon können auch auf nicht-electrische Systeme (z.B. pneumatische, hydraulische, mechanische) angewendet werden.

1A Normative Verweisungen

Die folgenden Normen enthalten Festlegungen, die durch Verweisung in diesem Text Bestandteil der vorliegenden Internationalen Norm sind. Zum Zeitpunkt der Veröffentlichung dieser Norm waren die angegebenen Ausgaben gültig. Alle Normen unterliegen der Überarbeitung, und Vertragspartner, deren Vereinbarungen auf dieser Internationalen Norm basieren, werden gebeten, die Möglichkeit zu prüfen, ob die jeweils neuesten Ausgaben der im folgenden genannten Normen angewendet werden können. Die Mitglieder von IEC und ISO führen Verzeichnisse der gegenwärtig gültigen Normen.

IEC 60617-2: 1996 *Graphical symbols for diagrams – Part 2: Symbol elements, qualifying symbols and other symbols having general application*

IEC 60617-3: 1996 *Graphical symbols for diagrams – Part 3: Conductors and connecting devices*

IEC 60617-10: 1996 *Graphical symbols for diagrams – Part 10: Telecommunication: Transmission*

IEC 60617-13: 1993 *Graphical symbols for diagrams – Part 13: Analogue elements*

IEC 61082-1: 1991 *Preparation of documents used in electrotechnology – Part 1: General requirements*

IEC 61082-2: 1993 *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*

ISO 31-11 : 1992 *Quantities and units – Part 11: Mathematical signs and symbols for use in the physical sciences and technology*

2 Allgemeine Anmerkungen

2.1 Die Symbole aus der zurückgezogenen IEC 60117-15 werden zwar noch für eine längere Übergangszeit benötigt, sollten aber nach und nach durch Symbole aus der vorliegenden Norm ersetzt werden. Andere Symbole aus offiziellen nationalen Normen (d.h. Symbole mit anderen Konturen anstelle der Symbole 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 und 12-28-04) sind zwar nicht bevorzugt, dürfen aber nicht als im Widerspruch zu dieser Norm betrachtet werden. Es wird jedoch davon abgeraten, sie zum Bilden zusammen-

GRAPHICAL SYMBOLS FOR DIAGRAMS – Part 12: Binary logic elements

Chapter I: General

1 Scope

This part of IEC 60617 contains graphical symbols that have been developed to represent logic functions. They are intended also to represent physical devices or combinations of physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but many can also be applied to non-electrical devices, for example pneumatic, hydraulic or mechanical.

1A Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60617. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60617 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid International Standards.

- IEC 60617-2: 1996 *Graphical symbols for diagrams – Part 2: Symbol elements, qualifying symbols and other symbols having general application*
- IEC 60617-3: 1996 *Graphical symbols for diagrams – Part 3: Conductors and connecting devices*
- IEC 60617-10: 1996 *Graphical symbols for diagrams – Part 10: Telecommunication: Transmission*
- IEC 60617-13: 1993 *Graphical symbols for diagrams – Part 13: Analogue elements*
- IEC 61082-1: 1991 *Preparation of documents used in electrotechnology – Part 1: General requirements*
- IEC 61082-2: 1993 *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*
- ISO 31-11: 1992 *Quantities and units – Part 11: Mathematical signs and symbols for use in the physical sciences and technology*

2 General notes

2.1 Symbols in accordance with the superseded IEC 60117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, that is distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other

gesetzter Symbole zu verwenden, z.B. sie in andere Konturen einzubetten.

2.2 Erklärung der Begriffe *Logik-Zustände*, *Logik-Pegel* usw. siehe IEC 61082-2.

2.3 In dieser Norm kennzeichnen die Symbole 0 und 1 die beiden Logik-Zustände einer binären Variablen. Diese Zustände sind *0-Zustand* und *1-Zustand* genannt.

2.4 Eine binäre Variable kann jeder beliebigen physikalischen Größe gleichgesetzt werden, für die zwei konkrete Wertebereiche definierbar sind. Diese Wertebereiche sind in dieser Norm *Logik-Pegel* genannt und mit H und L bezeichnet. H bezeichnet den Logik-Pegel mit dem mehr positiven algebraischen Wert, L den Logik-Pegel mit dem mehr negativen algebraischen Wert.

2.5 In einem System, in dem die Logik-Zustände anderen Eigenschaften einer physikalischen Größe gleichgesetzt werden (zum Beispiel positive oder negative Impulse, Vorhandensein oder Nichtvorhandensein eines Impulses), dürfen diese Eigenschaften mit H und L bezeichnet oder durch besser geeignete Bezeichnungen ersetzt werden.

3 Erklärung der Begriffe

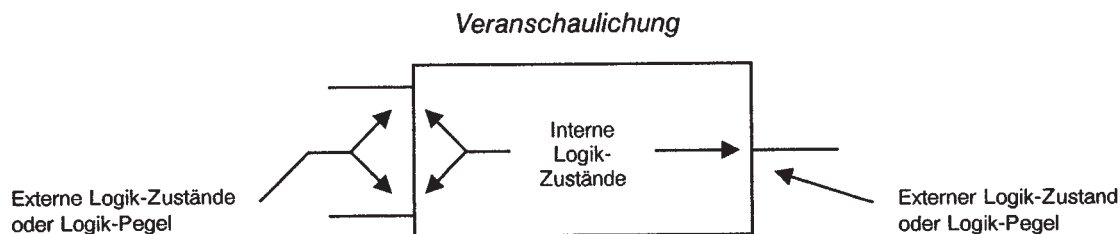
Zum leichteren Verständnis der Beschreibungen in dieser Norm ist es zweckmäßig, drei Begriffe zu definieren:

3.1 *Interner Logik-Zustand* bezeichnet einen Logik-Zustand, der *innerhalb* einer Symbolkontur an einem Ein- oder Ausgang angenommen ist.

3.2 *Externer Logik-Zustand* bezeichnet einen Logik-Zustand, der *außerhalb* einer Symbolkontur angenommen ist:

- bei einem Eingang: *vor* irgendwelchen externen Kennzeichen des Eingangs,
- bei einem Ausgang: *nach* irgendwelchen externen Kennzeichen des Ausgangs.

3.3 *Logik-Pegel* bezeichnet die physikalische Eigenschaft, von der angenommen ist, daß sie einen Logik-Zustand einer binären Variablen darstellt (siehe Abschnitte 2.3 und 2.4).



symbols in combination to form complex symbols (for example, use as embedded symbols) is discouraged.

2.2 For explanation of “logic states”, “logic levels”, etc., see IEC 61082-2.

2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.

2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L. H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (for example positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

3 Explanation of terms

To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

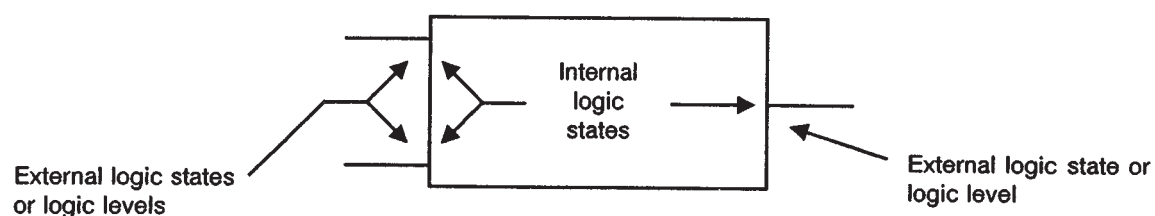
3.1 “Internal logic state” describes a logic state assumed to exist inside a symbol outline at an input or an output.

3.2 “External logic state” describes a logic state assumed to exist outside a symbol outline:

- on an input line prior to any external qualifying symbol at that input, or
- on an output line beyond any external qualifying symbol at that output.

3.3 “Logic level” describes the physical quality assumed to represent a logic state of a binary variable (see clauses 2.3 and 2.4).

Illustration

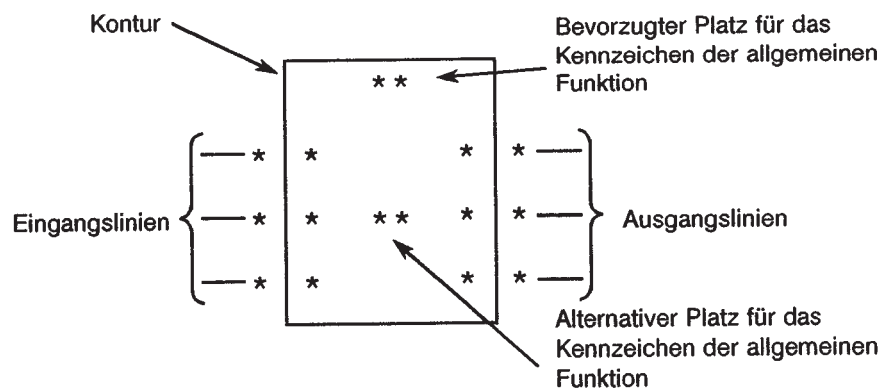


KAPITEL II: SYMBOLAUFBAU

4 Zusammensetzung eines Symbols

4.1 Ein Symbol besteht aus einer Kontur oder einer Konturenkombination und einem oder mehreren Kennzeichen.

Damit Symbole angewendet werden können, braucht man außerdem Eingangs- und Ausgangslinien.



Der einzelne Asteriskus (*) zeigt mögliche Plätze für Kennzeichen, die sich auf Eingänge und Ausgänge beziehen.

Nur dann, wenn die Funktion eines Elements vollständig durch die Kennzeichen seiner Ein- und/oder Ausgänge bestimmt ist, ist kein Kennzeichen der allgemeinen Funktion notwendig.

4.2 Allgemeine, zusätzliche Information darf innerhalb einer Symbolkontur eingetragen sein, wie es in IEC 61082-1 beschrieben ist.

4.3 Angaben zu einem bestimmten Eingang [Ausgang], die in der vorliegenden Norm nicht festgelegt sind, dürfen innerhalb der Kontur in eckigen Klammern neben dem betreffenden Eingang [Ausgang] angeführt sein. Sie sollten irgendwelchen Kennzeichen des Eingangs [Ausgangs] folgen [vorangehen], wie es im Schaltzeichen 12-28-14 gezeigt ist.

Zusätzliche Angaben zur allgemeinen Logik-Funktion des Elements dürfen innerhalb der Kontur in eckigen Klammern angeführt sein.

4.4 Alle Ausgänge eines einzelnen, nicht unterteilten Elements haben immer identische interne Logik-Zustände. Diese sind durch die Funktion des Elements bestimmt, außer, wenn durch ein Funktionskennzeichen oder ein Kennzeichen innerhalb der Kontur etwas anderes angegeben ist. In diesem Sinn gelten bei einer Kombination mehrerer Elemente sowohl die explizit dargestellten Funktionskennzeichen, als auch die gemäß den Vereinfachungsregeln des Abschnittes 6.3 implizit vorhandenen.

4.5 Einige Abbildungen zeigen außerhalb der Kontur Kleinbuchstaben. Diese sind nicht Teil der Symbole, sondern werden zum Identifizieren der Ein- und Ausgänge in der Beschreibung gebraucht.

4.6 Die Symbole und Beschreibungen in dieser Norm beziehen sich auf eine Signalflußrichtung von links nach rechts. Ist jedoch ein Schaltzeichen bestimmt für eine Signalflußrichtung von rechts nach links, so ist dies entweder bei der Beschreibung des Schaltzeichens ausdrücklich erwähnt oder im Schaltzeichen direkt dargestellt.

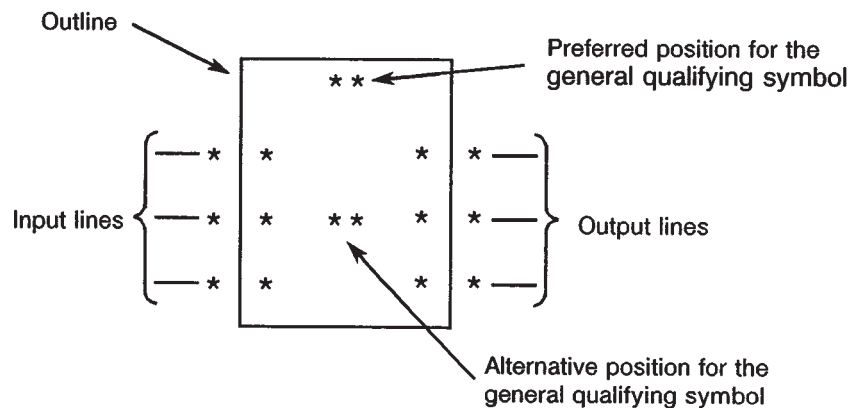
Die Schaltzeichen sind so zu verstehen, daß ein Anschluß, der links dargestellt ist, ein Eingang ist, ein Anschluß rechts ein Ausgang. Dabei beziehen sich links und rechts auf die Leserichtung, in der

Chapter II: Symbol construction

4 Composition of the symbol

4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols.

Application of the symbols requires in addition the representation of input and output lines.



The single asterisks (*) denote possible positions for qualifying symbols relating to inputs and outputs.

If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/ or outputs, no general qualifying symbol is needed.

4.2 General additional information may be included in a symbol outline as described in IEC 61082-1.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in square brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in square brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of clause 6.3.

4.5 In some figures, lowercase letters which are not part of the symbols have been shown outside the outline just to identify the inputs [outputs] as referred to in the description.

4.6 The symbols and descriptions in this standard are intended for signal flow from left to right. If a symbol is instead intended for right-to-left flow, this is explicitly stated in the description of the symbol or indicated in the symbol itself.

Die Schaltzeichen sind so zu verstehen, daß ein Anschluß, der links dargestellt ist, ein Eingang ist, ein Anschluß rechts ein Ausgang. Dabei beziehen sich links und rechts auf die Leserichtung, in der die Kennzeichen innerhalb des Schaltzeichens stehen. Eingänge dürfen auch rechts angeordnet sein, Ausgänge auch links, wenn es für das Layout des Schaltplans notwendig ist oder wenn damit die Struktur eines Bausteins deutlicher wird.

Die Signalflußrichtung muß deutlich erkennbar oder eigens angegeben sein. Ausdrücklich angegeben sein darf sie durch Kennzeichen, die in sich bereits die Signalflußrichtung ausdrücken (zum Beispiel Kennzeichen, die nur für Eingänge oder nur für Ausgänge definiert sind, oder Kennzeichen der Grundfunktion, welche die Signalflußrichtung angeben). Auch andere Symbole an einem Anschluß dürfen auf einem Schaltplan die Signalflußrichtung angeben.

Ist die Signalflußrichtung an einer Anschlußlinie nicht offensichtlich, muß die Anschlußlinie entweder mit einer Pfeilspitze versehen sein (Symbol 02-05-01 aus IEC 60617 Teil 2), die in die Richtung des Signalflusses zeigt oder gegebenenfalls mit dem Symbol für Signalfluß in zwei Richtungen (Symbol 12-10-02). Pfeilspitzen dürfen weder die Schaltzeichenkontur noch andere Kennzeichen berühren. Beispiel: Schaltzeichen 12-29-06.

4.7 Bezüglich der Eingänge, der Ausgänge oder der Konturen der jeweiligen Schaltzeichen müssen die folgenden Symbole so angeordnet sein, wie sie in dieser Norm beschrieben oder gezeigt sind. Sie müssen also gespiegelt werden, wenn die Signalflußrichtung umgekehrt ist.

10-15-01	Verstärker, allgemein (siehe DIN EN 60617-10)
12-07-01	Negation, dargestellt an einem Eingang
bis einschließlich	
12-07-09	Dynamischer Eingang mit Polaritätsindikator
12-08-01	Interne Verbindung
bis einschließlich	
12-08-06	Interner Ausgang (virtueller Ausgang)
12-09-08A	Ausgang mit besonderer Verstärkung
12-09-08B	Eingang mit besonderer Verstärkung
12-09-24	Bit-Gruppierung für Multibit-Eingang
12-09-25	Bit-Gruppierung für Multibit-Ausgang
12-09-47	Zusammenfassung von Anschlußlinien auf der Eingangsseite
12-09-48	Zusammenfassung von Anschlußlinien auf der Ausgangsseite
12-55-01	Bus, unidirektional.

Beispiel: Symbol 12-07-03 und gespiegelt: Symbol 12-07-05.

Alle anderen Kennzeichen müssen in bezug auf den Text innerhalb des Schaltzeichens so angeordnet sein, wie sie dargestellt sind.

IEC 61082-1, Abschnitt 4.3.4 enthält weitere Informationen zur Lage von Symbolen.

When interpreting a symbol, one should assume, unless otherwise indicated, that a terminal shown on the left with respect to the normal reading orientation of the labels inside the symbol is an input, and that one shown on the right is an output. Inputs may also be shown on the right and outputs on the left if it aids the layout of the diagram or better conveys the structure of the device.

The direction of signal flow shall be clearly implied or indicated. Explicit indication may be done by using qualifying symbols that inherently indicate the direction of signal flow (such as qualifying symbols defined only for inputs or only for outputs, or general qualifying symbols that indicate flow direction) or by other symbols on the diagram that are connected to the terminal.

If the direction of signal flow on a terminal line is not otherwise obvious, that line shall be marked with an arrowhead (symbol 02-05-01 of IEC 60617-2) pointing in the direction of signal flow or with the symbol for bidirectional signal flow (symbol 12-10-02), whichever applies. No arrowhead shall touch the outline or any other qualifying symbol. See, for example, symbol 12-29-06.

4.7 The following symbols shall be oriented as described or shown within this standard with respect to the inputs, outputs and outlines of the elements in which they appear. That is, these symbols, together with any associated terminal lines, shall be mirrored when the direction of signal flow is reversed:

10-15-01	Amplifier, general symbol (see IEC 60617-10)
12-07-01	Logic negation, shown at an input
up to and including	
12-07-09	Dynamic input with polarity indicator
12-08-01	Internal connection
up to and including	
12-08-06	Internal output (virtual output)
12-09-08A	Output with special amplification
12-09-08B	Input with special amplification
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-47	Line grouping at the input side
12-09-48	Line grouping at the output side
12-55-01	Bus indicator, unidirectional

See, for example, symbol 12-07-03 and its mirrored version 12-07-05.

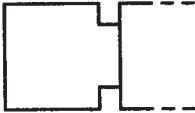
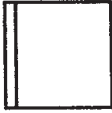
All other qualifying symbols shall be oriented as shown with respect to the text inside the element.

For more information about the orientation of symbols, see 4.3.4 of IEC 61082-1.

5 Outlines

5 Konturen

- 5.1 Das Seitenverhältnis von Konturen ist beliebig.
- 5.1 The length-width ratio of outlines is arbitrary.
- 5.2 Kombination von Konturen siehe Abschnitt 6.
- 5.2 For combination of outlines, see section 6.

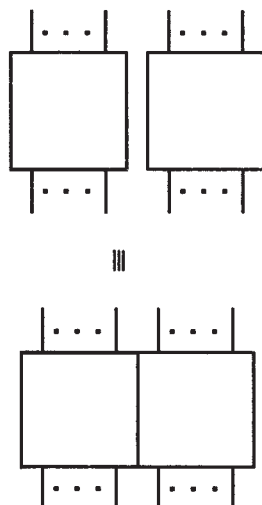
Nr.	Symbol	Beschreibung	Description
12-05-01		Element-Kontur, als Quadrat dargestellt	Element outline (square shown)
12-05-02		Steuerblock-Kontur	Common control block outline
12-05-03		Ausgangsbloc-Kontur	Common output element outline

6 Anwendung und Kombination von Konturen

6.1 Damit eine Gruppe zusammengehöriger Elemente weniger Platz benötigt, dürfen die Konturen der Elemente aneinanderstoßen oder ineinander geschachtelt sein, wenn folgende Regeln eingehalten sind:

6.1.1 Es besteht *keine* Logik-Verbindung zwischen Elementen, bei denen die Konturenlinie, die sie gemeinsam haben, dieselbe Richtung hat, wie der Signalfluß.

Veranschaulichung



ANMERKUNG — Diese Regel gilt nicht notwendigerweise bei Anordnungen, in denen es zwei oder mehr Signalfußrichtungen gibt, wie zum Beispiel bei Symbolen mit einem Steuerblock, einem Ausgangsblock oder mit Abhängigkeitsnotation.

NOTE — This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, for example indicated by a common control block, a common output element, or by dependency notation.

6.1.2 Es besteht mindestens *eine* Logik-Verbindung zwischen Elementen, bei denen die Konturenlinie, die sie gemeinsam haben, senkrecht zur Richtung des Signalfusses liegt.

Ein Steuerblock ist kein Element. Deshalb gibt es keine Logik-Verbindungen zu oder von einem Steuerblock außer Verbindungen mit der benachbarten Anordnung und Verbindungen, die ausdrücklich dargestellt sind.

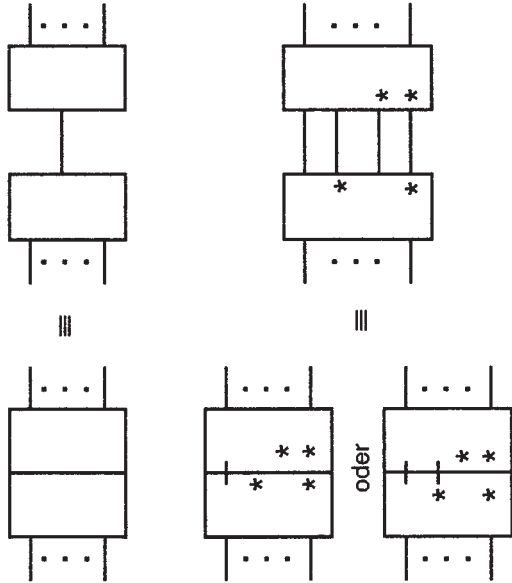
6.1.2 There is at least one logic connection between elements if the line common to the two outlines is perpendicular to the direction of signal flow.

Because common control blocks are not elements, no logic connections to or from a common control block exist except those to the attached array and connections that are explicitly shown.

Jede Logik-Verbindung kann durch Kennzeichen auf einer oder auf beiden Seiten der gemeinsamen Konturenlinie dargestellt sein. Dabei sollte das Symbol Interne Verbindung (Symbol 12-08-01) angewendet werden, wenn sonst die Anzahl der Logik-Verbindungen unklar ist. Sind auf keiner Seite der gemeinsamen Konturenlinie Angaben gemacht, besteht nur eine *einzige* Logik-Verbindung.

Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion is likely about the number of logic connections, use should be made of the internal connection symbol (symbol 12-08-01). If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

Veranschaulichung



Jeder Asteriskus markiert den Platz für ein Funktionskennzeichen

Each asterisk denotes a position for a qualifying symbol

6.2 In einer Anordnung von zusammengehörenden Elementen darf der Steuerblock dafür angewendet werden, dort jene Eingänge oder Ausgänge zu platzieren, die mit mehr als einem oder mit keinem Element der Anordnung verbunden sind. Gegebenenfalls müssen solche Eingänge oder Ausgänge Kennzeichen haben.

6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

6.2.1 Ist ein Eingang am Steuerblock ein steuernder Eingang im Sinn der Abhängigkeitsnotation (siehe Abschnitte 11 und 12), dann ist er als Eingang nur mit jenen Elementen der Anordnung verbunden, in denen seine Kennzahl erscheint. Ist ein Eingang am Steuerblock kein steuernder Eingang im Sinn der Abhängigkeitsnotation, dann ist er für jedes Element der Anordnung ein Eingang oder er steuert jedes Element.

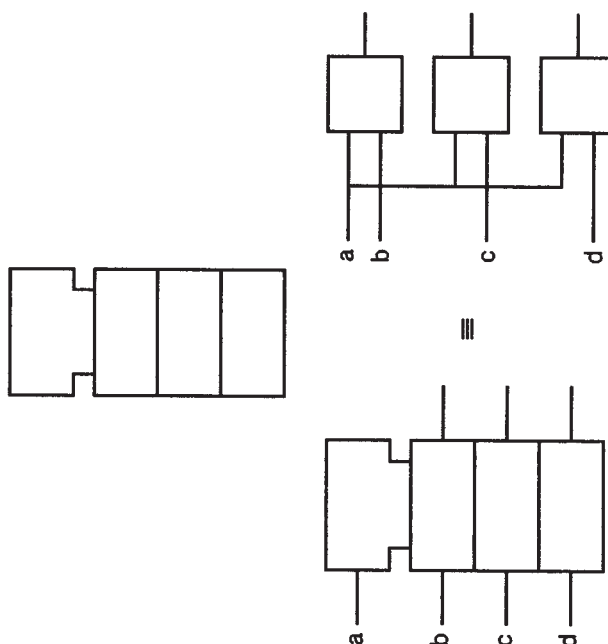
Bei zusammengehörenden Elementen ist der Steuerblock an einem Ende der Anordnung platziert.

Ist nichts anderes angegeben, wird das Element, das dem Steuerblock am nächsten liegt, als niedrigstwertiges angenommen.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

Veranschaulichungen



6.2.2 Ein Ausgang, der von *jedem* Element der Anordnung abhängig ist, kann als Ausgang eines Ausgangsblocks dargestellt werden. Hat jedes Element der Anordnung mehr als einen Ausgang, darf der Ausgangsblock nur dann angewendet werden, wenn diese Ausgänge immer identische interne Logik-Zustände haben. Jedes der Elemente hat *eine* interne Verbindung mit dem Ausgangsblock, die aber nicht dargestellt sein darf. Zusätzlich darf der Ausgangsblock noch andere Eingänge haben. Diese müssen explizit dargestellt sein. Die Funktion des Ausgangsblocks muß angegeben sein.

Jeder Eingang eines Ausgangsblocks, der mit einem Ausgang eines Elements der Anordnung korrespondiert, hat denselben internen Logik-Zustand wie dieser Ausgang.

Ein Ausgangsblock ist dargestellt

- innerhalb des Steuerblocks oder
- an dem Ende der Anordnung, die dem Steuerblock gegenüberliegt, sofern einer vorhanden ist.

Ist es zweckmäßig, mehrere Ausgangsblöcke beisammen anzuordnen, braucht die Doppellinie nur einmal dargestellt zu sein.

6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

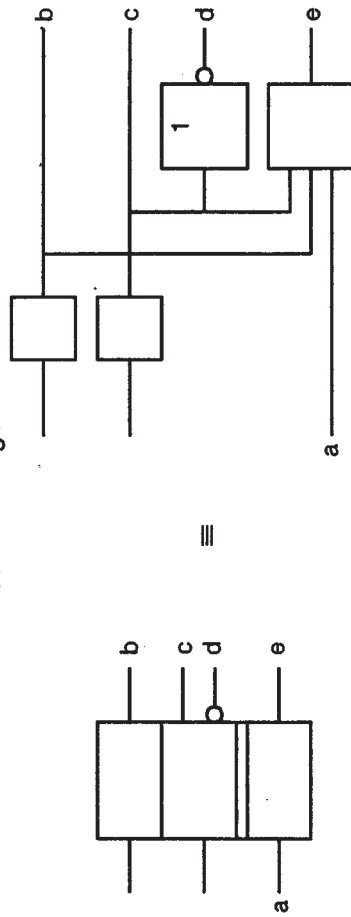
Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

A common output element is shown

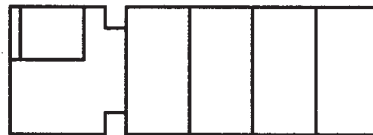
- inside the common control block, or
- at the end of the array, opposite the common control block if there is one.

Where it is appropriate to show an array of common output elements, the double line needs to be shown only once.

Veranschaulichungen



Anordnung, bei welcher der Ausgangsblock im Steuerblock eingebettet ist



Array with common output element inside the common control block

Anordnung mit zwei Ausgangsblöcken

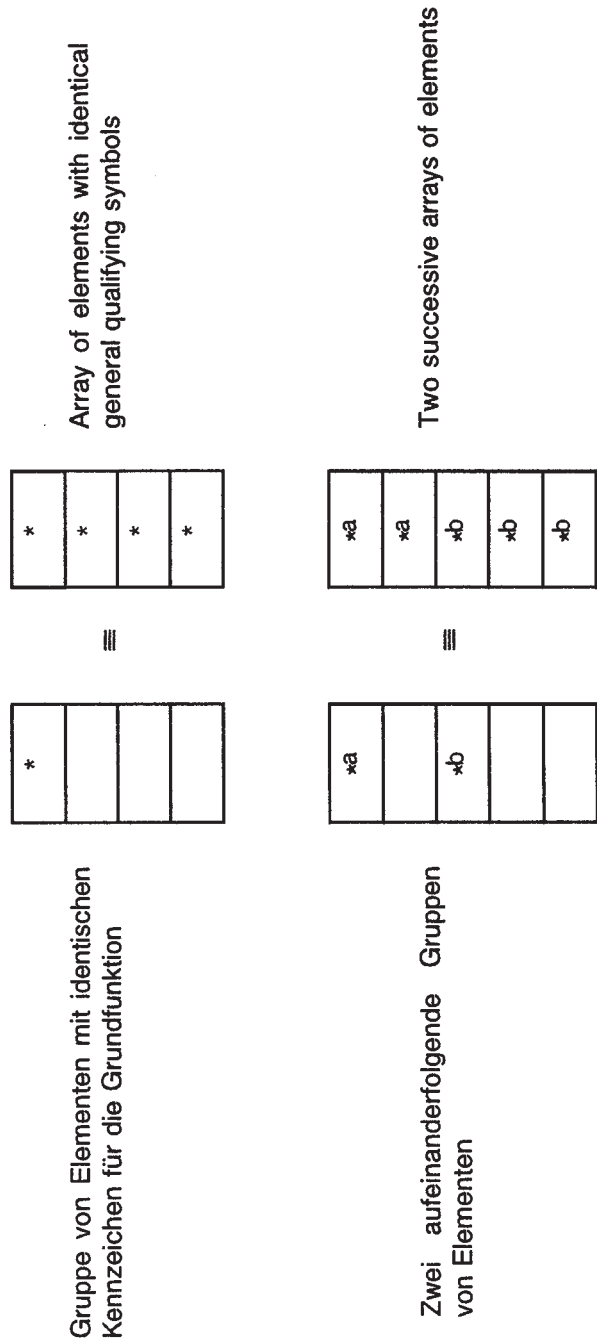


Array with two common output elements

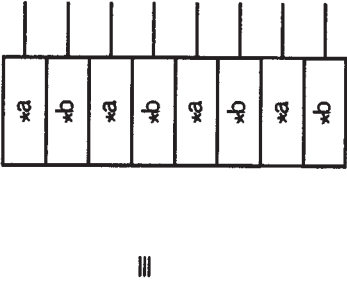
6.3 Bei einer Anordnung von Elementen mit gleichen Kennzeichen genügt es, die Symbole, die innerhalb der Kontur liegen, nur im ersten Element zu zeigen, vorausgesetzt, daß dadurch keine Unklarheit entsteht. Ebenso genügt bei einer Anordnung von Elementen, die identisch und unterteilt sind, das erste vollständig, die anderen als leere Kontur darzustellen. Es wird dann unterstellt, daß die Kennzahlen von steuernden Eingängen [Ausgängen] im Sinn der Abhängigkeitsnotation und von Eingängen [Ausgängen], die von diesen gesteuert werden, sich in den einzelnen Elementen unterscheiden. (Das Konzept ist im Abschnitt 14 erläutert). Siehe auch die Vereinfachungen, die sich aus der Abhängigkeitsnotation ergeben.

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion is likely. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see section 14). See also the simplifications resulting from the use of dependency notation.

Veranschaulichungen



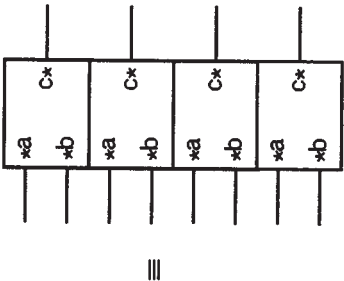
Two interlaced arrays of elements



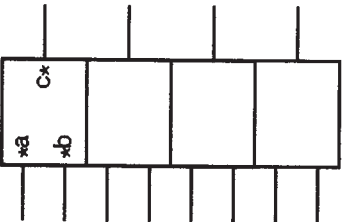
Zwei gemischte Gruppen von Elementen



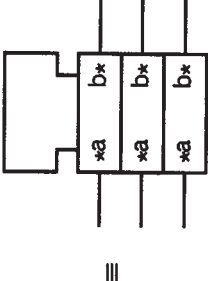
Array of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block



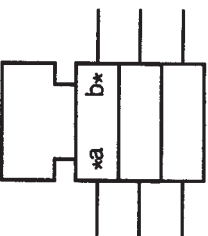
Gruppe von Elementen mit identischen Kennzeichen der Ein- und Ausgänge, ohne Steuerblock



Array of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block



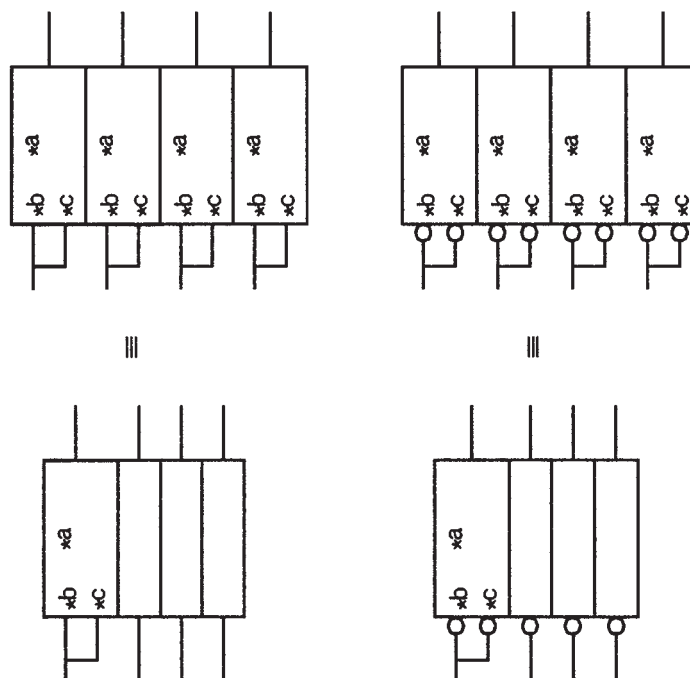
Gruppe von Elementen mit gleichen Kennzeichen der Ein- und Ausgänge, mit Steuerblock

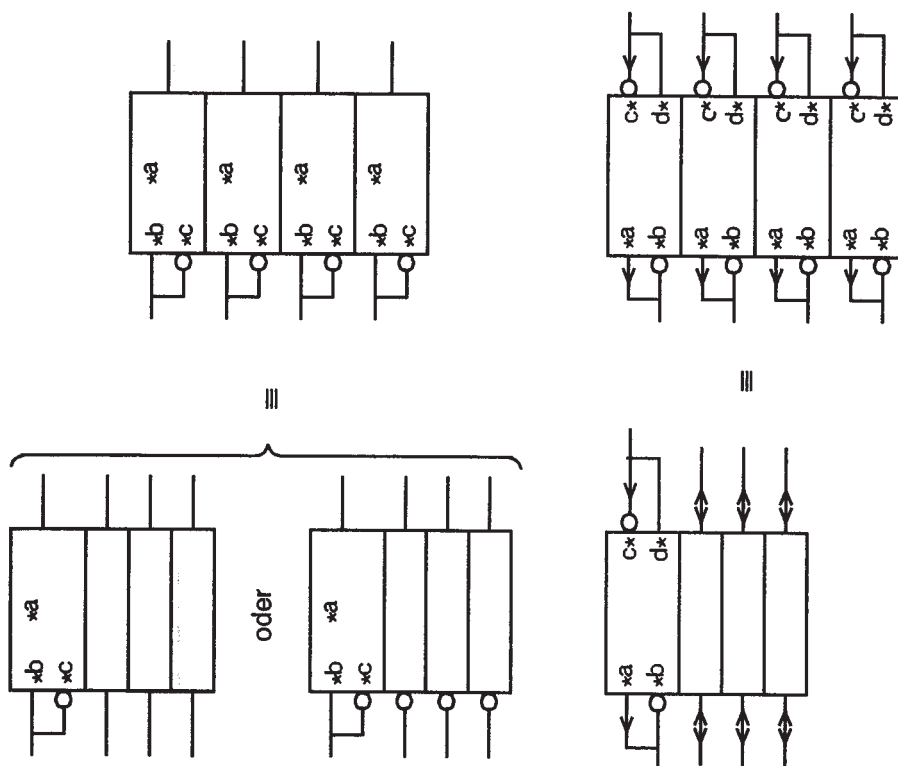


6.4 Ist es bei einer vereinfacht dargestellten Anordnung identischer Elemente erforderlich, daß ein Anschluß in zwei oder mehr Linien aufgeteilt ist, die außerhalb der Kontur miteinander verbunden sind, genügt es, am ersten Element die Linien aufgeteilt zu zeigen, an den übrigen Elementen einfach. An den einfachen Linien müssen dann die Symbole, die außerhalb der Kontur liegen und für alle miteinander verbundenen Linien gelten, gezeigt sein. Symbole außerhalb der Kontur, die nicht für alle miteinander verbundenen Linien gelten, dürfen entfallen; es dürfen auch die am besten zutreffenden Symbole gezeigt sein.

6.4 If in a simplified array of identical elements the representation of the functions of a terminal requires two or more lines connected together outside the outline, it is sufficient to show these lines only with the first element and represent them with each simplified element by a single line. Symbols outside the outline common to all lines connected together shall be shown with this single line. Symbols outside the outline not common to all lines connected together may be omitted, or the most suitable set may be shown.

Veranschaulichungen





KAPITEL III: FUNKTIONSKENNZEICHEN VON EINGÄNGEN, AUSGÄNGEN UND ANDEREN VERBINDUNGEN

7 Negation, Logik-Polarität und dynamischer Eingang

Die Symbole in diesem Abschnitt definieren die Beziehung zwischen einem internen Logik-Zustand und einem externen Logik-Zustand oder Logik-Pegel.

Ist an einem Eingang oder Ausgang kein Symbol aus diesem Abschnitt angegeben, ist unterstellt, daß der interne Logik-Zustand 1 korrespondiert

- mit dem externen Logik-Zustand 1, wenn im Schaltplan das Symbol Negation verwendet ist, oder
- mit dem Logik-H-Pegel, wenn im Schaltplan das Symbol Logik-Polarität verwendet ist.

In letzterem Schaltplan gibt es keine externen Logik-Zustände.

Die Symbole Negation und Logik-Polarität dürfen nicht in ein und demselben Schaltplan verwendet sein. Ausgenommen ist die Darstellung interner Verbindungen mit Negation in Schaltplänen, in denen das Symbol Logik-Polarität verwendet ist.
Beispiele: Symbole 12-08-02 und 12-08-04.

Siehe auch IEC 61082-2.

Chapter III: Qualifying symbols associated with inputs, outputs and other connections

7 Negation, logic polarity and dynamic input

Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds to

- the external logic 1-state in a diagram using the symbol for logic negation, or
- the logic H-level in a diagram using the symbol for logic polarity.

In the latter diagram, external logic states do not exist.

The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity.
See symbols 12-08-02 and 12-08-04.

See also IEC 61082-2.

Nr.	Symbol	Beschreibung	Description
12-07-01		Negation, gezeigt an einem Eingang	Logic negation, shown at an input
12-07-02		Negation, gezeigt an einem Ausgang Der interne 1-Zustand korrespondiert mit dem externen 0-Zustand. Anmerkung — Die Anschlußlinie darf den Kreis schneiden.	Logic negation, shown at an output The internal 1-state corresponds to the external 0-state. NOTE — The connecting line may extend through the circle.
12-07-03		Logik-Polarität, gezeigt an einem Eingang Polaritätsindikator, gezeigt an einem Eingang	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04		Logik-Polarität, gezeigt an einem Ausgang Polaritätsindikator, gezeigt an einem Ausgang	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05		Logik-Polarität, gezeigt an einem Eingang bei Polaritätsindikator } Signalfluß von rechts nach links	Logic polarity } shown at an input in the case of Polarity indicator } signal flow from right to left
12-07-06		Logik-Polarität, gezeigt an einem Ausgang bei Polaritätsindikator } Signalfluß von rechts nach links Der interne 1-Zustand korrespondiert mit dem L-Pegel an der Anschlußlinie.	Logic polarity } shown at an output in the case Polarity indicator } of signal flow from right to left The internal 1-state corresponds to the L-level on the connecting line.

Nr.	Symbol	Beschreibung	Description
12-07-07		Dynamischer Eingang Der (flüchtige) interne 1-Zustand korrespondiert mit dem Übergang vom externen 0-Zustand zum externen 1-Zustand. In allen anderen Fällen ist der interne Logik-Zustand 0. In Schaltplänen, in denen das Symbol Logik-Polarität verwendet ist, korrespondiert der (flüchtige) interne 1-Zustand mit dem Übergang vom L- zum H-Pegel an der Anschlußlinie. In allen anderen Fällen ist der interne Logik-Zustand 0.	Dynamic input The (transitory) internal 1-state corresponds to the transition from the external 0-state to the external 1-state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds to the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Dynamischer Eingang mit Negation Der (flüchtige) interne 1-Zustand korrespondiert mit dem Übergang vom externen 1-Zustand zum externen 0-Zustand. In allen anderen Fällen ist der interne Logik-Zustand 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds to the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Dynamischer Eingang mit Polaritätsindikator Der (flüchtige) interne 1-Zustand korrespondiert mit dem Übergang von H- zum L-Pegel an der Anschlußlinie. In allen anderen Fällen ist der interne Logik-Zustand 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds to the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

8 Interne Verbindungen

Die Symbole aus diesem Abschnitt definieren die Beziehungen zwischen internen Logik-Zuständen interner Verbindungen.

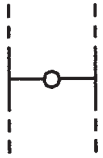
Eine interne Verbindung ist eine Verbindung innerhalb eines Logik-Elements. Sie symbolisch darzustellen, kann hilfreich sein, weil damit Logik-Beziehungen gezeigt werden können, die zwischen Elementen bestehen, deren Konturen kombiniert sind. Mit Symbolen aus diesem Abschnitt lassen sich oft auch Funktionen komplexer Elemente vorteilhaft darstellen. Die Wirkungen interner Eingänge oder Ausgänge sollten dabei mit Abhängigkeitsnotation definiert werden.

8 Internal connections

The symbols in this section define the relationships between internal logic states at internal connections.

An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the functions of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

Nr.	Symbol	Beschreibung	Description
12-08-01		Interne Verbindung Das Symbol 12-08-01A darf angewendet werden, wenn dadurch keine Unklarheit bezüglich der Anzahl der Logik-Verbindungen verursacht wird. Siehe auch 6.1.2.	Internal connection Symbol 12-08-01A may be used if no confusion is likely about the number of logic connections. See also 6.1.2.
12-08-01A		Der interne 1-Zustand [0-Zustand] des Eingangs des rechten Elements korrespondiert mit dem internen 1-Zustand [0-Zustand] des Ausgangs des linken Elements. Bei Signalfuß von rechts nach links dürfen diese Symbole nur dann angewendet werden, wenn die Signalfußrichtung offensichtlich ist. Andernfalls muß das Symbol 12-08-08 angewendet werden.	The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 1-state [0-state] of the output of the element on the left. These symbols may be used for a signal flow from right to left only if the direction of signal flow is obvious. Otherwise, symbol 12-08-08 shall be used.

Nr.	Symbol	Beschreibung	Description
12-08-02		Interne Verbindung mit Negation Der interne 1-Zustand [0-Zustand] des Eingangs des rechten Elements korrespondiert mit dem internen 0-Zustand [1-Zustand] des Ausgangs des linken Elements. Bei Signalfuß von rechts nach links darf dieses Symbol nur dann angewendet werden, wenn die Signalfußrichtung offensichtlich ist. Anderenfalls muß das Symbol 12-08-09 angewendet werden. ANMERKUNG — Die vertikale Linie darf den Kreis schneiden.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 0-state [1-state] of the output of the element on the left. This symbol may be used for a signal flow from right to left only if the direction of the signal flow is obvious. Otherwise, symbol 12-08-09 shall be used. NOTE — The vertical line may extend through the circle.
12-08-03		Interne Verbindung mit dynamischer Wirkung Der (flüchtige) interne 1-Zustand des Eingangs des rechten Elements korrespondiert mit dem Übergang vom internen 0-Zustand zum internen 1-Zustand des Ausgangs des linken Elements. In allen anderen Fällen ist der interne Logik-Zustand am Eingang des rechten Elements 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-04		Interne Verbindung mit Negation und dynamischer Wirkung Der (flüchtige) interne 1-Zustand des Eingangs des rechten Elements korrespondiert mit dem Übergang vom internen 1-Zustand zum internen 0-Zustand des Ausgangs des linken Elements. In allen anderen Fällen ist der interne Logik-Zustand am Eingang des rechten Elements 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

12-08-05		Interner Eingang, an der linken Seite gezeigt Virtueller Eingang, an der linken Seite gezeigt	Internal input, shown on the left-hand side Virtual input, shown on the left-hand side
12-08-05A		Interner Eingang, an der rechten Seite gezeigt Virtueller Eingang, an der rechten Seite gezeigt Der Eingang befindet sich immer im internen 1-Zustand, außer, wenn er durch eine Abhängigkeitsbeziehung gesteuert wird, die eine überschreibende oder eine modifizierende Wirkung hat (siehe Schaltzeichen 12-42-12 und 12-49-02). Die Symbole dürfen an der Außenkontur eines Elements gezeigt sein, um so zu verdeutlichen, daß nicht etwa eine externe Anschlußlinie vergessen wurde. Ein virtueller Eingang an einer Kontur, die zwei aneinandergefügte Elemente gemeinsam haben, sollte mit Abhängigkeitsnotation und ohne diese Symbole angegeben sein. Die Symbole aus Abschnitt 7 dürfen nicht für interne Eingänge und Ausgänge angewendet werden, außer in Fällen, wie im Symbol 12-08-07 gezeigt.	Internal input, shown on the right-hand side Virtual input, shown on the right-hand side This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). These symbols may be shown at the external boundary of an element to emphasize the fact that there is no external input line that has been forgotten. A virtual input at the common boundary of two abutted elements should be indicated by dependency notation without these symbols. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07.

NOTES

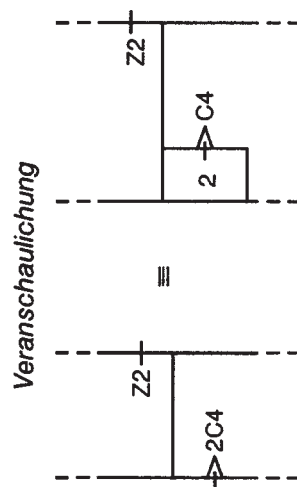
- 1 Internal inputs and outputs have internal logic states only.
- 2 Symbol 12-08-05 should not be confused with symbol 12-08-01, which is used for a connection between abutted elements.

ANMERKUNGEN

- 1 Interne Ein- und Ausgänge haben nur interne Logik-Zustände.
- 2 Das Symbol 12-08-05 sollte nicht mit dem Symbol 12-08-01 verwechselt werden; letzteres symbolisiert eine Verbindung zwischen Elementen, die aneinandergefügt sind.

Nr.	Symbol	Beschreibung	Description
12-08-06		Interner Ausgang, an der rechten Seite gezeigt Virtueller Ausgang, an der rechten Seite gezeigt	Internal output, shown on the right-hand side Virtual output, shown on the right-hand side
12-08-06A		Interner Ausgang, an der linken Seite gezeigt Virtueller Ausgang, an der linken Seite gezeigt Die Wirkung dieses Ausganges auf einen Eingang oder Ausgang, mit dem er verbunden ist, muß durch Abhängigkeitsnotation angegeben sein. Die Symbole aus Abschnitt 7 dürfen nicht für interne Eingänge und Ausgänge angewendet werden, außer in Fällen, wie im Symbol 12-08-07 gezeigt. ANMERKUNG — Es gelten die Anmerkungen zu den Symbolen 12-08-05/12-08-05A.	Internal output, shown on the left-hand side Virtual output, shown on the left-hand side The effect of this output on an input or output to which it is connected shall be indicated by dependency notation. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTE — The notes with symbol 12-08-05/12-08-05A apply.
12-08-07		Interner Eingang, dynamisch, an der linken Seite gezeigt Virtueller Eingang, dynamisch, an der linken Seite gezeigt	Internal input with dynamic character, shown on the left-hand side Virtual input with dynamic character, shown on the left-hand side
12-08-07A		Interner Eingang, dynamisch, an der rechten Seite gezeigt Virtueller Eingang, dynamisch, an der rechten Seite gezeigt Der (flüchtige) interne 1-Zustand korrespondiert mit dem Übergang vom internen 0-Zustand zum internen 1-Zustand, welcher auftreten würde, wäre dieser Eingang nicht dynamisch.	Internal input with dynamic character, shown on the right-hand side Virtual input with dynamic character, shown on the right-hand side The (transitory) internal 1-state corresponds to the transition from the internal 0-state to the internal 1-state that would occur if this input were not dynamic.

		Der Ursprung des flüchtigen Signals muß mit Abhängigkeitsnotation angegeben sein. Die Kennzahl des flüchtigen Signals muß im Kennzeichensatz dieses Eingangs ganz links stehen. Das gilt immer, gleichgültig, ob der Eingang links oder rechts am Schaltzeichen platziert ist. ANMERKUNG — Anwendungsbeispiel: Schaltzeichen 12-47-01.	The source of the transitioning signal shall be shown by dependency notation. The identifying number of the transitioning signal shall be the left-most character in the label string at this input. This holds whether this input is shown on the left-hand side or on the right-hand side of the symbol outline. NOTE — For an example of use, see symbol 12-47-01.
--	--	--	---



Nr.	Symbol	Beschreibung	Description
12-08-08		Interne Verbindung für Signallauf von rechts nach links Der interne 1-Zustand [0-Zustand] des Eingangs des linken Elements korrespondiert mit dem internen 1-Zustand [0-Zustand] des Ausgangs des rechten Elements. Falls sonst Unklarheit entsteht, darf statt dieses Symbols das Symbol 12-08-01 oder 12-08-01A angewendet werden.	Internal connection for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 1-state [0-state] of the output of the element on the right. If no confusion is likely, symbols 12-08-01 or 12-08-01A may be used instead.

Nr.	Symbol	Beschreibung	Description
12-08-09		Interne Verbindung mit Negation für Signallauf von rechts nach links Der interne 1-Zustand [0-Zustand] des Eingangs des linken Elements korrespondiert mit dem internen 0-Zustand [1-Zustand] des Ausgangs des rechten Elements. Falls sonst Unklarheit entsteht, darf statt dieses Symbols das Symbol 12-08-02 angewendet werden. ANMERKUNG — Es gilt die Anmerkung zum Symbol 12-08-02.	Internal connection with logic negation for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 0-state [1-state] of the output of the element on the right. If no confusion is likely, symbol 12-08-02 may be used instead. NOTE — The note with symbol 12-08-02 applies.
12-08-10		Interne Verbindung, dynamisch, für Signallauf von rechts nach links Der (flüchtige) interne 1-Zustand des Eingangs des linken Elements korrespondiert mit dem Übergang vom internen 0-Zustand zum internen 1-Zustand des Ausgangs des rechten Elements. In allen anderen Fällen ist der interne Logik-Zustand des Eingangs des linken Elements 0.	Internal connection with dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.
12-08-11		Interne Verbindung mit Negation, dynamisch, für Signallauf von rechts nach links Der (flüchtige) interne 1-Zustand des Eingangs des linken Elements korrespondiert mit dem Übergang vom internen 1-Zustand zum internen 0-Zustand des Ausgangs des rechten Elements. In allen anderen Fällen ist der interne Logik-Zustand des Eingangs des linken Elements 0.	Internal connection with logic negation and dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.

12-08-12		Ausgang mit festem 1-Zustand, gezeigt an einer internen Verbindung Siehe Beschreibung des Symbols 12-09-50.	Fixed 1-state output, shown at an internal connection See description of symbol 12-09-50.
12-08-13		Ausgang mit festem 0-Zustand, gezeigt an einer internen Verbindung Siehe Beschreibung des Symbols 12-09-51.	Fixed 0-state output, shown at an internal connection See description of symbol 12-09-51.

9 Kennzeichen innerhalb der Kontur

Allgemeine Regeln

9.1 Sind an zwei oder mehr Eingängen identische Kennzeichen aus diesem Abschnitt gezeigt, welche die Funktionen dieser Eingänge beschreiben, ist angenommen, daß die Eingänge zueinander in ORDER-Beziehung stehen. Beispiel: Schaltzeichen 12-42-06. Die folgenden Symbole kennzeichnen nicht Funktionen im Sinn dieser Regel. Bei ihnen müssen die Zusammenhänge zwischen den Eingängen mit anderen Mitteln angegeben sein.

- 12-09-02 Eingang mit zwei Schwellenwerten
- 12-09-08B Eingang mit besonderer Verstärkung
- 12-09-09 Erweiterungseingang
- 12-09-24 Bit-Gruppierung für Multibit-Eingang
- 12-09-25 Bit-Gruppierung für Multibit-Ausgang
- 12-09-25A Kennzeichen-Gruppierung
- 12-09-47 Zusammenfassung von Anschlußlinien auf der Eingangsseite
- 12-09-49 FIXED-MODE-Eingang

9.2 Den Beschreibungen der Symbole 12-09-13 bis 12-09-22 könnte man entnehmen, daß es sich dabei um dynamische Eingänge handelt. Das ist aber nicht immer der Fall, weil ja der interne Logik-Zustand dieser Eingänge, der durch den externen Logik-Zustand oder -Pegel bestimmt wird, unter Umständen durch die Wirkungen anderer Eingänge modifiziert wird (zum Beispiel durch Cm-Eingänge). Haben Eingänge, die mit einem der Symbole 12-09-13 bis 12-09-22 gezeigt sind, dynamische Wirkung, sollte zusätzlich das Symbol 12-07-07 angewendet sein.
Beispiel: Schaltzeichen 12-47-01.

9 Symbols inside the outline

General rules

9.1 If identical qualifying symbols defined in this section are shown at two or more inputs to indicate the functions of those inputs, the inputs are assumed to stand in an OR relationship. For example, see symbol 12-42-06. For the purpose of this rule, the following do not indicate a function, and any relationship between the inputs shall be specified by some other means:

- 12-09-02 Bi-threshold input
- 12-09-08B Input with special amplification
- 12-09-09 Extension input
- 12-09-24 Bit grouping for multibit input
- 12-09-25 Bit grouping for multibit output
- 12-09-25A Label grouping
- 12-09-47 Line grouping at the input side
- 12-09-49 Fixed-mode input

9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the impression that these are dynamic inputs. This is not always the case, as it must be remembered that the internal logic state as determined by the external logic state or level may possibly be modified by the effects of other inputs (for example, Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition.

See, for example, symbol 12-47-01.

Nr.	Symbol	Beschreibung	Description
12-09-01		Retardierter Ausgang Die Änderung des internen Zustands des Ausgangs ist solange aufgeschoben, bis das Eingangssignal, das die Änderung auslöst, zum anfänglichen externen Logik-Zustand oder Logik-Pegel zurückkehrt. Der interne Logik-Zustand von Eingängen, die den Eingang steuern, welcher den Vorgang auslöst, oder die von ihm gesteuert werden, darf sich nicht ändern, solange sich der den Vorgang einleitende Eingang im internen 1-Zustand befindet; andernfalls ist der resultierende Zustand am Ausgang durch das Symbol nicht spezifiziert. Erscheint das Eingangssignal, das die Änderung auslöst, an einer internen Verbindung, ist die Zustandsänderung solange aufgeschoben, bis der Ausgang des vorhergehenden Elements zu seinem anfänglichen internen Zustand zurückkehrt. Hat das Symbol kein Präfix, ist unterstellt, daß die Zustandsänderung am Ausgang aufgeschoben ist, in bezug auf Eingänge mit den Kennzeichen $\rightarrow$, $\leftarrow$, $+$, $-$, T sowie in bezug auf Cm-Eingänge und Cm-Ausgänge (siehe Symbole 12-18-01 und 12-18-02). In allen anderen Fällen müssen die Kennzahlen oder die vollen Bezeichnungen aller Eingänge, bezüglich derer die Zustandsänderung am Ausgang aufgeschoben ist, dem Kennzeichen vorangehen. Siehe Schaltzeichen 12-49-15.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to each $\rightarrow$, $\leftarrow$, $+$, $-$, and T-input and to each Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed shall be shown as a prefix to this symbol. See symbol 12-49-15. NOTES 1 Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. 2 For the application of this symbol and additional explanation, see section 41. ANMERKUNGEN 1 Das Symbol sollte als gleichschenkeliger rechter Winkel ausgeführt sein, damit es nicht mit anderen Symbolen, zum Beispiel der Ziffer 7, verwechselt wird. 2 Anwendung des Symbols und zusätzliche Erklärung siehe Abschnitt 41.

Erläuterungen

Gibt es keine anderen Eingänge mit dominierender Wirkung, ändert sich der Logik-Zustand am Ausgang, wenn sich der Eingang ändert

— in einem Schaltplan, in dem das Symbol Negation angewendet ist



vom externen 1-Zustand zum externen 0-Zustand



vom externen 0-Zustand zum externen 1-Zustand

— in einem Schaltplan, in dem das Symbol Logik-Polarität angewendet ist



vom H-Pegel zum L-Pegel

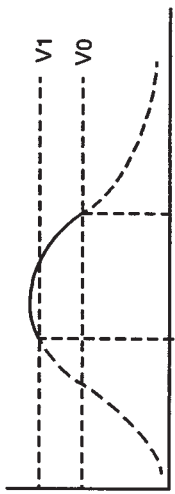
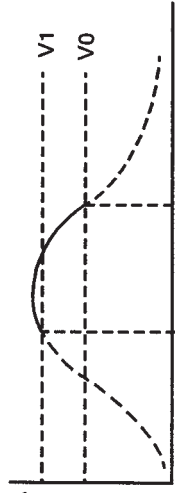


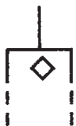
vom L-Pegel zum H-Pegel

— in a diagram using the symbol for logic polarity:

from its H-level to its L-level

from its L-level to its H-level

Nr.	Symbol	Beschreibung	Description
12-09-02		Eingang mit zwei Schwellenwerten Eingang mit Hysterese Der Eingang nimmt den internen 1-Zustand an, wenn der Pegel des externen Signals einen Schwellenwert V1 erreicht. Dieser Zustand bleibt solange erhalten, bis der Pegel des externen Signals durch V1 zurückgegangen ist und einen weiteren Schwellenwert V0 erreicht hat. Erscheint dieses Symbol (ohne das Symbol Negation oder Logik-Polarität) in einem Schaltplan, in dem entweder das Symbol Logik-Polarität oder positive Logik angewendet wird, ist V1 positiver als V0. Erscheint es in einem Schaltplan mit negativer Logik, ist V1 negativer als V0. Ist am Eingang das Symbol Negation oder Logik-Polarität gezeigt, ist die Beziehung zwischen V1 und V0 umgekehrt. Abschnitt 30 zeigt die Anwendung des Symbols Π als Kennzeichen für die Grundfunktion eines Elements.  Externes Signal A (positive Logik, kein Symbol für Negation) Intern 0-Zustand 1-Zustand Interner 0-Zustand ANMERKUNG — Ist das Symbol nicht gezeigt, bedeutet das nicht notwendigerweise, daß keine Hysterese vorliegt. Die meisten Bausteine haben ja in bestimmten Grenzen Hysterese. Das Symbol sollte nur dann angewendet werden, wenn es für das Anwenden des Bausteins wichtig ist, daß die Charakteristik dargestellt ist.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V1. It maintains this state until the external signal level has returned through V1 and reaches another threshold value V0. If this symbol (without the negation symbol or polarity symbol) appears on a diagram that uses either the symbol for logic polarity or the positive-logic convention, V1 is more positive than V0. If it appears on a diagram that uses the negative-logic convention, V1 is more negative than V0. If the negation or polarity symbol is present at the input, the relationship between V1 and V0 is reversed. Section 30 shows the use of the symbol Π as a general qualifying symbol for an element.  Externes Signal A (positive-logic convention, no negation symbol) Intern 0-state 1-state Internal 0-state NOTE — The absence of this symbol does not necessarily indicate the absence of hysteresis. Most practical devices exhibit this characteristic to some extent. This symbol should only be used when an identification of the characteristic is important to the application of the device.

Nr.	Symbol	Beschreibung	Description
12-09-03		Offener Ausgang, zum Beispiel offener Kollektor, offener Emitter, open-drain, open-source Einer der beiden möglichen internen Logik-Zustände dieses Ausgangstyps korrespondiert mit dem externen hochohmigen Zustand. Damit der Ausgang in diesem Zustand einen definierten Logik-Pegel erzeugt, ist eine externe Beschaltung erforderlich, zum Beispiel mit einem Widerstand. In der Regel ist dieser Ausgang Teil einer Logik-Verknüpfung mit weiteren Ausgängen gleichen Typs. ANMERKUNGEN 1 Das Symbol muß direkt neben dem Ausgang platziert sein, außer, wenn das Symbol Bit-Gruppierung (12-09-25) so angewendet ist, wie im Abschnitt 25 definiert; dort ist alternativ ein anderer Platz erlaubt. 2 Obwohl das Symbol innerhalb der Kontur platziert ist, bezieht es sich nur auf externe Logik-Zustände und -Pegel. 3 Um anzugeben, welcher Logik-Pegel der niederohmige ist, können die Symbole 12-09-04 oder 12-09-05 angewendet sein.	Open-circuit output (for example open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds to an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed connection. NOTES 1 This symbol should be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in section 25, where an alternative position is permitted. 2 Although this symbol is shown inside the outline, it refers to external states and levels only. 3 If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.

12-09-04		Offener Ausgang (H-Typ), zum Beispiel offener Kollektor eines PNP-Transistors, offener Emittor eines NPN-Transistors, P-Kanal-open-drain, N-Kanal-open-source Ist der Ausgang nicht im externen hochohmigen Zustand, erzeugt er einen relativ niederohmigen H-Pegel. Siehe auch Symbol 12-27-13. ANMERKUNGEN 1 Es gelten die Anmerkungen 1 und 2 zum Symbol 12-09-03. 2 Auch wenn die Symbole Negation oder Logik-Polarität vorkommen, bleibt die Bedeutung dieses Symbols unverändert.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel open-drain, N-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. NOTES 1 Notes 1 and 2 with symbol 12-09-03 apply. 2 The meaning of this symbol is not altered by the presence of a negation or polarity indicator.
12-09-05		Offener Ausgang (L-Typ), zum Beispiel offener Kollektor eines NPN-Transistors, offener Emittor eines PNP-Transistors, N-Kanal-open-drain, P-Kanal-open-source Ist der Ausgang nicht im externen hochohmigen Zustand, erzeugt er einen relativ niederohmigen L-Pegel. Siehe auch Symbol 12-27-13. ANMERKUNG — Es gelten die Anmerkungen 1 und 2 zum Symbol 12-09-03 und die Anmerkung 2 zum Symbol 12-09-04.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel open-drain, P-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. NOTE — Notes 1 and 2 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.

Nr.	Symbol	Beschreibung	Description
12-09-06		Passiver Pulldown-Ausgang Der Ausgang entspricht dem offenen H-Typ-Ausgang (Symbol 12-09-04). Er kann in gleicher Weise für eine Logik-Verknüpfung mit anderen Ausgängen gleichen Typs verwendet werden, braucht aber dabei keine eigene externe Beschaltung. Siehe auch Symbol 12-27-13. ANMERKUNG — Es gelten die Anmerkung 1 zum Symbol 12-09-03 und die Anmerkung 2 zum Symbol 12-09-04.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-07		Passiver Pullup-Ausgang Der Ausgang entspricht dem offenen L-Typ-Ausgang (Symbol 12-09-05). Er kann in gleicher Weise für eine Logik-Verknüpfung mit anderen Ausgängen gleichen Typs verwendet werden, braucht aber dabei keine eigene externe Beschaltung. Siehe auch Symbol 12-27-13. ANMERKUNG — Es gelten die Anmerkung 1 zum Symbol 12-09-03 und die Anmerkung 2 zum Symbol 12-09-04.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-08		3-state-Ausgang Der Ausgang kann einen dritten externen Zustand annehmen; dieser ist hochohmig und hat keine Logik-Aussage. ANMERKUNGEN 1 Es gilt die Anmerkung 1 zum Symbol 12-09-03. 2 Anwendungsbeispiel: Schaltzeichen 12-29-04.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. NOTES 1 Note 1 with symbol 12-09-03 applies. 2 For an example of use, see symbol 12-29-04.

12-09-08A		Ausgang mit besonderer Verstärkung (Treibereigenschaft) Das Symbol ▷ kennzeichnet die Verstärkung. Es muß in die Richtung des Signalfusses zeigen. ANMERKUNGEN 1 Es gilt die Anmerkung 1 zum Symbol 12-09-03. 2 Erscheint das Symbol gemeinsam mit den Symbolen 12-09-03 bis 12-09-08, so werden jene Symbole zwischen dem Verstärker-Symbol und der Elementkontur platziert. 3 Ist das Symbol nicht gezeigt, heißt das nicht notwendigerweise, daß keine besondere Verstärkung vorliegt. Abschnitt 29 zeigt, wie es als Kennzeichen der Grundfunktion eines Elements angewendet ist.	Output with special amplification (drive capability) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. NOTES 1 Note 1 with symbol 12-09-03 applies. 2 If this symbol is used with symbols 12-09-03 up to and including 12-09-08, those symbols are placed between the amplification symbol and the edge of the element. 3 The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element.
12-09-08B		Eingang mit besonderer Verstärkung (Empfindlichkeit) Das Symbol ▷ kennzeichnet die Verstärkung. Es muß in die Richtung des Signalfusses zeigen. Sind für einen Eingang mehr als eines der Symbole 12-09-47, 12-09-08B bzw. 12-09-02 notwendig, so müssen sie gegebenenfalls in folgender Reihenfolge angeordnet sein: Unmittelbar am Eingang das Symbol 12-09-47, gefolgt von 12-09-08B, gefolgt von 12-09-02. ANMERKUNG — Ist das Symbol nicht gezeigt, heißt das nicht notwendigerweise, daß keine besondere Verstärkung vorliegt. Abschnitt 29 zeigt, wie es als Kennzeichen der Grundfunktion eines Elements angewendet ist. Ist es nicht als Kennzeichen der Grundfunktion, sondern an einem Eingang gezeigt, weist es darauf hin, daß der Eingang besonders empfindlich ist, der Ausgang aber keine besondere Verstärkung hat.	Input with special amplification (sensitivity) The symbol ▷ emphasizes the function of amplification. It shall point in the direction of signal flow. If one or more of the symbols 12-09-47, 12-09-08B or 12-09-02 are required at an input, they shall be shown, as needed, in the following order: symbol 12-09-47 shall be placed closest to the input(s), followed by symbol 12-09-08B, and then by symbol 12-09-02. NOTE — The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element. Its use at an input, rather than as a general qualifying symbol, shows that the input is unusually sensitive rather than that the output has increased drive capability.

Nr.	Symbol	Beschreibung	Description
12-09-09		Erweiterungseingang Eingang, der mit dem Ausgang eines Erweiterungselements verbunden sein darf (siehe Symbol 12-09-10). ANMERKUNG — Die Beschreibung des Zusammenhangs von externen Logik-Zuständen binärer Variabler und zugehörigen physikalischen Größen gilt in der Regel nicht für Erweiterungseingänge und Erweiterungsausgänge.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). NOTE — The description that characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.
12-09-10		Erweiterungsausgang Ausgang, der mit dem Erweiterungsausgang eines anderen Elements verbunden sein darf, damit die Anzahl der Eingänge dieses Elements vergrößert wird. ANMERKUNG — Es gilt die Anmerkung zum Symbol 12-09-09.	Extender output An output of a binary element that may be connected to the extension input of another binary element in order to extend the number of inputs of that element. NOTE — The note with symbol 12-09-09 applies.
12-09-11		Freigabe-Eingang Befindet sich der Eingang im internen 1-Zustand, sind alle Ausgänge in ihren normalen definierten internen Logik-Zuständen und haben die durch die Funktion des Elements bestimmte Wirkung auf Elemente oder Logik-Verknüpfungen mit anderen Ausgängen, vorausgesetzt, daß keine anderen Eingänge oder Ausgänge eine dominierende oder gegensätzliche Wirkung haben. Befindet sich der Eingang im internen 0-Zustand, sind alle Ausgänge vom Typ 12-09-03, 12-09-04, 12-09-05 im externen hochohmigen Zustand, alle passiven Pull-down-Ausgänge auf hochohmigem L-Pegel, alle passiven Pullup-Ausgänge auf hochohmigem H-Pegel und	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impedance H-levels,