

DIN EN 61188-5-2

ICS 31.180

**Leiterplatten und Flachbaugruppen – Konstruktion und Anwendung –
Teil 5-2: Betrachtungen zur Montage (Anschlussfläche/Verbindung) –
Einzelbauelemente (IEC 61188-5-2:2003);
Deutsche Fassung EN 61188-5-2:2003**

Printed boards and printed board assemblies –
Design and use –
Part 5-2: Attachment (land/joint) considerations – Discrete components
(IEC 61188-5-2:2003);
German version EN 61188-5-2:2003

Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –
Partie 5-2: Considérations sur les liaisons pistes-soudures – Composants discrets
(CEI 61188-5-2:2003);
Version allemande EN 61188-5-2:2003

Gesamtumfang 53 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

Nationales Vorwort

Vorausgegangener Norm-Entwurf: E DIN IEC 52/573/CD:1996-11.

Für die vorliegende Norm ist das nationale Arbeitsgremium K 682 „Montageverfahren für elektronische Baugruppen“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE zuständig.

Die enthaltene IEC-Publikation wurde vom TC 91 „Electronics assembly technology“ erarbeitet.

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Der Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ergibt sich, soweit ein Zusammenhang besteht, grundsätzlich über die Nummer der entsprechenden IEC-Publikation. Beispiel: IEC 60068 ist als EN 60068 als Europäische Norm durch CENELEC übernommen und als DIN EN 60068 ins Deutsche Normenwerk aufgenommen.

Beginn der Gültigkeit

Die EN 61188-5-2 wurde am 2003-09-01 angenommen.

Deutsche Fassung

Leiterplatten und Flachbaugruppen

Konstruktion und Anwendung

Teil 5-2: Betrachtungen zur Montage (Anschlussfläche/Verbindung) — Einzelbauelemente
(IEC 61188-5-2:2003)

Printed boards and printed board assemblies —
Design and use —
Part 5-2: Attachment (land/joint) considerations —
Discrete components
(IEC 61188-5-2:2003)

Cartes imprimées et cartes imprimées
équipées — Conception et utilisation —
Partie 5-2: Considérations sur les liaisons
pistes-soudures — Composants discrets
(CEI 61188-5-2:2003)

Diese Europäische Norm wurde von CENELEC am 2003-09-01 angenommen. Die CENELEC-Mitglieder sind gehalten, die CEN/CENELEC-Geschäftsordnung zu erfüllen, in der die Bedingungen festgelegt sind, unter denen dieser Europäischen Norm ohne jede Änderung der Status einer nationalen Norm zu geben ist.

Auf dem letzten Stand befindliche Listen dieser nationalen Normen mit ihren bibliographischen Angaben sind beim Zentralsekretariat oder bei jedem CENELEC-Mitglied auf Anfrage erhältlich.

Diese Europäische Norm besteht in drei offiziellen Fassungen (Deutsch, Englisch, Französisch). Eine Fassung in einer anderen Sprache, die von einem CENELEC-Mitglied in eigener Verantwortung durch Übersetzung in seine Landessprache gemacht und dem Zentralsekretariat mitgeteilt worden ist, hat den gleichen Status wie die offiziellen Fassungen.

CENELEC-Mitglieder sind die nationalen elektrotechnischen Komitees von Belgien, Dänemark, Deutschland, Finnland, Frankreich, Griechenland, Irland, Island, Italien, Litauen, Luxemburg, Malta, den Niederlanden, Norwegen, Österreich, Portugal, Schweden, der Schweiz, der Slowakei, Spanien, der Tschechischen Republik, Ungarn und dem Vereinigten Königreich.

CENELEC

Europäisches Komitee für Elektrotechnische Normung
European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique

Zentralsekretariat: rue de Stassart 35, B-1050 Brüssel

Vorwort

Der Text des Schriftstücks 91/382/FDIS, zukünftige 1. Ausgabe von IEC 61188-5-2, ausgearbeitet von dem IEC TC 91 „Electronics assembly technology“, wurde der IEC-CENELEC Parallelen Abstimmung unterworfen und von CENELEC am 2003-09-01 als EN 61188-5-2 angenommen.

Diese Europäische Norm muss in Verbindung mit EN 61188-5-1:2002 angewendet werden.

Nachstehende Daten wurden festgelegt:

- spätestes Datum, zu dem die EN auf nationaler Ebene durch Veröffentlichung einer identischen nationalen Norm oder durch Anerkennung übernommen werden muss (dop): 2004-06-01
- spätestes Datum, zu dem nationale Normen, die der EN entgegenstehen, zurückgezogen werden müssen (dow): 2006-09-01

Anhänge, die als „normativ“ bezeichnet sind, gehören zum Norminhalt.
In dieser Norm ist Anhang ZA normativ.
Der Anhang ZA wurde von CENELEC hinzugefügt.

Anerkennungsnotiz

Der Text der Internationalen Norm IEC 61188-5-2:2003 wurde von CENELEC ohne irgendeine Abänderung als Europäische Norm angenommen.

In der offiziellen Fassung sind unter „Literaturhinweise“ zu den aufgelisteten Normen die nachstehenden Anmerkungen einzutragen:

IEC 60051	ANMERKUNG	Harmonisiert in der Reihe EN 60051 (nicht modifiziert).
IEC 61191-1	ANMERKUNG	Harmonisiert als EN 61191-1:1998 (nicht modifiziert).
IEC 61191-2	ANMERKUNG	Harmonisiert als EN 61191-2:1998 (nicht modifiziert).

Inhalt

	Seite
Vorwort.....	2
Einleitung	6
1 Anwendungsbereich	7
2 Normative Verweisungen	7
3 Lieferverpackung	8
4 Quaderförmige Festwert-Chipwiderstände.....	8
4.1 Einführende Bemerkung	8
4.2 Bauelementbeschreibung	8
4.3 Bauelementmaße	9
4.4 Auslegung der Lotfüllung	10
4.5 Landeflächenabmessungen	12
5 Feste zylindrische Chipwiderstände	14
5.1 Einführende Bemerkung	14
5.2 Bauelementbeschreibung	14
5.3 Bauelementmaße	15
5.4 Auslegung der Lotfüllung	15
5.5 Landeflächenabmessungen	16
6 Quaderförmige Festwert-Chipkondensatoren	18
6.1 Einführende Bemerkung	18
6.2 Bauelementbeschreibung	18
6.3 Bauelementmaße	19
6.4 Auslegung der Lotfüllung	20
6.5 Landeflächenabmessungen	22
7 Festwert-Tantal-Chipkondensatoren	24
7.1 Einführende Bemerkung	24
7.2 Bauelementbeschreibung	24
7.3 Bauelementmaße	25
7.4 Auslegung der Lotfüllung	25
7.5 Landeflächenabmessungen	27
8 Festwert-Aluminium-Elektrolytchipkondensatoren mit nichtfestem Elektrolyten (vertikaler Typ).....	29
8.1 Einführende Bemerkung	29
8.2 Bauelementbeschreibung	29
8.3 Bauelementmaße	29
8.4 Auslegung der Lotfüllung	30
8.5 Landeflächenabmessungen	32
9 Festwert-Aluminium-Elektrolytchipkondensatoren mit nichtfestem Elektrolyten (horizontaler Typ).....	34
9.1 Einführende Bemerkung	34

	Seite
9.2 Bauelementbeschreibung	34
9.3 Bauelementmaße	34
9.4 Auslegung der Lotfüllung	35
9.5 Landeflächenabmessungen	37
10 Festwert-Folien-Chipkondensatoren	39
10.1 Einführende Bemerkung	39
10.2 Bauelementbeschreibung	39
10.3 Bauelementmaße	39
10.4 Auslegung der Lotfüllung	40
10.5 Landeflächenabmessungen	42
11 Festwert-Chip-Induktivitäten (Mehrlagentyp)	44
11.1 Einführende Bemerkung	44
11.2 Bauelementbeschreibung	44
11.3 Bauelementmaße	44
11.4 Auslegung der Lotfüllung	45
11.5 Landeflächenabmessungen	47
12 Feste Chip-Induktivitäten (gewickelter Typ)	49
13 SC-59/TO-236 – Transistoren	49
14 SC-62/TO-243 – Transistoren	49
15 SC-61/TO-253 – Transistoren	49
16 SC-73 – Dioden	49
17 SC-63/TO-252 – Transistoren	49
18 SC-73 – Transistoren	49
Literaturhinweise	50
Anhang ZA (normativ) Normative Verweisungen auf internationale Publikationen mit ihren entsprechenden europäischen Publikationen	51
Bild 1 – Lieferverpackung	8
Bild 2 – Konstruktion eines quaderförmigen Festwert-Chipwiderstandes	9
Bild 3 – Abmessungen der Festwert-Chipwiderstände	10
Bild 4 – Überstand der Lotfüllung	12
Bild 5 – Quaderförmige Festwert-Chipwiderstände, Abmessungen der Landeflächenbilder	13
Bild 6 – Konstruktion eines zylindrischen Festwert-Chipwiderstandes	14
Bild 7 – Abmessungen der zylindrischen Festwert-Chipwiderstände	15
Bild 8 – Überstand der Lotfüllung	16
Bild 9 – Zylindrische Festwert-Chipwiderstände, Abmessungen der Landeflächenbilder	17
Bild 10 – Konstruktion eines quaderförmigen Festwert-Chipkondensators	18
Bild 11 – Abmessungen der quaderförmigen Festwert-Chipkondensatoren	20
Bild 12 – Überstand der Lotfüllung	22
Bild 13 – Quaderförmige Festwert-Keramikchipkondensatoren, Abmessungen der Landeflächenbilder	23

	Seite
Bild 14 – Konstruktion eines Festwert-Tantal-Chipkondensators.....	24
Bild 15 – Abmessungen der Festwert-Tantal-Chipkondensatoren.....	25
Bild 16 – Überstand der Lotfüllung	27
Bild 17 – Festwert-Tantal-Chipkondensatoren, Abmessungen der Landeflächenbilder	28
Bild 18 – Konstruktion eines Festwert-Aluminium-Elektrolytchipkondensators.....	29
Bild 19 – Abmessungen der Festwert-Aluminium-Elektrolytchipkondensatoren (vertikaler Typ).....	30
Bild 20 – Überstand der Lotfüllung	32
Bild 21 – Festwert-Aluminium-Elektrolytchipkondensatoren (vertikaler Typ), Abmessungen der Landeflächenbilder	33
Bild 22 – Konstruktion eines Festwert-Aluminium-Elektrolytchipkondensators mit nichtfestem Elektrolyten (horizontaler Typ).....	34
Bild 23 – Abmessungen der Festwert-Aluminium-Elektrolytchipkondensatoren (horizontaler Typ).....	35
Bild 24 – Überstand der Lotfüllung	37
Bild 25 – Festwert-Aluminium-Elektrolytchipkondensatoren (horizontaler Typ), Abmessungen der Landeflächenbilder	38
Bild 26a – Gepackter Typ	39
Bild 26b – Gewickelter Typ	39
Bild 27a – Gestapelter Typ	40
Bild 27b – Gewickelter Typ	40
Bild 28 – Überstand der Lotfüllung	42
Bild 29 – Festwert-Folien-Chipkondensatoren, Abmessungen der Landeflächenbilder	43
Bild 30 – Konstruktion von Festwert-Chip-Induktivitäten	44
Bild 31 – Abmessungen der Festwert-Chip-Induktivitäten (Mehrlagentyp)	45
Bild 32 – Überstand der Lotfüllung	47
Bild 33 – Festwert-Chip-Induktivitäten, Abmessungen der Landeflächenbilder	48

Einleitung

Dieser Teil der IEC 61188 betrifft die Landeflächenbilder für diskrete Bauelemente wie Chipwiderstände, Chipkondensatoren und verschiedene Dioden- und Transistortypen.

Die vorgeschlagenen Landeflächendimensionen basieren auf der fundamentalen Toleranzkalkulation, kombiniert mit den vorgegebenen Landeflächen- und Belegflächenübermaßen (siehe IEC 61188-5-1, Grundlegende Forderungen). Die Belegfläche schließt alle Gesichtspunkte der normalen Fertigungserfordernisse ein.

Die Landeflächenkonfigurationen dieser Norm sind generell für den Prozess Lotpastenauftrag und Aufschmelzlöten anwendbar. Für Badlötprozesse (z. B. Wellen-, Jet-, Schlepplöten) mögen die Landeflächen zu modifizieren sein, um Abschattungs- und Lotbrückeneffekte zu vermeiden (z. B. durch Vergrößern der Landeflächenabmessung in Lötrichtung und/oder Hinzufügen von Lotfängern).

Diese Norm bietet eine dreifache Landeflächendimensionierung (Stufen 1, 2 und 3) auf der Basis des dreifachen Satzes von Lande- und Belegflächenüberständen: Maximum (max.), Median (mdn) und Minimum (min.). Jedem Landeflächenbild ist eine Identifikationsnummer zugeordnet, um die Merkmale der spezifischen Robustheit des Landeflächenbildes anzuzeigen. Die Benutzer haben auch die Möglichkeit, die Information so zu organisieren, dass sie möglichst hilfreich für ihre eigene Entwurfsarbeit ist.

Diese Norm nimmt an, dass die Landeflächenabmessungen immer größer als der Bauelementanschluss oder die Anschlussbeine sind. Wenn ein Anwender gute Gründe hat, Lötresist zu verwenden, um die Benetzung auf einer Landefläche einzugrenzen oder Landeflächen kleiner als die Bauelementanschlüsse, oder ein Konzept zu verwenden, das sich von dem der IEC 61188-5-1 unterscheidet, dann mag dieser Standard nicht passen.

Es liegt in der Verantwortlichkeit des Anwenders, die verwendete SMD-Landeflächenkonfiguration zu verifizieren, um einen ungestörten Montageprozess einschließlich Prüfen und einer gesicherten Zuverlässigkeit für die Stressbeanspruchung des Produktes im Gebrauch zu gewährleisten.

Die Abmessungen der Bauelemente, die in diesem Standard gelistet sind, sind solche, die auf dem Markt erhältlich sind, sie werden als Referenz betrachtet.

1 Anwendungsbereich

Dieser Teil der IEC 61188 liefert Informationen über Landeflächenkonfigurationen, die für die Oberflächenmontage von diskreten elektronischen Bauelementen verwendet werden.

Die Absicht dieser Norm ist es, die geeignete Größe und Form sowie die Toleranzen der Oberflächenmontage-Landeflächen vorzugeben, um ausreichenden Platz für die geeignete Lotfüllung zu sichern und um auch die Inspektion, das Prüfen und die Reparaturen an den resultierenden Lötverbindungen zu ermöglichen.

Jeder Abschnitt enthält einen spezifischen Satz von klar vorgestellten Kriterien, welche Informationen zum Bauelement, über die Bauelementabmessungen, die Auslegung der Lötverbindungen und die Landeflächen- Dimensionierungen vorsehen.

2 Normative Verweisungen

Die nachfolgenden zitierten Dokumente sind für die Anwendung dieses Dokuments erforderlich. Bei datierten Verweisungen gilt nur die in Bezug genommene Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des in Bezug genommenen Dokuments (einschließlich aller Änderungen).

IEC 60068-2-58, *Environmental testing — Part 2-58: Tests: Test Td. Test methods for solderability, resistance to dissolution of metallization and soldering heat of surface mounting devices (SMD)*.

IEC 60115-1, *Fixed resistors for use in electronic equipment — Part 1: General specification*.

IEC 60286-3, *Packaging of components for automatic handling — Part 3: Packaging of leadless components on continuous tapes*.

IEC 60286-4, *Packaging of components for automatic handling — Part 4: Stick magazines for electric components encapsulated in packages of form E and G*.

IEC 60286-5, *Packaging of components for automatic handling — Part 5: Matrix trays*.

IEC 60286-6, *Packaging of components for automatic handling — Part 6: Bulk case packaging for surface mounting compounds*.

IEC 60384-3, *Fixed capacitors for use in electronic equipment — Part 3: Sectional specification — Fixed Tantalum chip capacitors*.

IEC 60384-18, *Fixed capacitors for use in electronic equipment — Part 18: Sectional specification — Fixed Aluminium electrolytic chip capacitors with solid and non-solid electrolyte*.

IEC 60384-20, *Fixed capacitors for use in electronic equipment — Part 20: Sectional specification — Fixed metallized polyphenylene sulfide film dielectric chip d.c. capacitors*.

IEC 61188-5-1, *Printed boards and printed board assemblies — Design and use — Part 5-1: Attachment (land/joint) considerations — Generic requirements*.

IEC 61605, *Fixed inductors for use in electronic and telecommunication equipment — Marking codes*.

3 Lieferverpackung

Die folgenden Normen sollen einbezogen werden:

- IEC 60286-3 (Bild 1);
- IEC 60286-4;
- IEC 60286-5;
- IEC 60286-6.

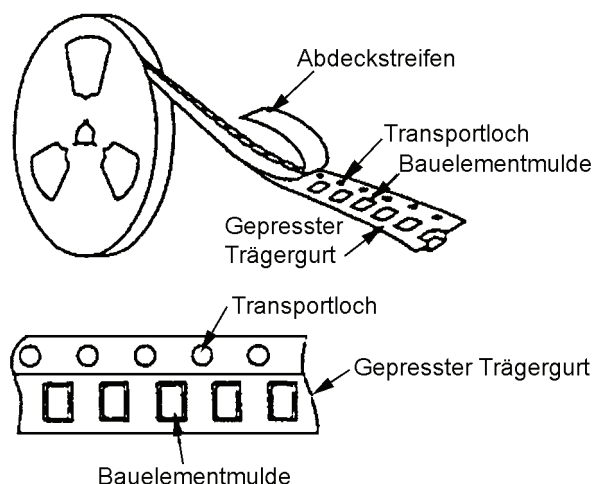


Bild 1 – Lieferverpackung

4 Quaderförmige Festwert-Chipwiderstände

4.1 Einführende Bemerkung

Dieser Abschnitt spezifiziert die Bauelement- und Landeflächenabmessungen für quaderförmige Festwert-Chipwiderstände mit einer Toleranzanalyse und Annahmen zu den Lötverbindungen für die Landeflächenabmessungen.

4.2 Bauelementbeschreibung

Eine Menge von Werten existiert für die Abmessungen der Widerstände. Die folgenden Unterabschnitte beschreiben die gebräuchlichsten Typen.

4.2.1 Grundkonstruktion

Bild 2 zeigt ein übliches Konstruktionsbeispiel. Die Widerstandsbahn ist auf einem keramischen Substrat aufgetragen und an beiden Enden symmetrisch mit einem „(um die Enden) herumgeschlagenen“ U-geformten Metallstreifen abgeschlossen. Die Widerstandsbahn befindet sich auf der Oberseite. Da die meisten Bestückssysteme einen Vakuum-Aufnahmekopf verwenden, ist es wichtig, dass die Oberfläche des Widerstandes plan hergestellt ist, andernfalls kann die Vakuumaufnahme problematisch sein.

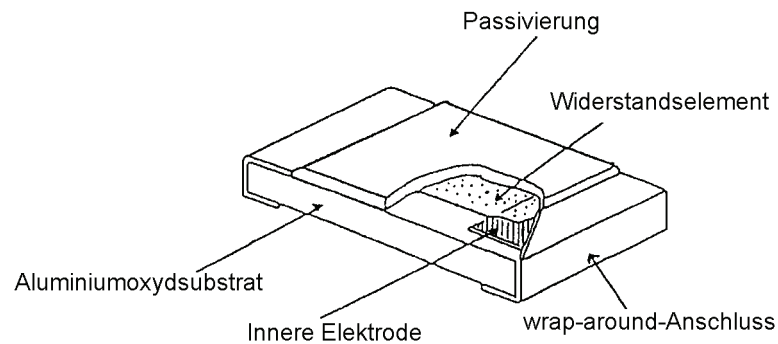


Bild 2 – Konstruktion eines quaderförmigen Festwert-Chipwiderstandes

4.2.2 Werkstoffe für die Bauelementanschlüsse

Die Anschlüsse sollten mit einem lötfreundlichen Werkstoff überzogen sein, geeignet für das anzuwendende Lötverfahren.

Die Anschlüsse müssen symmetrisch sein, dazu frei von Knötchen, Ausbeulungen, Vorsprüngen usw., die die Symmetrie oder die Abmessungstoleranzen des Bauteiles beeinträchtigen. Der Anschluss am Ende muss das Ende des Bauelementes abdecken und muss auf der Ober- und Unterseite vorstehen. Lötüberzüge, aufgetragen über Edelmetallelektroden, müssen eine Diffusionssperrschicht haben zwischen der Elektrodenmetallisierung und dem Lötüberzug. Der Werkstoff für die Sperrschicht sollte Nickel oder ein ähnliches Metall sein, das wirksam als Diffusionsbarriere ist.

4.2.3 Kennzeichnung

Chipwiderstände werden generell nicht am Bauelementkörper gekennzeichnet. Wenn eine Kennzeichnung angebracht werden kann, muss der Chipwiderstand klar mit dem gegebenen Widerstandswert gekennzeichnet sein und möglichst vielen der verbleibenden Angaben nach 2.4 der IEC 60115-1.

4.2.4 Trägerverpackungsformat

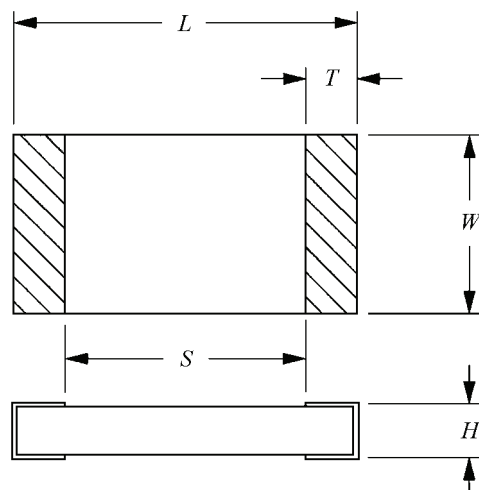
Hierfür gilt IEC 60286-3.

4.2.5 Lötbarkeit, Ablegierungsfestigkeit der Metallisierung und Lötwärmebeständigkeit

Hierfür gilt IEC 60068-2-58.

4.3 Bauelementmaße

Bild 3 zeigt die Abmessungen für quaderförmige Festwert-Chipwiderstände.



Maße in mm

Bauelement-Kennung	L		S		W		T		H	
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.
1005	0,95	1,05	0,35	0,75	0,45	0,55	0,15	0,30	0,30	0,40
1608	1,50	1,70	0,50	1,50	0,70	0,90	0,10	0,50	0,35	0,55
2012	1,90	2,10	0,70	1,70	1,15	1,35	0,20	0,60	0,45	0,65
3216	3,00	3,40	1,50	2,90	1,45	1,75	0,25	0,75	0,45	0,65
3225	3,00	3,40	1,50	2,90	2,30	2,70	0,25	0,75	0,45	0,65
5025	4,80	5,20	3,10	4,50	2,30	2,70	0,35	0,85	0,35	0,75
6332	6,10	6,50	4,40	5,80	3,00	3,40	0,35	0,85	0,35	0,75

Bild 3 – Abmessungen der Festwert-Chipwiderstände

4.4 Auslegung der Lotfüllung

Bild 4 zeigt Form und Maße der Lotfüllung nach dem Lötprozess. Die Minimum-, Mittel- und Maximum-Maße von jeder der Zeh-, Fersen- und Seitenfüllungen werden unter Einbeziehung der Zuverlässigkeit der Lötverbindungen, ebenso der Qualität und Produktivität des Bauelementmontageprozesses bestimmt. Die Auslegung benötigt die Einbeziehung von drei Faktoren, betreffend die Genauigkeit: Die Maßgenauigkeit der Bauelemente (C), die Platzierungsgenauigkeit der Bauteile auf der gedruckten Schaltung (P) und die Landeflächengenauigkeit auf der gedruckten Schaltung (F), zusätzlich zu den Lotfüllungsabmessungen. Die Formeln zum Erhalt der Toleranz, die von diesen Faktoren herrühren, sind die folgenden:

- a. Betrachtung zur Auslegung, wenn ohne Selbstjustageeffekt gelötet wird (Stufe 1)

Bei den Badlötverfahren gibt es keinen Selbstjustageeffekt. Daher können die Formeln nicht vereinfacht werden, sie verbleiben wie folgt:

$$Z_{\max} = L_{\min} + 2J_{T \max} + T_T \quad T_T = \sqrt{F_{L1}^2 + P_{L1}^2 + C_L^2}$$

$$G_{\min} = S_{\max} - 2J_{H \max} - T_H \quad T_H = \sqrt{F_{L1}^2 + P_{L1}^2 + C_S^2}$$

$$X_{\max} = W_{\min} + 2J_{S \max} + T_S \quad T_S = \sqrt{F_{L1}^2 + P_{L1}^2 + C_W^2}$$

b. Betrachtung zur Auslegung, wenn ohne Selbstjustageeffekt gelötet wird (Stufe 2)

$$Z_{\max} = L_{\min} + 2J_{T \text{ mdn}} + T_T \quad T_T = \sqrt{F_{L2}^2 + P_{L2}^2 + C_L^2}$$

$$G_{\min} = S_{\max} - 2J_{H \text{ mdn}} - T_H \quad T_H = \sqrt{F_{L2}^2 + P_{L2}^2 + C_S^2}$$

$$X_{\max} = W_{\min} + 2J_{S \text{ mdn}} + T_S \quad T_S = \sqrt{F_{L2}^2 + P_{L2}^2 + C_W^2}$$

c. Betrachtung zur Auslegung, wenn ohne Selbstjustageeffekt gelötet wird (Stufe 3)

$$Z_{\max} = L_{\min} + 2J_{T \text{ min}} + T_T \quad T_T = \sqrt{F_{L3}^2 + P_{L3}^2 + C_L^2}$$

$$G_{\min} = S_{\max} - 2J_{H \text{ min}} - T_H \quad T_H = \sqrt{F_{L3}^2 + P_{L3}^2 + C_S^2}$$

$$X_{\max} = W_{\min} + 2J_{S \text{ min}} + T_S \quad T_S = \sqrt{F_{L3}^2 + P_{L3}^2 + C_W^2}$$

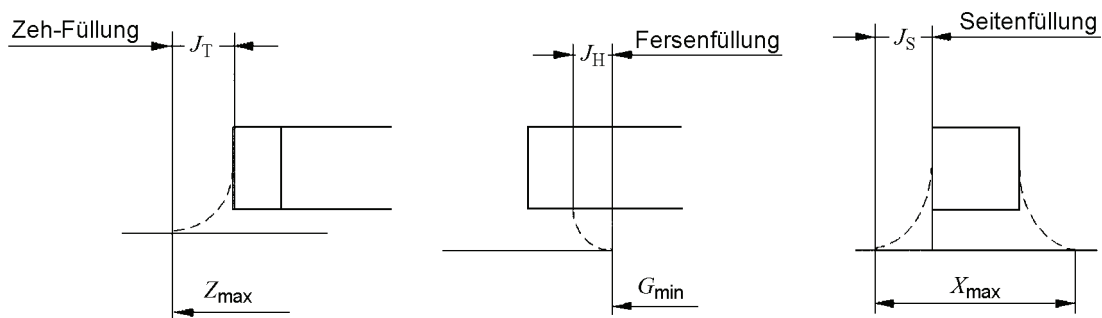
Beim Reflow-Lötprozess gibt es den Selbstjustageffekt, da keine Kleber zum Fixieren der Bauelemente verwendet werden. Bei den Oberflächenmontageprozessen mit Reflow-Löten können ein Platzierungsversatz der Bauelemente und die Landeflächenungenauigkeit beim Löten durch den Selbstjustageffekt beseitigt werden (daher können die Faktoren P und F als 0 betrachtet werden). Daher können die Formeln folgendermaßen vereinfacht werden:

$$T_T = C_L, \quad Z_{\max} = L_{\min} + 2J_{T \text{ min}} + C_L = L_{\max} + 2J_{T \text{ min}}$$

$$T_H = C_S, \quad G_{\min} = S_{\max} - 2J_{H \text{ min}} - C_S = S_{\min} - 2J_{H \text{ min}}$$

$$T_S = C_W, \quad X_{\max} = W_{\min} + 2J_{S \text{ min}} + C_W = W_{\max} + 2J_{S \text{ min}}$$

Jede andere Toleranz als die oben verwendeten kann verwendet werden, abhängig von der Stärke der Lötverbindung, der Fähigkeit des verwendeten Lötprozesses usw.



ANMERKUNG Wenn Widerstände keine seitliche Materialisierung haben, soll die Seitenfüllung oder das J_S -Maß auf das sich verjüngende Teil der Zeh-Lotfüllung bezogen werden.

Bauelement-Kennung	Toleranz-Annahmen						Lötverbindung											
							Zeh				Ferse				Seite			
	F			P			J_T				J_H				J_S			
	$L-1$	$L-2$	$L-3$	$L-1$	$L-2$	$L-3$	C_L	Max.	Mdn	Min.	C_S	Max.	Mdn	Min.	C_W	Max.	Mdn	Min.
1005	0,3	0,2	0,1	0,2	0,15	0,1	0,1	0,6	0,4	0,2	0,4	0	0	0	0,1	0	0	0
1608	0,3	0,2	0,1	0,4	0,2	0,1	0,2	0,6	0,4	0,2	1	0	0	0	0,2	0	0	0
2012	0,3	0,2	0,1	0,4	0,2	0,1	0,2	0,6	0,4	0,2	1	0	0	0	0,2	0	0	0
3216	0,3	0,2	0,1	0,4	0,2	0,1	0,4	0,6	0,4	0,2	1,4	0	0	0	0,3	0	0	0
3225	0,3	0,2	0,1	0,4	0,2	0,1	0,4	0,6	0,4	0,2	1,4	0	0	0	0,4	0	0	0
5025	0,3	0,2	0,1	0,4	0,2	0,1	0,4	0,6	0,4	0,2	1,4	0	0	0	0,4	0	0	0
6332	0,3	0,2	0,1	0,4	0,2	0,1	0,4	0,6	0,4	0,2	1,4	0	0	0	0,4	0	0	0

Bild 4 – Überstand der Lotfüllung

4.5 Landeflächenabmessungen

Bild 5 zeigt die Landeflächenabmessungen für die quaderförmigen Festwert-Chipwiderstände für die Aufschmelz- und die Badlötverfahren. Diese Werte sind berechnet worden auf der Grundlage der Beziehung für die Auslegung der Lotfüllung, dargestellt in 4.4. Die $G_{\min}$ -Werte für die 1005-Widerstände sind größer als die berechneten Werte, um der Brückenbildung zwischen den benachbarten Landeflächen vorzubeugen.

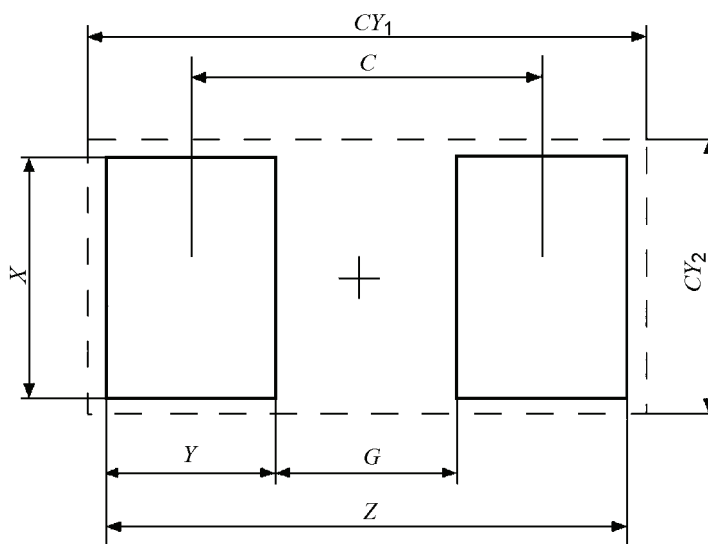
Die Belegfläche wurde berechnet und aufgerundet unter Verwendung der folgenden Beziehung (der Aufrundungsfaktor ist das nächste Vielfache von 0,05 mm für das Minimum, 0,5 mm für das Maximum).

$$CY_1 = \{ \text{der größere Wert von } [L_{\min} + \sqrt{F^2 + P^2 + C_L^2}] \text{ oder } [Z] \}$$

$$+ (\text{Belegflächenüberstand} \times 2)$$

$$CY_2 = \{ \text{der größere Wert von } [W_{\min} + \sqrt{F^2 + P^2 + C_W^2}] \text{ oder } [X] \}$$

$$+ (\text{Belegflächenüberstand} \times 2)$$

**Stufe 1**

Maße in mm

Landflächen-Kennung	Bauelement-Kennung	Z	G	X	Y	C	CY ₁	CY ₂
2010M	1005	2,55	0,5	0,85	1,05	1,55	4	2
2011M	1808	3,25	0,5	1,25	1,4	1,9	5	3
2012M	2012	3,65	0,55	1,7	1,55	2,1	5	3
2013M	3216	4,85	1,6	2,05	1,65	3,25	6	4
2014M	3225	4,85	1,6	2,95	1,65	3,25	6	4
2015M	5025	6,65	3,2	2,95	1,75	4,95	8	4
2016M	6332	7,95	4,5	3,65	1,75	6,25	9	5

Stufe 2

Landflächen-Kennung	Bauelement-Kennung	Z	G	X	Y	C	CY ₁	CY ₂
2010N	1005	2,05	0,5	0,75	0,8	1,3	2,6	1,3
2011N	1808	2,65	0,5	1,05	1,1	1,6	3,2	1,6
2012N	2012	3,05	0,65	1,5	1,2	1,85	3,6	2
2013N	3216	4,3	1,65	1,9	1,35	3	4,8	2,4
2014N	3225	4,3	1,65	2,8	1,35	3	4,8	3,3
2015N	5025	6,1	3,25	2,8	1,45	4,7	6,6	3,3
2016N	6332	7,4	4,44	3,5	1,45	6	7,9	4

Stufe 3

Landflächen-Kennung	Bauelement-Kennung	Z	G	X	Y	C	CY ₁	CY ₂
2010L	1005	1,45	0,5	0,55	0,5	1,0	1,6	0,8
2011L	1808	2,1	0,5	0,9	0,8	1,3	2,2	1,1
2012L	2012	2,5	0,7	1,35	0,9	1,6	2,6	1,5
2013L	3216	3,8	1,5	1,75	1,15	2,65	3,9	1,9
2014L	3225	3,8	1,5	2,7	1,15	2,65	3,9	2,9
2015L	5025	5,6	3,1	2,7	1,25	4,35	5,7	2,9
2016L	6332	6,9	4,4	3,4	1,25	5,65	7,0	3,6

Bild 5 – Quaderförmige Festwert-Chipwiderstände, Abmessungen der Landflächenbilder

5 Feste zylindrische Chipwiderstände

5.1 Einführende Bemerkung

Dieser Abschnitt spezifiziert die Bauelement- und Landflächenabmessungen für quaderförmige Festwert-Chipwiderstände zusammen mit einer Toleranzanalyse und Annahmen zu den Lötverbindungen für die Landflächenabmessungen.

5.2 Bauelementbeschreibung

Eine Menge von Werten existiert für die Abmessungen der Widerstände. Die folgenden Unterabschnitte beschreiben die gebräuchlichsten Typen.

5.2.1 Grundkonstruktion

Bild 6 zeigt ein übliches Konstruktionsbeispiel.

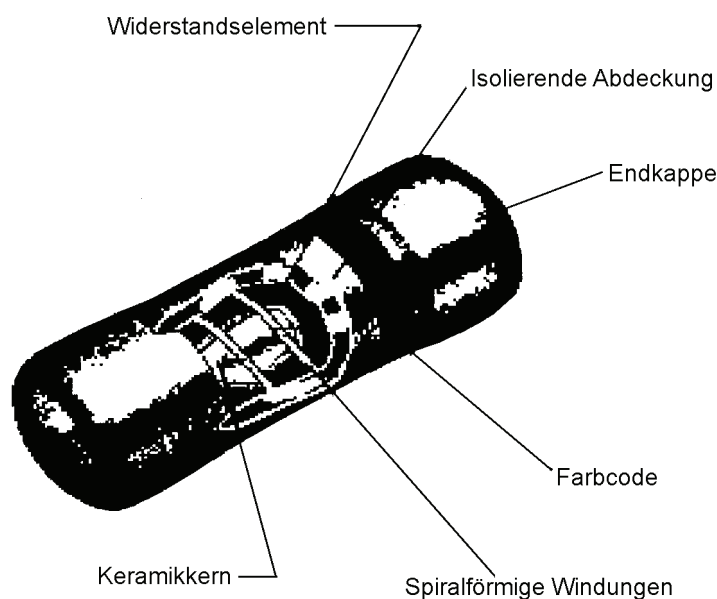


Bild 6 – Konstruktion eines zylindrischen Festwert-Chipwiderstandes

5.2.2 Werkstoffe für die Bauelementanschlüsse

Die Anschlüsse sollten mit einem lötfreundlichen Werkstoff überzogen sein, geeignet für das anzuwendende Lötverfahren.

Die Anschlüsse müssen symmetrisch sein, dazu frei von Knötchen, Ausbeulungen, Vorsprüngen usw., die die Symmetrie oder die Abmessungstoleranzen des Bauteiles beeinträchtigen. Der Anschluss am Ende muss das Ende des Bauelementes abdecken und muss rundherum über den ganzen Umfang hervorstehen.

5.2.3 Kennzeichnung

Chipwiderstände werden generell nicht am Bauelementkörper gekennzeichnet. Wenn eine Kennzeichnung angebracht werden kann, muss der Chipwiderstand klar mit dem gegebenen Widerstandswert gekennzeichnet sein und mit möglichst vielen der verbleibenden Angaben nach 2.4 der IEC 60115-1.

5.2.4 Trägerverpackungsformat

Hierfür gelten IEC 60286-3 oder IEC 60286-6.