

DIN EN 62374

ICS 31.080.01

**Halbleiterbauelemente –
Prüfung des zeitabhängigen dielektrischen Durchbruchs (TDDDB) für
dielektrische Gate-Schichten (IEC 62374:2007);
Deutsche Fassung EN 62374:2007**

Semiconductor devices –
Time Dependent Dielectric Breakdown (TDDDB) test for gate dielectric films
(IEC 62374:2007);
German version EN 62374:2007

Dispositifs à semiconductors –
Essai de rupture diélectrique en fonction du temps (TDDDB) pour films diélectriques de
grille (CEI 62374:2007);
Version allemande EN 62374:2007

Gesamtumfang 24 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

Beginn der Gültigkeit

Die von CENELEC am 2007-10-01 angenommene EN 62374 gilt als DIN-Norm ab 2008-02-01.

Nationales Vorwort

Vorausgegangener Norm-Entwurf: E DIN IEC 62374:2004-09.

Für diese Norm ist das nationale Arbeitsgremium K 631 „Halbleiterbauelemente“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (www.dke.de) zuständig.

Die enthaltene IEC-Publikation wurde vom TC 47 „Semiconductor devices“ erarbeitet.

In Bild 3 setzt die Balkendarstellung für die I_{SILC} -Messung im 2. Intervall nicht zu dem in der vorangegangenen Beschreibung unter Punkt f) festgelegten Zeitpunkt an. Danach darf sie erst nach der Wartezeit beginnen. Das zuständige IEC-Gremium wurde auf diesen Sachverhalt hingewiesen.

Das IEC-Komitee hat entschieden, dass der Inhalt dieser Publikation bis zu dem auf der IEC-Website unter „<http://webstore.iec.ch>“ mit den Daten zu dieser Publikation angegebenen Datum (maintenance result date) unverändert bleiben soll. Zu diesem Zeitpunkt wird entsprechend der Entscheidung des Komitees die Publikation

- bestätigt,
- zurückgezogen,
- durch eine Folgeausgabe ersetzt oder
- geändert.

Halbleiterbauelemente –
Prüfung des zeitabhängigen dielektrischen Durchbruchs (TDDB) für
dielektrische Gate-Schichten
(IEC 62374:2007)

Semiconductor devices –
Time Dependent Dielectric Breakdown (TDDB)
test for gate dielectric films
(IEC 62374:2007)

Dispositifs à semiconductors –
Essai de rupture diélectrique en fonction du
temps (TDDB) pour films diélectriques de grille
(CEI 62374:2007)

Diese Europäische Norm wurde von CENELEC am 2007-10-01 angenommen. Die CENELEC-Mitglieder sind gehalten, die CEN/CENELEC-Geschäftsordnung zu erfüllen, in der die Bedingungen festgelegt sind, unter denen dieser Europäischen Norm ohne jede Änderung der Status einer nationalen Norm zu geben ist.

Auf dem letzten Stand befindliche Listen dieser nationalen Normen mit ihren bibliographischen Angaben sind beim Zentralsekretariat oder bei jedem CENELEC-Mitglied auf Anfrage erhältlich.

Diese Europäische Norm besteht in drei offiziellen Fassungen (Deutsch, Englisch, Französisch). Eine Fassung in einer anderen Sprache, die von einem CENELEC-Mitglied in eigener Verantwortung durch Übersetzung in seine Landessprache gemacht und dem Zentralsekretariat mitgeteilt worden ist, hat den gleichen Status wie die offiziellen Fassungen.

CENELEC-Mitglieder sind die nationalen elektrotechnischen Komitees von Belgien, Bulgarien, Dänemark, Deutschland, Estland, Finnland, Frankreich, Griechenland, Irland, Island, Italien, Lettland, Litauen, Luxemburg, Malta, den Niederlanden, Norwegen, Österreich, Polen, Portugal, Rumänien, Schweden, der Schweiz, der Slowakei, Slowenien, Spanien, der Tschechischen Republik, Ungarn, dem Vereinigten Königreich und Zypern.

CENELEC

Europäisches Komitee für Elektrotechnische Normung
European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique

Zentralsekretariat: rue de Stassart 35, B-1050 Brüssel

© 2007 CENELEC – Alle Rechte der Verwertung, gleich in welcher Form und in welchem Verfahren, sind weltweit den Mitgliedern von CENELEC vorbehalten.

Ref. Nr. EN 62374:2007 D

Vorwort

Der Text des Schriftstücks 47/1894/FDIS, zukünftige 1. Ausgabe von IEC 62374, ausgearbeitet von dem IEC TC 47 „Semiconductor devices“, wurde der IEC-CENELEC Parallelen Abstimmung unterworfen und von CENELEC am 2007-10-01 als EN 62374 angenommen.

Nachstehende Daten wurden festgelegt:

- spätestes Datum, zu dem die EN auf nationaler Ebene durch Veröffentlichung einer identischen nationalen Norm oder durch Anerkennung übernommen werden muss (dop): 2008-07-01
- spätestes Datum, zu dem nationale Normen, die der EN entgegenstehen, zurückgezogen werden müssen (dow): 2010-10-01

Anerkennungsnotiz

Der Text der Internationalen Norm IEC 62374:2007 wurde von CENELEC ohne irgendeine Abänderung als Europäische Norm angenommen.

Inhalt

	Seite
Vorwort	2
1 Anwendungsbereich	4
2 Begriffe	4
3 Prüf- und Messeinrichtung	6
4 Prüflinge	6
4.1 Allgemeines	6
4.2 Teststruktur: Kapazitives Schaltungselement (Kondensator)	6
4.3 Fläche	7
5 Prüfdurchführung	7
5.1 Allgemeines	7
5.2 Vorprüfung	9
5.3 Prüfbedingungen	9
5.4 Fehler- und Beurteilungskriterien	9
6 Lebensdauer-Schätzung	12
6.1 Allgemeines	12
6.2 Beschleunigungsmodell	12
6.3 Verfahren zur Schätzung der Lebensdauer	15
7 Abhängigkeit der Lebensdauer von der Fläche des Gateoxids	17
Anhang A (informativ) Ergänzende Angaben zur Bestimmung der Prüfbedingungen und Datenanalyse	18
A.1 Beispiel für die Bestimmung von U_{stress}	18
A.2 Üblicher Wert des Beschleunigungsfaktors	19
A.3 Verfahren zur Erstellung von Kurvendiagrammen mittels Weibullfunktion	20
Literaturhinweise	22
 Bilder	
Bild 1 – Prüfablauf-Diagramm für das CVS-Verfahren	8
Bild 2 – Beispiel für Anwendung des Varianzverfahrens zur Bestimmung des Durchbruchs	11
Bild 3 – Zeit-Diagramm für die Überprüfung der SILC-Änderung bei der Anwendung des Stress-Unterbrechungs-Verfahrens (t_{init} muss < 1 % der erwarteten t_{bd} sein)	12
Bild 4 – Kurvenanpassung bei Weibull/Lognormal-Verteilung (Weibullverteilung wird empfohlen)	15
Bild 5 – Schätzverfahren für den elektrischen Beschleunigungsfaktor	16
Bild 6 – Schätzverfahren für die Aktivierungsenergie	16
Bild A.1 – Spannungsabhängigkeit der TDDb-Lebensdauer	18
Bild A.2 – Jede Modellkomponente als Funktionskurve von U_{ox}	20

1 Anwendungsbereich

Festgelegt sind in dieser Internationalen Norm sowohl ein Prüf- und Messverfahren zum zeitabhängigen dielektrischen Durchbruch (TDDB; en: time dependent dielectric breakdown) bei dielektrischen Gate-Schichten von Halbleiterbauelementen als auch ein Verfahren zum Abschätzen der Bauelementelebensdauer bezogen auf TDDB-Ausfälle.

2 Begriffe

Für die Anwendung dieses Dokuments gelten die folgenden Begriffe:

2.1

elektrische Feldstärke im Oxid

E_{ox}

festgelegt als Spannung über dem Oxid geteilt durch Dicke des Oxids

ANMERKUNG

$$E_{ox} = U_{ox} / t_{ox} \quad (1)$$

Dabei ist

E_{ox} die elektrische Feldstärke im Oxid (in MV/cm);

U_{ox} die elektrische Spannung über dem Oxid;

t_{ox} die Dicke des Oxids.

t_{ox} muss mit einem dokumentierten konsistenten Verfahren bestimmt werden (mittels physikalischer Messverfahren wie Raster-Elektronen-Mikroskopie (REM), Transmissions-Elektronen-Mikroskopie (TEM) oder Kapazitäts-Spannungs-Analyse (CV-Analyse; CV: capacitance voltage)). Wichtiger Hinweis: Die angelegte elektrische Spannung ist nicht notwendigerweise die Spannung über dem Oxid. Bei ultradünnen Oxiden treten Quanteneffekte wie das Quanten-Confinement auf und die Verarmung der Gate-Elektrode bewirkt eine effektive Reduzierung der Spannung über dem Oxid. Das Verfahren zur t_{ox} -Bestimmung oder ein Verweis auf die dokumentierte Norm müssen im Prüfbericht enthalten sein.

2.2

Leckstrom im Gateoxid

I_g

Leckstrom, welcher im Gateanschluss eines Feld-Effekt-Transistors mit isoliertem Gate fließt

ANMERKUNG Im Allgemeinen wird für den Gate-Leckstrom das Symbol I_g verwendet.

2.3

ursprünglicher Leckstrom im Gateoxid

Initial-Gateleckstrom

I_{g0}

Leckstrom, welcher im Gateanschluss eines Feld-Effekt-Transistors mit isoliertem Gate fließt, wenn eine Spannung angelegt wird, allerdings vor der Beanspruchung mit der Prüf-Spannung oder der Prüf-Feldstärke

2.4

Bürdenstrom

Laststrom, Compliance-Strom

I_{comp}

höchster Ausgangslast-Strom der spannungstreibenden Einrichtung

ANMERKUNG Ein Last-Grenzwert kann für eine bestimmte Beanspruchung festgelegt werden.

2.5

gemessener Leckstrom im Gateoxid

I_{meas}

Gate-Leckstrom, welcher in der Vorprüfung oder in der CVS-Prüfung (CVS; en: constant voltage stress) gemessen wird

2.6

stress-induzierter Gateoxid-Leckstrom

I_{SILC}

durch Beanspruchung verursachter Leckstrom, welcher bei der Spannung U_{SILC} gemessen wird

ANMERKUNG Beim Verwenden des Stressunterbrechungs-Verfahrens (Stress-Interruption) zum Ermitteln des Durchbruchs wird dieser Wert während der konstanten Spannungsbeanspruchung sowohl gemessen als auch verglichen.

2.7

Betriebs-Leckstrom im Gateoxid

I_{use}

gemessener üblicher Strom durch das Oxid beim Anlegen normaler Betriebsspannung

2.8

Gateoxid-Leckstrom unter Beanspruchung

I_{stress}

Strom im Gateoxid, welcher während der CVS-Beanspruchung gemessen wird

2.9

anfangs gemessener Gateoxid-Leckstrom

I_{previous}

Strom im Gateoxid, welcher vor der CVS-Beanspruchung gemessen wird

2.10

Dauer bis zum Durchbruch

Durchbruchsdauer

t_{bd}

Summe der jeweiligen einzelnen Dauern, bei denen die Beanspruchungsspannung am Gateoxid angelegt wird, bis das Oxid fehlerhaft wird

ANMERKUNG Bei der CVS-Prüfung wird zum Messen und zur Prüfbeurteilung die angelegte Beanspruchungsspannung wiederholt unterbrochen (siehe Bild 1).

2.11

Beanspruchungsdauer

Beanspruchungsintervall

t_{int}

Dauer, während welcher die Beanspruchung ausgeübt wird, bevor diese unterbrochen wird und I_{SILC} gemessen wird, und zwar beim Stressunterbrechungs-Verfahren zur Ermittlung des Durchbruchs

ANMERKUNG Siehe Bild 3.

2.12

Dicke des Gateoxids

t_{ox}

physikalische Dicke des Gateoxids

2.13

Wartedauer

Erholddauer

t_{wait}

Dauer vor dem Messen von I_{SILC} , nachdem eine Beanspruchung beim Stressunterbrechungs-Verfahren zur Ermittlung des Durchbruchs unterbrochen wurde (siehe Bild 3)

2.14

SILC-Spannung

U_{SILC}

Spannung, bei welcher der stress-induzierte Leckstrom (I_{SILC}) gemessen wird

2.15

(Prüf-)Beanspruchungsspannung

Stress-Spannung

U_{stress}

Spannung, welche bei der CVS-Prüfung angelegt wird

2.16

Betriebsspannung

U_{use}

Spannung, welche bei der Vorprüfung angelegt wird, um das Bauelement zu validieren

ANMERKUNG Diese Spannung ist üblicherweise die Versorgungsspannung oder Betriebsspannung für die Bauelementetechnologie.

3 Prüf- und Messeinrichtung

Das TDDB-Prüfverfahren kann sowohl für in Gehäusen verkappte Bauelemente (Package-Level) als auch auf dem Wafer befindliche (unverkappte) Bauelemente (Wafer-Level) angewandt werden. Für das Prüfen auf dem Gehäuse-Level ist eine Hochtemperatur-Wärmekammer zu verwenden. Im Falle des Prüfens auf dem Wafer-Level ist ein Wafer-Prober mit einem heizbaren Test-Board oder einer heizbaren Messfassung erforderlich. Außerdem sind Messinstrumente notwendig, um die Ausfall- und Beurteilungskriterien zu überprüfen (diese sind abhängig von t_{ox} , der Bauelementestruktur und der Bauelementefläche).

4 Prüflinge

4.1 Allgemeines

Die Prüflinge für die TDDB-Beanspruchung sollten die unten angegebene Teststruktur und Fläche haben.

4.2 Teststruktur: Kapazitives Schaltungselement (Kondensator)

Die Prüflinge haben eine Kondensatorstruktur, welche aus der dielektrischen Gateschicht und der Gate-Elektrode besteht und auf dem Siliziumsubstrat aufgebaut wird.

Eine Kondensator- oder Feldeffekt-Transistor(FET)-Struktur kann für den Zweck dieser Prüfung gewählt werden. Flächen und Geometrien können variieren.

FET-Strukturen sind Kondensatorstrukturen vorzuziehen, weil die Beanspruchungen in einem Betriebszustand ausgeübt werden sollten, welcher der inverse Fall ist. Mehrfachstrukturen mit Variationen in den aktiven Flächen, Umrissen der Isolations- und Gatekanten werden empfohlen, um Flächenskalierungen zu messen und auch Flächen, verglichen mit Umrissseffekten, zu bestimmen.

Anschlüsse von Teststrukturen sollten so gestaltet sein, dass der Widerstand minimiert wird, um Spannungsabfälle zu verhindern.

Es wird empfohlen, mindestens drei Bauelementeflächen zu verwenden, um eine angemessene Flächenskalierung zu erhalten.

Es ist wesentlich, den Formparameter der Weibullverteilung zu erhalten.