

	DIN EN 62026-2 (VDE 0660-2026-2)	DIN
	Diese Norm ist zugleich eine VDE-Bestimmung im Sinne von VDE 0022. Sie ist nach Durchführung des vom VDE-Präsidium beschlossenen Genehmigungsverfahrens unter der oben angeführten Nummer in das VDE-Vorschriftenwerk aufgenommen und in der „etz Elektrotechnik + Automation“ bekannt gegeben worden.	VDE

ICS 29.130.20

Einsprüche bis 2007-09-30

Entwurf

**Niederspannungsschaltgeräte –
Steuerung-Geräte-Netzwerke (CDIs) –
Teil 2: Aktuator Sensor Interface (AS-i)
(IEC 17B/1506/CDV:2006);
Deutsche Fassung prEN 62026-2:2006**

Low-voltage switchgear and controlgear –
Controller-device interfaces (CDIs) –
Part 2: Actuator Sensor interface (AS-i)
(IEC 17B/1506/CDV:2006);
German version prEN 62026-2:2006

Appareillage à basse tension –
Interfaces appareil de commande/appareil (CDI) –
Partie 2: Interface capteur-actionneur (AS-i)
(CEI 17B/1506/CDV:2006);
Version allemande prEN 62026-2:2006

Anwendungswarnvermerk

Dieser Norm-Entwurf wird der Öffentlichkeit zur Prüfung und Stellungnahme vorgelegt.

Weil die beabsichtigte Norm von der vorliegenden Fassung abweichen kann, ist die Anwendung dieses Entwurfes besonders zu vereinbaren.

Stellungnahmen werden erbeten

- vorzugsweise als Datei per E-Mail an **dke@vde.com** in Form einer Tabelle. Die Vorlage dieser Tabelle kann im Internet unter **www.dke.de/stellungnahme** abgerufen werden
- oder in Papierform an die DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE, Stresemannallee 15, 60596 Frankfurt am Main.

Die Empfänger dieses Norm-Entwurfs werden gebeten, mit ihren Kommentaren jegliche relevante Patentrechte, die sie kennen, mitzuteilen und unterstützende Dokumentationen zur Verfügung zu stellen.

Gesamtumfang 453 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

– Entwurf –

E DIN EN 62026-2 (VDE 0660-2026-2):2007-08

Beginn der Gültigkeit

Diese Norm gilt ab ...

Nationales Vorwort

Die Deutsche Fassung des europäischen Dokuments prEN 62026-2:2006 „Niederspannungsschaltgeräte – Steuerung-Geräte-Netzwerke (CDIs) – Teil 2: Aktuator Sensor Interface (AS-i)“ (Entwurf in der Umfrage) ist unverändert in diesen Norm-Entwurf übernommen worden.

Die Internationale Elektrotechnische Kommission (IEC) und das Europäische Komitee für Elektrotechnische Normung (CENELEC) haben vereinbart, dass ein auf IEC-Ebene erarbeiteter Entwurf für eine Internationale Norm zeitgleich (parallel) bei IEC und CENELEC zur Umfrage (CDV-Stadium) und Abstimmung als FDIS (en: Final Draft International Standard) bzw. Schluss-Entwurf für eine Europäische Norm gestellt wird, um eine Beschleunigung und Straffung der Normungsarbeit zu erreichen. Dem entsprechend ist das internationale Dokument IEC 17B/1506/CDV:2006 „Low-voltage switchgear and controlgear – Controller-device interfaces (CDIs) – Part 2: Actuator Sensor interface (AS-i)“ unverändert in den Entwurf prEN 62026-2:2006 übernommen worden.

Da die Deutsche Fassung noch nicht endgültig mit der Englischen und Französischen Fassung abgeglichen ist, ist die englische Originalfassung des IEC-CDV entsprechend der diesbezüglich durch die IEC erteilten Erlaubnis beigefügt. Die Nutzungsbedingungen für den deutschen Text des Norm-Entwurfes gelten gleichermaßen auch für den englischen IEC-Text.

Das internationale Dokument wurde vom SC 17B „Low-voltage switchgear and controlgear“ der Internationalen Elektrotechnischen Kommission (IEC) erarbeitet.

Bei der Abstimmung zu dem Europäischen Schluss-Entwurf bei CENELEC und dem Internationalen Schluss-Entwurf bei IEC [Final Draft International Standard (FDIS)] sind jeweils nur „JA/NEIN“-Entscheidungen möglich, wobei „NEIN“-Entscheidungen fundiert begründet werden müssen. Dokumente, die bei CENELEC als Europäische Norm angenommen und ratifiziert werden, sind unverändert als Deutsche Normen zu übernehmen.

Für diesen Norm-Entwurf ist das nationale Arbeitsgremium K 431 „Niederspannungsschaltgeräte und -kombinationen“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (<http://www.dke.de>) zuständig.

Nationaler Anhang NA (informativ)

Zusammenhang mit Europäischen und Internationalen Normen

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Eine Information über den Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ist in Tabelle NA.1 wiedergegeben.

Tabelle NA.1

Europäische Norm	Internationale Norm	Deutsche Norm	Klassifikation im VDE-Vorschriftenwerk
EN 60068-2-6:1995	IEC 60068-2-6:1995 + Corr.:1995	DIN EN 60068-2-6:1996-05	–
EN 60068-2-27:1993	IEC 60068-2-27:1987	DIN EN 60068-2-27:1995-03	–
EN 60204-1:2006	IEC 60204-1:2005, modifiziert	DIN EN 60204-1 (VDE 0113-1):2007-06	VDE 0113-1
–	IEC 60227-2	–	–
EN 60228:2005 + Corr.:2005	IEC 60228:2004	DIN EN 60228 (VDE 0295):2005-09	VDE 0295
–	IEC 60304:1982	DIN IEC 60304:1987-01	–
EN 60352-6:1997	IEC 60352-6:1997	DIN EN 60352-6:1998-03	–
HD 60364-4-41:2007	IEC 60364-4-41:2005, modifiziert	DIN VDE 0100-410 (VDE 0100-410):2007-06	VDE 0100-410
EN 60529:1991 + A1:2000	IEC 60529:1989 + A1:1999	DIN EN 60529 (VDE 0470-1):2000-09	VDE 0470-1
EN 60947-1:2004 + Corr.:2004	IEC 60947-1:2004	DIN EN 60947-1 (VDE 0660-100):2005-01	VDE 0660-100
EN 60947-4-1:2001 + A1:2002 + A2:2005	IEC 60947-4-1:2000 + Corr.:2001 + A1:2002 + A2:2005	DIN EN 60947-4-1 (VDE 0660-102):2006-04	VDE 0660-102
EN 60947-4-2	IEC 60947-4-2	DIN EN 60947-4-2 (VDE 0660-117)	VDE 0660-117
EN 60947-5-2:1998 + A1:1999 + A2:2004	IEC 60947-5-2:1997 + A1:1999 + A2:2003	DIN EN 60947-5-2 (VDE 0660-208):2004-11	VDE 0660-208
–	–	DIN EN 60947-5-2 Berichtigung 1 (VDE 0660-208 Berichtigung 1):2005-05	VDE 0660-208 Berichtigung 1
–	–	DIN EN 60947-5-2 Berichtigung 2 (VDE 0660-208 Berichtigung 2):2006-02	VDE 0660-208 Berichtigung 2
EN 61000-4-2:1995 + A1:1998 + A2:2001	IEC 61000-4-2:1995 + A1:1998 + A2:2000	DIN EN 61000-4-2 (VDE 0847-4-2):2001-12	VDE 0847-4-2
EN 61000-4-3:2006	IEC 61000-4-3:2006	DIN EN 61000-4-3 (VDE 0847-4-3):2006-12	VDE 0847-4-3
EN 61000-4-4:2004	IEC 61000-4-4:2004	DIN EN 61000-4-4 (VDE 0847-4-4):2005-07	VDE 0847-4-4
EN 61131-2:2003	IEC 61131-2:2003	DIN EN 61131-2 (VDE 0411-500):2004-02	VDE 0411-500
EN 61140:2002 + A1:2006	IEC 61140:2001 + A1:2004, modifiziert	DIN EN 61140 (VDE 0140-1):2007-03	VDE 0140-1
EN 61508-1:2001	IEC 61508-1:1998 + Corr.:1999	DIN EN 61508-1 (VDE 0803-1):2002-11	VDE 0803-1

– Entwurf –

E DIN EN 62026-2 (VDE 0660-2026-2):2007-08

Europäische Norm	Internationale Norm	Deutsche Norm	Klassifikation im VDE-Vorschriftenwerk
EN 61800-2:1998	IEC 61800-2:1998	DIN EN 61800-2 (VDE 0160-102):1999-08	VDE 0160-102
–	IEC/TS 61915:2003	–	–
– prEN 62026-1:2006	IEC 62026-1 zurzeit: IEC 17B/1505/CDV:2006	– E DIN EN 62026-1 (VDE 0660-2026-1):2007-08	– VDE 0660-2026-1
EN 55011:2007	CISPR 11:2003 (mod.) + A1:2004 (mod.)	zurzeit: E DIN EN 55011 (VDE 0875-11):2006-07	VDE 0875-11
EN 55011/A2:2007	CISPR 11/A2:2006	–	–

Nationaler Anhang NB (informativ)

Literaturhinweise

DIN EN 60068-2-6:1996-05, *Umweltprüfungen – Teil 2: Prüfungen; Prüfung Fc: Schwingen, sinusförmig* (IEC 60068-2-6:1995 + Corrigendum 1995); Deutsche Fassung EN 60068-2-6:1995

DIN EN 60068-2-27:1995-03, *Umweltprüfungen – Teil 2: Prüfungen – Prüfung Ea und Leitfaden: Schocken* (IEC 60068-2-27:1987); Deutsche Fassung EN 60068-2-27:1993

DIN EN 60204-1 (VDE 0113-1):2007-06, *Sicherheit von Maschinen – Elektrische Ausrüstung von Maschinen – Teil 1: Allgemeine Anforderungen* (IEC 60204-1:2005, modifiziert); Deutsche Fassung EN 60204-1:2006

DIN EN 60228 (VDE 0295):2005-09, *Leiter für Kabel und isolierte Leitungen* (IEC 60228:2004); Deutsche Fassung EN 60228:2005 + Corrigendum:2005

DIN IEC 60304:1987-01, *Standardfarben der Isolierung von Niederfrequenz-Kabeln und -Drähten; Identisch mit IEC 60304, Ausgabe 1982*

DIN EN 60352-6:1998-03, *Lötfreie Verbindungen – Teil 6: Durchdringverbindungen – Allgemeine Anforderungen, Prüfverfahren und Anwendungshinweise* (IEC 60352-6:1997); Deutsche Fassung EN 60352-6:1997

DIN VDE 0100-410 (VDE 0100-410):2007-06, *Errichten von Niederspannungsanlagen – Teil 4-41: Schutzmaßnahmen – Schutz gegen elektrischen Schlag* (IEC 60364-4-41:2005, modifiziert); Deutsche Übernahme HD 60364-4-41:2007

DIN EN 60529 (VDE 0470-1):2000-09, *Schutzarten durch Gehäuse (IP-Code)* (IEC 60529:1989 + A1:1999); Deutsche Fassung EN 60529:1991 + A1:2000

DIN EN 60947-1 (VDE 0660-100):2005-01, *Niederspannungsschaltgeräte – Teil 1: Allgemeine Festlegungen* (IEC 60947-1:2004); Deutsche Fassung EN 60947-1:2004 + Corrigendum:2004

DIN EN 60947-4-1 (VDE 0660-102):2006-04, *Niederspannungsschaltgeräte – Teil 4-1: Schütze und Motorstarter – Elektromechanische Schütze und Motorstarter* (IEC 60947-4-1:2000 + Corrigendum:2001 + A1:2002 + A2:2005); Deutsche Fassung EN 60947-4-1:2001 + A1:2002 + A2:2005

DIN EN 60947-4-2 (VDE 0660-117), *Niederspannungsschaltgeräte – Teil 4-2: Schütze und Motorstarter; Halbleiter-Motor-Steuergeräte und -Starter für Wechselspannungen (IEC 60947-4-2); Deutsche Fassung EN 60947-4-2*

DIN EN 60947-5-2 (VDE 0660-208):2004-11, *Niederspannungsschaltgeräte – Teil 5-2: Steuergeräte und Schaltelemente – Näherungsschalter (IEC 60947-5-2:1997 + A1:1999 + A2:2003); Deutsche Fassung EN 60947-5-2:1998 + A1:1999 + A2:2004*

DIN EN 60947-5-2 Berichtigung 1 (VDE 0660-208 Berichtigung 1):2005-05, *Niederspannungsschaltgeräte – Teil 5-2: Steuergeräte und Schaltelemente – Näherungsschalter (IEC 60947-5-2:1997 + A1:1999 + A2:2003); Deutsche Fassung EN 60947-5-2:1998 + A1:1999 + A2:2004; Berichtigungen zu DIN EN 60947-5-2 (VDE 0660-208):2004-11*

DIN EN 60947-5-2 Berichtigung 2 (VDE 0660-208 Berichtigung 2):2006-02, *Niederspannungsschaltgeräte – Teil 5-2: Steuergeräte und Schaltelemente – Näherungsschalter (IEC 60947-5-2:1997 + A1:1999 + A2:2003); Deutsche Fassung EN 60947-5-2:1998 + A1:1999 + A2:2004, Berichtigungen zu DIN EN 60947-5-2 (VDE 0660-208):2004-11*

DIN EN 61000-4-2 (VDE 0847-4-2):2001-12, *Elektromagnetische Verträglichkeit (EMV) – Teil 4-2: Prüf- und Messverfahren – Prüfung der Störfestigkeit gegen die Entladung statischer Elektrizität (IEC 61000-4-2:1995 + A1:1998 + A2:2000); Deutsche Fassung EN 61000-4-2:1995 + A1:1998 + A2:2001*

DIN EN 61000-4-3 (VDE 0847-4-3):2006-12, *Elektromagnetische Verträglichkeit (EMV) – Teil 4-3: Prüf- und Messverfahren – Prüfung der Störfestigkeit gegen hochfrequente elektromagnetische Felder (IEC 61000-4-3:2006); Deutsche Fassung EN 61000-4-3:2006*

DIN EN 61000-4-4 (VDE 0847-4-4):2005-07, *Elektromagnetische Verträglichkeit (EMV) – Teil 4-4: Prüf- und Messverfahren – Prüfung der Störfestigkeit gegen schnelle transiente elektrische Störgrößen/Burst (IEC 61000-4-4:2004); Deutsche Fassung EN 61000-4-4:2004*

DIN EN 61131-2 (VDE 0411-500):2004-02, *Speicherprogrammierbare Steuerungen – Teil 2: Betriebsmittelanforderungen und Prüfungen (IEC 61131-2:2003); Deutsche Fassung EN 61131-2:2003*

DIN EN 61140 (VDE 0140-1):2007-03, *Schutz gegen elektrischen Schlag – Gemeinsame Anforderungen für Anlagen und Betriebsmittel (IEC 61140:2001 + A1:2004, modifiziert); Deutsche Fassung EN 61140:2002 + A1:2006*

DIN EN 61508-1 (VDE 0803-1):2002-11, *Funktionale Sicherheit sicherheitsbezogener elektrischer/elektronischer/programmierbarer elektronischer Systeme – Teil 1: Allgemeine Anforderungen (IEC 61508-1:1998 + Corrigendum 1999); Deutsche Fassung EN 61508-1:2001*

DIN EN 61800-2 (VDE 0160-102):1999-08, *Drehzahlveränderbare elektrische Antriebe – Teil 2: Allgemeine Anforderungen – Festlegungen für die Bemessung von Niederspannungs-Wechselstrom-Antriebssystemen mit einstellbarer Frequenz (IEC 61800-2:1998); Deutsche Fassung EN 61800-2:1998*

E DIN EN 55011 (VDE 0875-11):2006-07, *Industrielle, wissenschaftliche und medizinische Hochfrequenzgeräte (ISM-Geräte) – Funkstörungen – Grenzwerte und Messverfahren (IEC/CISPR 11:2003, modifiziert + A1:2004, modifiziert); Deutsche Fassung prEN 55011:2006*

E DIN EN 62026-1 (VDE 0660-2026-1):2007-08, *Niederspannungsschaltgeräte – Steuerung-Geräte-Netzwerke (CDIs) – Teil 1: Allgemeine Festlegungen (IEC 17B/1505/CDV:2006); Deutsche Fassung prEN 62026-1:2006*

– **Entwurf** –

E DIN EN 62026-2 (VDE 0660-2026-2):2007-08

– Leerseite –

Deutsche Fassung

Niederspannungsschaltgeräte – Steuerung-Geräte-Netzwerke (CDIs) – Teil 2: Aktuator Sensor Interface (AS-i)

Inhalt

	Seite
1 Anwendungsbereich	6
2 Normative Verweisungen	6
3 Begriffe, Kurzzeichen und Abkürzungen	8
3.1 Begriffe	8
3.2 Symbole und Abkürzungen	14
4 Einteilung	15
4.1 Überblick	15
4.2 Bauteile und Schnittstellen	16
5 Kennwerte	18
5.1 Überblick	18
5.2 Signalkennwerte	18
5.3 Energie- und Datenverteilung	21
5.4 AS-i-Topologie und andere Bauteile	23
5.5 Kommunikation	25
5.6 AS-i-Einzeltransaktionen	28
5.7 Kombinierte AS-i-Transaktionen	40
5.8 AS-i-Fehlererkennung	58
6 Produktinformationen	59
6.1 Einbau-, Bedienungs- und Wartungsanweisungen	59
6.2 Profile	59
6.3 Aufschriften	59
7 Übliche Betriebs-, Einbau- und Transportbedingungen	61
7.1 Übliche Betriebsbedingungen	61
7.2 Bedingungen während Transport und Lagerung	61
7.3 Montage	61
8 Anforderungen an den Bau und das Verhalten	62
8.1 AS-i-Übertragungsmedium	62
8.2 AS-i-Stromversorgung	65
8.3 AS-i-Repeater und andere Bauteile	67
8.4 AS-i-Slave	68
8.5 AS-i-Master	84
8.6 Elektromechanische Verträglichkeit (EMV)	88
9 Prüfungen	89
9.1 Arten von Prüfungen	89
9.2 Prüfung des Übertragungsmediums	90
9.3 Prüfung der AS-i-Stromversorgung	90
9.4 Prüfung des AS-i-Repeater und anderer Bauteile	96
9.5 Prüfung eines AS-i-Slaves	103

	Seite
9.6 Prüfung eines AS-i-Masters.....	117
Anhang A (normativ) Slaveprofile	132
Anhang B (normativ) Masterprofile	224
Bild 1 – AS-i-Bauteile und Schnittstellen.....	16
Bild 2 – Übertragungs Codierung	19
Bild 3 – Anforderungen an den Empfänger.....	21
Bild 4 – AS-i-Stromversorgung.....	21
Bild 5 – Ersatzschaltbild der Symmetrier- und Entkopplungsschaltung.....	23
Bild 6 – Modell des AS-i-Übertragungsmediums	24
Bild 7 – Transaktionen	26
Bild 8 – Master- und Slavepause aus Sicht des Masters/Slaves.....	26
Bild 9 – Darstellung der Masterpause	27
Bild 10 – Struktur einer Masteranforderung	29
Bild 11 – Struktur einer Slaveantwort.....	32
Bild 12 – Struktur der Anforderung Data_Exchange (oben: Standardadressierung; unten: erweiterte Adressierung).....	32
Bild 13 – Struktur der Slaveantwort (Data_Exchange)	33
Bild 14 – Struktur der Anforderung Write_Parameter (oben: Standardadressierung; unten: erweiterte Adressierung).....	33
Bild 15 – Struktur der Slaveantwort (Write_Parameter).....	33
Bild 16 – Struktur der Anforderung Address_Assignment	33
Bild 17 – Struktur der Slaveantwort (Address_Assignment).....	34
Bild 18 – Struktur der Anforderung Write_Extended_ID-Code_1	34
Bild 19 – Struktur der Slaveantwort (Write_Extended_ID-Code_1).....	34
Bild 20 – Struktur der Anforderung Reset_Slave (oben: Standardadressierung; unten: erweiterte Adressierung).....	35
Bild 21 – Struktur der Slaveantwort (Reset_Slave).....	35
Bild 22 – Struktur der Anforderung Delete_Address (oben: Standardadressierung; unten: erweiterte Adressierung).....	35
Bild 23 – Struktur der Slaveantwort (Delete_Address)	35
Bild 24 – Struktur der Anforderung Read_I/O_Configuration (oben: Standardadressierung; unten: erweiterte Adressierung).....	36
Bild 25 – Struktur der Slaveantwort (Read_I/O_Configuration)	36
Bild 26 – Struktur der Anforderung Read_Identification_Code (oben: Standardadressierung; unten: erweiterte Adressierung).....	37
Bild 27 – Struktur der Slaveantwort (Read_Identification_Code)	37
Bild 28 – Struktur der Anforderung Read_Extended_ID-Code_1/2 (oben: Standardadressierung; unten: erweiterte Adressierung).....	38
Bild 29 – Struktur der Slaveantwort (Read_Extended_ID-Code_1/2).....	38
Bild 30 – Struktur der Anforderung Read_Status (oben: Standardadressierung; unten: erweiterte Adressierung).....	39
Bild 31 – Struktur der Slaveantwort (Read_Status)	39
Bild 32 – Struktur der Anforderung R1 (oben: Standardadressierung; unten: erweiterte Adressierung).....	39
Bild 33 – Struktur der Slaveantwort (R1)	39
Bild 34 – Struktur der Anforderung Broadcast (Reset)	40
Bild 35 – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 1	41
Bild 36 – Definition der Parameterbits in kombinierten Transaktionen des Typs 1	41

Bild 37 – Funktionsablauffolge für Read ID, Read Diagnosis und Read Parameter in kombinierten Transaktionen des Typs 1	44
Bild 38 – Funktionsablauffolge für Write Parameter in kombinierten Transaktionen des Typs 1	45
Bild 39 – Verhalten des Slaves beim Empfang einer vollständigen Parameterzeichenkette vom Master bei kombinierten Transaktionen des Typs 1	46
Bild 40 – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 2	47
Bild 41 – Typische Signale einer kombinierten Transaktion des Typs 2 aus Sicht eines Oszilloskopes (beide Datenkanäle sind leer)	48
Bild 42 – Typische Signale einer kombinierten Transaktion des Typs 2 (der Master überträgt das Byte 10101011 _{Bin} , der Slave überträgt das Byte 01110101 _{Bin})	49
Bild 43 – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 3 (4E/4A)	50
Bild 44a – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 3 (8E/8A)	51
Bild 44b – Zustandsdiagramm des Slaves für kombinierte Transaktionen des Typs 3 (8E/8A)	51
Bild 45 – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 4	53
Bild 46 – AS-i-Normkabel für die Feldinstallation (alle Maße in mm)	62
Bild 47 – AS-i-Schalterschrankkabel (alle Maße in mm)	63
Bild 48 – Ersatzschaltbild der Entkopplungsschaltung	66
Bild 49 – Entkopplungsschaltung mit einem Transformator	67
Bild 50 – Typisches Zeitablaufdiagramm für bidirektionale Ein-/Ausgänge (D1, .. D3 = Spannungspegel am entsprechenden Datenport, typische Zeiten in µs)	69
Bild 51 – Hauptzustandsdiagramm eines AS-i-Slaves	72
Bild 52 – Ersatzschaltung eines Slaves für Frequenzen im Bereich von 50 kHz bis 300 kHz	80
Bild 53 – Ein Slave mit C ₃ zur Kompensation für Z ₁ = Z ₂	81
Bild 54 – Statusanzeige an Slaves	83
Bild 55 – Aufbau eines AS-i-Masters	85
Bild 56 – Impedanzen des Masters	86
Bild 57 – Ersatzschaltung eines Masters für Frequenzen im Bereich von 50 kHz bis 300 kHz	86
Bild 58 – Zustandsmaschine der Übertragungssteuerung	87
Bild 59 – AS-i-Schnittstellen	90
Bild 60 – Prüfschaltung für die Impedanzmessung	91
Bild 61 – Einstellbare Stromsenke (Prüfschaltung NT_MODSENKE)	92
Bild 62 – Anzeigeschaltung (Prüfschaltung NT_IMPSYM)	92
Bild 63 – Anzeige (Teil der Prüfschaltung NT_IMPSYM)	92
Bild 64 – Prüfaufbau für die Symmetriemessung	93
Bild 65 – Prüfschaltung für die Störaussendung	94
Bild 66 – Filter A (Tiefpass 0 Hz bis 10 kHz)	94
Bild 67 – Filter B (Bandpass 10 kHz bis 500 kHz)	94
Bild 68 – Prüfschaltung für das Einschaltverhalten	96
Bild 69 – Messaufbau für die Impedanzmessung a) mit einem Impedanzanalysator und b) mit Oszilloskop, Stromzange und Sinuswellengenerator	97
Bild 70 – Prüfschaltung für die Symmetriemessung	99
Bild 71 – Prüfschaltung (Einzelheit 1)	100
Bild 72 – Prüfschaltung (Einzelheit 2)	100
Bild 73 – Bandpass (10 kHz bis 500 kHz)	100
Bild 74 – Verfahren für die Symmetrieprüfung	101
Bild 75 – Prüfschaltung für die Kompatibilität in AS-i-Netzwerken	102
Bild 76 – Zusätzliche Prüfschaltung 1 für Repeater	102
Bild 77 – Zusätzliche Prüfschaltung 2 für Repeater	103

	Seite
Bild 78 – Prüfschaltung	104
Bild 79 – Entkopplungsnetzwerk der Prüfschaltung.....	104
Bild 80 – Prüfschaltung	105
Bild 81 – Prüfschaltung des Entkopplungsnetzwerkes	106
Bild 82 – Prüfschaltung (Ersatzschaltung einer 10 m langen AS-i-Leitung	106
Bild 83 – Prüfschaltung (Bandpass 10 kHz bis 500 kHz)	106
Bild 84 – Prüfschaltung	107
Bild 85 – Konstantstromquelle	108
Bild 86 – Prüfschaltung a) mit Impedanzanalysator, b) Alternativlösung mit Generator, Stromzange und Oszilloskop.....	109
Bild 87 – Prüfschaltung	111
Bild 88 – Prüfschaltung (Einzelheit 1)	111
Bild 89 – Prüfschaltung (Einzelheit 2)	112
Bild 90 – Verfahren für die Symmetrieprüfung.....	113
Bild 91 – Prüfschaltung des AS-i-Netzwerkes	114
Bild 92 – Prüfschaltung für sicherheitsbezogene Slaves	115
Bild 93 – Prüfschaltung für die Prüfung der Stromaufnahme	117
Bild 94 – Entkopplungsnetzwerk, Strommessgerät und Stromversorgung	117
Bild 95 – Prüfschaltung für die Prüfung der Störaussendung eines AS-i-Masters	118
Bild 96 – Entkopplungsnetzwerk.....	118
Bild 97 – Bandpass 10 kHz bis 500 kHz	119
Bild 98 – Ersatzschaltung der 10 m langen AS-i-Leitung	119
Bild 99 – Prüfschaltung zur Impedanzmessung a) mit dem Impedanzanalysator b) mit Sinuswellengenerator, Stromzange, Oszilloskop und Prüfschaltung (IMP_SYM)	121
Bild 100 – Masteranschluss für die Symmetriemessung	122
Bild 101 – Prüfschaltung für die Symmetriemessung des AS-i-Masters	123
Bild 102 – Bandpass 10 kHz bis 500 kHz	123
Bild 103 – Verfahren für die Symmetrieprüfung.....	124
Bild 104 – Prüfschaltung für die Prüfung der Einschaltverzögerung	125
Bild 105 – Oszillogramm der Einschaltverzögerung (Beispiel)	125
Bild 106 – Blockschaltbild für die Messung der Stromaufnahme des AS-i-Masters	126
Bild 107 – Konstantstromquelle mit Auslöseausgang (Trigger) (KONST_I)	126
Bild 108 – Oszillogramm der Stromaufnahme (Beispiel)	126
Bild 109 – Prüfschaltung zur Prüfung des Einschaltvorgangs	127
Bild 110 – Prüfschaltung zur Prüfung des Normalbetriebs	129
Bild 111 – Prüfschaltung	131
Bild A.1 – Definition des Bits des erweiterten ID2-Codes für S-7.3	188
Bild A.2 – Definition des Bits des erweiterten ID2-Codes für S-7.4	192
Bild A.3 – Datenstruktur der ID-String (S-7.4).....	197
Bild A.4 – Datenstruktur der Diagnosezeichenkette (S-7.4)	202
Bild A.5 – Datenstruktur der Parameterfolge (S-7.4)	203
Bild A.6 – Definition des Bits des erweiterten ID1-Codes für S-7.A.8 und S-7.A.9	215
Bild A.7 – Anschluss mechanischer Schalter.....	223
Tabelle 1 – Spezifikationen der AS-i-Stromversorgung	22
Tabelle 2 – Spezifikationen der Symmetrier- und Entkopplungsschaltung	23
Tabelle 3 – Bitzeichenketten der Masteranforderungen	29
Tabelle 4 – Masteranforderungen (Standardadressierung).....	30

	Seite
Tabelle 5 – Masteranforderungen bei erweiterter Adressierung	31
Tabelle 6 – Bitzeichenketten der Slaveantworten	32
Tabelle 7 – E/A-Codes (IN = Eingang, OUT = Ausgang, TRI = Tri-State, I/O = Ein-/Ausgang oder bidirektional (B))	37
Tabelle 8 – Liste der Typen kombinierter Transaktionen	40
Tabelle 9 – Datentransfer vom Slave zum Master in kombinierten Transaktionen des Typs 1	42
Tabelle 10 – Datentransfer vom Master zum Slave in kombinierten Transaktionen des Typs 1	43
Tabelle 11 – Definition des seriellen Taktes und serieller Daten in kombinierten Transaktionen des Typs 2	48
Tabelle 12 – Datentransfer in kombinierten Transaktionen des Typs 2	48
Tabelle 13 – Definition des ID2-Codes für kombinierte Transaktionen des Typs 5	55
Tabelle 14 – Eingangszustände von sicherheitsbezogenen Eingangsslaves	57
Tabelle 15 – Anschluss- und Verdrahtungskennzeichnung	60
Tabelle 16 – Kennzeichnung der AS-i-Stromversorgung	61
Tabelle 17 – Umgebungsbedingungen (Mindestanforderungen)	65
Tabelle 18 – Allgemeine Anforderungen für eine AS-i-Stromversorgung	66
Tabelle 19 – Physikalische und logische Ports eines AS-i-Slaves	68
Tabelle 20 – Grenzwerte für R , L und C in der Ersatzschaltung eines Slaves	81
Tabelle 21 – Grenzwerte für R , L und C für die Ersatzschaltung eines Masters	86
Tabelle A.1 – Überblick über vorhandene Slaveprofile für Standardslaves (Konfiguration: I = Eingang, O = Ausgang, b = bidirektional, T = Tri-State; Profile: R = reserviert)	134
Tabelle A.2 – Liste vorhandener Profile für Standardslaves	135
Tabelle A.3 – Überblick über vorhandene Slaveprofile mit erweiterter Adressierung (ID-Code = A) (Konfiguration: I = Eingabe, O = Ausgabe, b = bidirektional, T = Tri-State; Profile: R = reserviert)	136
Tabelle A.4 – Liste vorhandener Profile für Slaves mit erweiterter Adressierung (ID=A)	136
Tabelle A.5 – Profilkatalog von S-7.D-Profilen	158
Tabelle A.6 – Überblick über die Daten von S-7.D-Profilen	158
Tabelle A.7 – Profilkatalog von S-7.E-Profilen	166
Tabelle A.8 – Überblick über die Daten von S-7.E-Profilen	166
Tabelle A.9 – Befehle für kombinierte Transaktionen des Typs 2	207
Tabelle A.10 – Azyklische Write-Dienstanforderung (Typ 2)	208
Tabelle A.11 – Azyklische Read-Dienstanforderung (Typ 2)	208
Tabelle A.12 – Azyklische Write-Dienstantwort (Typ 2)	208
Tabelle A.13 – Azyklische Read-Dienstantwort (Typ 2)	208
Tabelle A.14 – Liste von Index 0 (vorgeschrieben): ID-Objekt (R)	209
Tabelle A.15 – Liste von Index 1 (vorgeschrieben): Diagnoseobjekt (R)	209

1 Anwendungsbereich

Wenn es angegeben ist, gelten für die vorliegende Norm die allgemeinen Festlegungen von IEC 62026-1. Auf die geltenden Abschnitte sowie Tabellen, Bilder und Anhänge mit den allgemeinen Festlegungen wird mit der Bezeichnung IEC 62026-1 verwiesen, wie z. B. 7.2.4.1 von IEC 62026-1. Wenn in dieser Norm Ein- und Ausgänge (E/A) beschrieben sind, ist ihre Bedeutung auf den Master bezogen, die auf Anwendung bezogene Bedeutung ist umgekehrt.

Die Abschnitte 1 bis 8 enthalten allgemeine Anforderungen. Abschnitt 9 beinhaltet die Prüfspezifikation. Die entsprechenden Anhänge enthalten besondere Anforderungen für verschiedene Profile von Aktuatoren, Sensoren, Mastern usw.

Die vorliegende Norm legt ein Verbindungsverfahren für Schaltelemente wie Niederspannungsschaltgeräte nach IEC 60947 und Steuereinrichtungen fest. Sie kann auch für Verbindungseinrichtungen und ähnliche Geräte und Elemente angewendet werden.

Die Norm legt ein Verfahren für die Kommunikation zwischen einer einzelnen Steuereinrichtung und Schaltelementen fest und stellt ein System für die Kompatibilität von Bauteilen mit den festgelegten Kommunikationsschnittstellen auf. Das gesamte System wird als „Aktuator Sensor Interface (AS-i)“ bezeichnet.

Das Ziel der vorliegenden Norm einschließlich der zugehörigen Anhänge ist die Festlegung folgender Merkmale für Steuergeräte und Schaltelemente:

- Anforderungen an das Übertragungssystem und an die Schnittstellen zwischen einem Slave, einem Master und elektromechanischen Strukturen;
- Anforderungen für eine vollständige Kompatibilität unterschiedlicher Geräte in einem Netzwerk unter Einhaltung dieser Norm;
- Anforderungen für die gegenseitige Austauschbarkeit von Geräten in einem Netzwerk bei Erfüllung der Profile dieser Norm;
- übliche Betriebsbedingungen für Slaves, elektromechanische Geräte und Master;
- Anforderungen an den Bau und das Betriebsverhalten;
- Prüfungen zum Nachweis der Übereinstimmung mit den Anforderungen.

2 Normative Verweisungen

Die folgenden zitierten Dokumente sind für die Anwendung dieses Dokuments erforderlich. Bei datierten Verweisungen gilt nur die in Bezug genommene Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des in Bezug genommenen Dokuments (einschließlich aller Änderungen).

IEC 60068-2-6:1995, *Environmental testing – Part 2-6: Tests – Test Fc: Vibration (sinusoidal)*

IEC 60068-2-27:1987, *Environmental testing – Part 2-27: Tests – Test Ea and guidance: Shock*

IEC 60204-1:2005, *Safety of machinery – Electrical equipment of machines – Part 1: General requirements*

IEC 60227-2:1997, *Polyvinyl chloride insulated cables of rated voltages up to and including 450/750 V – Part 2: Test methods*
Amendment 1 (2003)

IEC 60228:2004, *Conductors of insulated cables*

IEC 60304:1982, *Standard colours for insulation for low-frequency cables and wires*

IEC 60352-6:1997, *Solderless connections – Part 6: Insulation piercing connections – General requirements, test methods and practical guidance*

IEC 60364-4-41:2005, *Low-voltage electrical installations – Part 4-41: Protection for safety – Protection against electric shock*

IEC 60529:1989, *Degrees of protection provided by enclosures (IP code)*
Amendment 1 (1999)

IEC 60947-1:2004, *Low-voltage switchgear and controlgear – Part 1: General rules*

IEC 60947-4-1:2000, *Low-voltage switchgear and controlgear – Part 4-1: Contactors and motor-starters – Electromechanical contactors and motor-starters*
Amendment 1 (2002)
Amendment 2 (2005)

IEC 60947-4-2:1999, *Low-voltage switchgear and controlgear – Part 4-2: Contactors and motor-starters – AC semiconductor motor controllers and starters*
Amendment 1 (2001)

IEC 60947-5-2:1997, *Low-voltage switchgear and controlgear – Part 5-2: Control circuit devices and switching elements – Proximity switches*
Amendment 1 (1999)
Amendment 2 (2003)

IEC 61000-4-2:1995, *Electromagnetic compatibility (EMC) – Part 4-2: Testing and measurement techniques – Electrostatic discharge immunity test*
Amendment 1 (1998)
Amendment 2 (2000)

IEC 61000-4-3:2006, *Electromagnetic compatibility (EMC) – Part 4-3: Testing and measurement techniques – Radiated, radio-frequency, electromagnetic field immunity test*

IEC 61000-4-4:2004, *Electromagnetic compatibility (EMC) – Part 4-4: Testing and measurement techniques – Electrical fast transient/burst immunity test*

IEC 61131-2:2003, *Programmable controllers – Part 2: Equipment requirements and tests*

IEC 61140:2001, *Protection against electric shock – Common aspects for installation and equipment*
Amendment 1 (2004)

IEC 61508-1:1998, *Functional safety of electrical/electronic/programmable electronic safety related systems*

IEC 61800-2:1998, *Adjustable speed electrical power drive systems – Part 2: General requirements – Rating specifications for low-voltage adjustable frequency a.c. power drive systems*

IEC/TS 61915:2003, *Low-voltage switchgear and controlgear – Principles for the development of device profiles for networked industrial devices*

IEC 62026-1:2007¹⁾, *Low-voltage switchgear and controlgear – Controller-device interfaces (CDIs) – Part 1: General rules*

CISPR 11:2003, *Industrial, scientific and medical (ISM) radio-frequency equipment – Electromagnetic disturbance characteristics – Limits and methods of measurement*
Amendment 1 (2004)
Amendment 2 (2006)

¹⁾ In Vorbereitung.

3 Begriffe, Kurzzeichen und Abkürzungen

3.1 Begriffe

Alphabetisches Verzeichnis der Begriffe

Abschnitt

A

Abbildung der analogen Ausgangsdaten (en: Analogue Output Data Image, AODI)	3.1.6
Abbildung der analogen Eingangsdaten (en: Analogue Input Data Image, AIDI)	3.1.5
Abbildung der Ausgangsdaten (en: output data image, ODI)	3.1.40
Abbildung der Eingangsdaten (en: input data image, IDI)	3.1.29
Abbildung der Konfigurationsdaten (en: configuration data image, CDI)	3.1.17
Ablaufsteuerung	3.1.24
Adresse	3.1.3
Adresszuweisung	3.1.4
aktiver Slave	3.1.1
Aktuator Sensor Interface (AS-i)	3.1.2
AS-i-Ausgang	3.1.12
AS-i-Eingang	3.1.8
AS-i-Leitung	3.1.9
AS-i-Master	3.1.10
AS-i-Netzwerk	3.1.11
AS-i-Slave	3.1.14
AS-i-Stromversorgung	3.1.13
AS-i-Zyklus	3.1.7
Ausgangsstromgrenze I_{Lim}	3.1.39
Auswahlbit	3.1.44

B

Betriebsadresse	3.1.38
Bitzeit (T_{Bit})	3.1.15

D

Datenaustauschphase	3.1.20
---------------------------	--------

E

E/A-Konfiguration (E/A-Code)	3.1.27
Entkopplungsschaltung	3.1.21
Erdschlussüberwachungsgerät	3.1.23
Erkennungsphase	3.1.22
erweiterte Adressierung	3.1.25

F

Feldgerät	3.1.26
-----------------	--------

flüchtig gespeicherte Daten	3.1.52
I	
Identifikationscode (ID-Code)	3.1.28
J	
Konfigurationsdaten (en: configuration data, CD)	3.1.16
L	
Liste der aktiven Slaves (en: list of active slaves, LAS)	3.1.30
Liste der dezentralen Fehler (en: list of peripheral faults, LPF)	3.1.32
Liste der erkannten Slaves (en: list of detected slaves, LDS)	3.1.31
Liste der vorgesehenen Slaves (en: list of projected slaves, LPS)	3.1.33
M	
Master	3.1.34
Masteranforderung	3.1.36
Masterpause	3.1.35
N	
nichtflüchtig gespeicherte Daten	3.1.37
Nulladresse	3.1.53
P	
Parameterabbildung (en: parameter image, PI)	3.1.41
p-Fehler	3.1.42
R	
Repeater	3.1.43
S	
Sendepause	3.1.45
Slave	3.1.46
Slaveantwort	3.1.48
Slavepause	3.1.47
Steuerschnittstelle	3.1.19
Steuerung	3.1.18
Symmetrierschaltung	3.1.49
T	
Transaktion	3.1.50
U	
Übertragungssteuerung	3.1.51
Es gilt IEC 62026-1, Abschnitt 3, mit folgenden Ergänzungen.	

3.1.1

aktiver Slave

Slave, der mit der AS-i-Leitung verbunden ist und in der Lage ist, ordnungsgemäß zu kommunizieren

3.1.2

Aktuator Sensor Interface (AS-i)

Anordnung von Schnittstellen und serielle Kommunikationsmethode für die Verbindung von Niederspannungsschaltgeräten und anderen einfachen Feldgeräten mit einer Steuerung

3.1.3

Adresse

numerischer Parameter aus dem Adressierungsbereich des AS-i-Slaves, der einen Netzknoten eines AS-i-Netzwerkes beschreibt

ANMERKUNG Die Adresse 0 ist für Slaves reserviert, die keine Adresszuweisung haben.

3.1.4

Adresszuweisung

Ersatz der existierenden Adresse eines AS-i-Slaves durch eine neue Adresse

3.1.5

Abbildung der analogen Eingangsdaten (en: Analogue Input Data Image, AIDI)

im Master gespeicherte Eingangsdaten mit den neuesten Kopien der unter Anwendung von kombinierten Transaktionen der Typen 1 bis 5 von den Eingangssignalen aller aktiven Slaves empfangenen Daten

3.1.6

Abbildung der analogen Ausgangsdaten (en: Analogue Output Data Image, AODI)

im Master gespeicherte Ausgangsdaten, die unter Anwendung von kombinierten Transaktionen der Typen 1 bis 5 mit Ausgangssignalen zyklisch zu den aktiven Slaves zu übertragen sind

3.1.7

AS-i-Zyklus

Menge von bis zu 33 Transaktionen

ANMERKUNG 1 Im Fall eines festgestellten Übertragungsfehlers darf ein Zyklus eine Wiederholung der Nachrichtenübertragung enthalten.

ANMERKUNG 2 Bei der erweiterten Adressierung sind für den Datentransfer aller Slaves mit erweiterter Adressierung zwei Zyklen erforderlich.

3.1.8

AS-i-Eingang

physikalischer oder logischer Slaveport, der eine Eingabe vom Prozess ermöglicht

3.1.9

AS-i-Leitung

zweidrahtige Leitung zur Übertragung von Informationen und Energie zu den AS-i-Slaves und zum AS-i-Master

3.1.10

AS-i-Master

Einheit an der AS-i-Leitung, die die Kommunikation zwischen den Slaves und der Steuerung sicherstellt

3.1.11

AS-i-Netzwerk

Netzwerk, das sich aus einem AS-i-Steuerkreis, Schnittstellen und Schaltelementen wie z. B. Master, Slaves, Stromversorgung, Kabel, Abgriffen und Repeatern zusammensetzt

3.1.12

AS-i-Ausgang

physikalischer oder logischer Slaveport, der eine Ausgabe zum Prozess ermöglicht

3.1.13

AS-i-Stromversorgung

in einem AS-i-Netzwerk erforderliche besondere Stromversorgung, die eine Gleichstromversorgung mit einer Symmetrier- und Entkopplungsschaltung kombiniert

3.1.14

AS-i-Slave

physikalische und logische Einrichtung zur Verbindung der Anwendungsgeräte (Aktuator, Sensor oder andere Bauteile) mit der AS-i-Leitung

ANMERKUNG Ein Slave kann ein eigenständiges Gerät oder ein Teil eines anderen Geräts sein.

3.1.15

Bitzeit (T_{Bit})

Dauer der Übertragung eines Bits

3.1.16

Konfigurationsdaten (en: configuration data, CD)

Wert der E/A-Konfiguration und des Identifikationscodes (wahlfrei des erweiterten Identifikationscodes) eines bestimmten Slaves

3.1.17

Abbildung der Konfigurationsdaten (en: configuration data image, CDI)

im AS-i-Master gespeicherte Abbildung der Konfigurationsdaten aller Slaves

3.1.18

Steuerung

Host oder Operator des Masters wie z. B. eine programmierbare Verknüpfungssteuerung, ein Personalcomputer, ein Gateway oder ein Mensch

3.1.19

Steuerschnittstelle

logische Schnittstelle zwischen Master und Steuerung

3.1.20

Datenaustauschphase

Zeit, in der der Master Ausgangsdaten an die Slaves sendet und Eingangsdaten von den Slaves empfängt

3.1.21

Entkopplungsschaltung

Teil der AS-i-Stromversorgung zur Entkopplung der Gleichstromquelle von der physikalischen Datenübertragung in einem AS-i-Netzwerk

3.1.22

Erkennungsphase

Zeit, in der die Ablaufsteuerung des Masters versucht, alle angeschlossenen und eingeschalteten Slaves zu finden

ANMERKUNG Alle erkannten Slaves werden in die Liste der erkannten Slaves (LDS) eingetragen.

3.1.23

Erdschlussüberwachungsgerät

besondere Isolations-Überwachungseinrichtung, die den Anforderungen des AS-i-Übertragungssystems gerecht wird und mit der ein unsymmetrischer Abbau der Isolation zwischen dem AS-i-Netzwerk und Erde festgestellt werden kann

3.1.24

Ablaufsteuerung

Funktion des Masters, die den Nachrichtenaustausch steuert und verschiedene Funktionen für die Steuerschnittstelle bietet

prEN 62026-2:2006

3.1.25

erweiterte Adressierung

Verdoppelung der größten Anzahl von Slaves von 31 (Adressen im Bereich von 1 bis 31) auf 62 (Adressen im Bereich von 1A/1B bis 31A/31B)

3.1.26

Feldgeräte

Geräte, die mit dem AS-i-Slave verbunden sind, wie z. B. Aktuatoren, Sensoren, Drucktaster, Anzeigelampen usw.

ANMERKUNG „Intelligente“ Feldgeräte enthalten auch integrierte AS-i-Schaltungen.

3.1.27

E/A-Konfiguration (E/A-Code)

Satz von 4 Bits, der die Richtung des Datenflusses an den E/A-Ports des Slaves definiert

3.1.28

Identifikationscode (ID-Code)

Satz von 4 Bits, der den Typ eines Slaves für eine vorhandene E/A-Konfiguration definiert (wahlfrei: erweiterte ID-Codes, die aus weiteren 2 x 4 Bits bestehen)

3.1.29

Abbildung der Eingangsdaten (en: input data image, IDI)

im Master gespeicherte und von den Slaves empfangene Eingangsdaten

3.1.30

Liste der aktiven Slaves (en: list of active slaves, LAS)

Liste aller Slaves an der AS-i-Leitung, die aktiviert und in der Lage sind, ordnungsgemäß mit dem Master zu kommunizieren

ANMERKUNG Die Liste steht im Master zur Verfügung.

3.1.31

Liste der erkannten Slaves (en: list of detected slaves, LDS)

Liste aller Slaves, die vom Master tatsächlich erkannt wurden

ANMERKUNG Die Liste steht im Master zur Verfügung.

3.1.32

Liste der dezentralen Fehler (en: list of peripheral faults, LPF)

Liste aller Slaves, bei denen das Bit für dezentrale Fehler auf „1“ gesetzt ist

ANMERKUNG Die Liste steht im Master zur Verfügung.

3.1.33

Liste der vorgesehenen Slaves (en: list of projected slaves, LPS)

Liste aller konfigurierten Slaves des Schnittstellensystems als Zielkonfiguration

ANMERKUNG Die Liste steht im Master zur Verfügung und umfasst die Konfigurationsdaten (CD) aller konfigurierten Slaves.

3.1.34

Master

Steuereinheit an der AS-i-Leitung, die seriell mit den Slaves kommuniziert

3.1.35

Masterpause

an den Masterports gemessene Zeit zwischen dem letzten Bit einer Masteranforderung und dem ersten Bit einer Slaveantwort

3.1.36

Masteranforderung

Daten, Parameter oder Funktion, die vom Master an einen einzelnen Slave gesendet werden (Ausnahme: Rundsendung)

ANMERKUNG Der Inhalt dieser Masteranforderung besteht entweder aus Daten (die zu den Ausgangsports des Slaves zu verschieben sind), Parametern oder einem Befehl.

3.1.37

nichtflüchtig gespeicherte Daten

Daten, die bei einer Unterbrechung der Stromversorgung unverändert erhalten bleiben

3.1.38

Betriebsadresse

Adresse des AS-i-Slaves außer der Nulladresse

3.1.39

Ausgangsstromgrenze I_{Lim}

Ausgangsstrom der Stromversorgung, die unter allen Umgebungs- und Lastbedingungen nicht überschritten werden darf

3.1.40

Abbildung der Ausgangsdaten (en: output data image, ODI)

im Master gespeicherte und zu den AS-i-Slaves zu übertragende Eingangsdaten

3.1.41

Parameterabbildung (en: parameter image, PI)

Parameter (Satz von 4 Bits), die die Funktionalität aller unterschiedlichen Slaves im AS-i-Netzwerk festlegen

3.1.42

p-Fehler

Gerät in einem Slave zur Meldung von dezentralen Fehlern an den Master

ANMERKUNG Bei einem dezentralen Fehler und einem „Read_Status_Request“ des Masters wird die Antwort des Slaves eine 1 im Bit S1 sein.

3.1.43

Repeater

Gerät, das das AS-i-Signal regeneriert und eine galvanische Trennung zwischen den Teilen des AS-i-Netzwerkes herstellt, sodass Netzwerke mit einer Länge von mehr als 100 m möglich sind

3.1.44

Auswahlbit

Bit in der Masteranforderung, das bei der erweiterten Adressierung zur Unterscheidung zwischen A-Slave und B-Slave benutzt wird

3.1.45

Sendepause

Zeit nach dem Empfang der Slaveantwort, in der keine nachfolgende Übertragung stattfindet

3.1.46

Slave

Netzwerkgerät oder Teil eines anderen Geräts, das eine Schnittstelle zur AS-i-Leitung bietet und mit dem Master kommuniziert

3.1.47

Slavepause

an den Masterports gemessene Zeit zwischen dem letzten Bit einer Slaveantwort und dem Sendebeginn des ersten Bits der nächsten Masteranforderung

3.1.48

Slaveantwort

Nachricht vom Slave zum Master nach dem Empfang und der fehlerfreien Verarbeitung einer Masteranforderung

ANMERKUNG Der Inhalt dieser Antwort sind entweder Daten oder das Ergebnis eines Befehls.

3.1.49

Symmetrierschaltung

Teil der AS-i-Stromversorgung zur Aufbereitung der physikalischen Datenübertragung in einem AS-i-Netzwerk

3.1.50

Transaktion

eine (Einzel-)Transaktion besteht aus einer Masteranforderung und einer Slaveantwort in der Masterpause

ANMERKUNG Es wird zwischen einer oben definierten Einzeltransaktion und kombinierten Transaktionen verschiedener Typen unterschieden. Kombinierte Transaktionen setzen sich aus einer Reihe von mehreren Einzeltransaktionen zusammen, in denen der Informationsgehalt klar definiert verknüpft ist.

3.1.51

Übertragungssteuerung

Masterfunktion, die die Datenübertragung, die Übertragungspausen und die Übertragungswiederholungen bei einem Fehler (z. B. Übertragungsfehler, fehlende Antwort vom Slave, empfangene ungültige Antwort, ...) steuert

3.1.52

flüchtig gespeicherte Daten

Daten, die sich nach einer Unterbrechung der Stromversorgung ändern dürfen

3.1.53

Nulladresse

spezielle Adresse, die reserviert ist für die Adresszuweisung einer neuen Adresse für einen AS-i-Slave während des Betriebs

3.2 Symbole und Abkürzungen

In der vorliegenden Norm werden die folgenden Symbole und Abkürzungen verwendet:

AIDI	analogue input data image Abbildung der analogen Eingangsdaten
AODI	analogue output data image Abbildung der analogen Ausgangsdaten
APF	AS-i power failure AS-i-Stromversorgungsausfall
APM	alternating pulse modulation alternierende Pulsmodulation
APO	AS-I power ON AS-i-Stromversorgung EIN
AS-i	Actuator Sensor Interface Aktuator Sensor Interface
ASI+	positives Potential des AS-i-Netzwerkes
ASI-	negatives Potential des AS-i-Netzwerkes
CB	control bit Steuerbit
CD	configuration data Konfigurationsdaten

CDI	configuration data image Abbildung der Konfigurationsdaten
EB	end bit Endbit
IDI	input data image Abbildung der Eingangsdaten
I_e	Bemessungsstrom der AS-i-Stromversorgung
I_{Lim}	Stromgrenzwert der AS-i-Stromversorgung
LAS	list of active slaves Liste der aktiven Slaves
LDS	list of detected slaves Liste der erkannten Slaves
LPF	list of peripheral faults Liste der Slaves, die dezentrale Fehlerbedingungen melden
LPS	list of projected faults Liste der vorgesehenen Slaves
MAN	Manchester-II-Code
ODI	output data image Abbildung der Ausgangsdaten
PB	parity bit Paritätsbit
PCD	permanent configuration data permanente Konfigurationsdaten
PI	parameter image Parameterabbildung
PP	permanent parameter permanenter Parameter
PSK	phase shift keying Phasenumtastung
SEL	select bit Auswahlbit, das für die erweiterte Adressierung benutzt wird
ST	start bit Startbit
T_{Bit}	Bitzeit
TS	transaction status Transaktionsstatus
00 _{Hex}	hexadezimale Darstellung von Werten, z. B. 1F _{Hex} = 31, F _{Hex} = 15
00 _{Bin}	binäre Darstellung von Werten, z. B. 1100 _{Bin} = 12, 0110 _{Bin} = 6

4 Einteilung

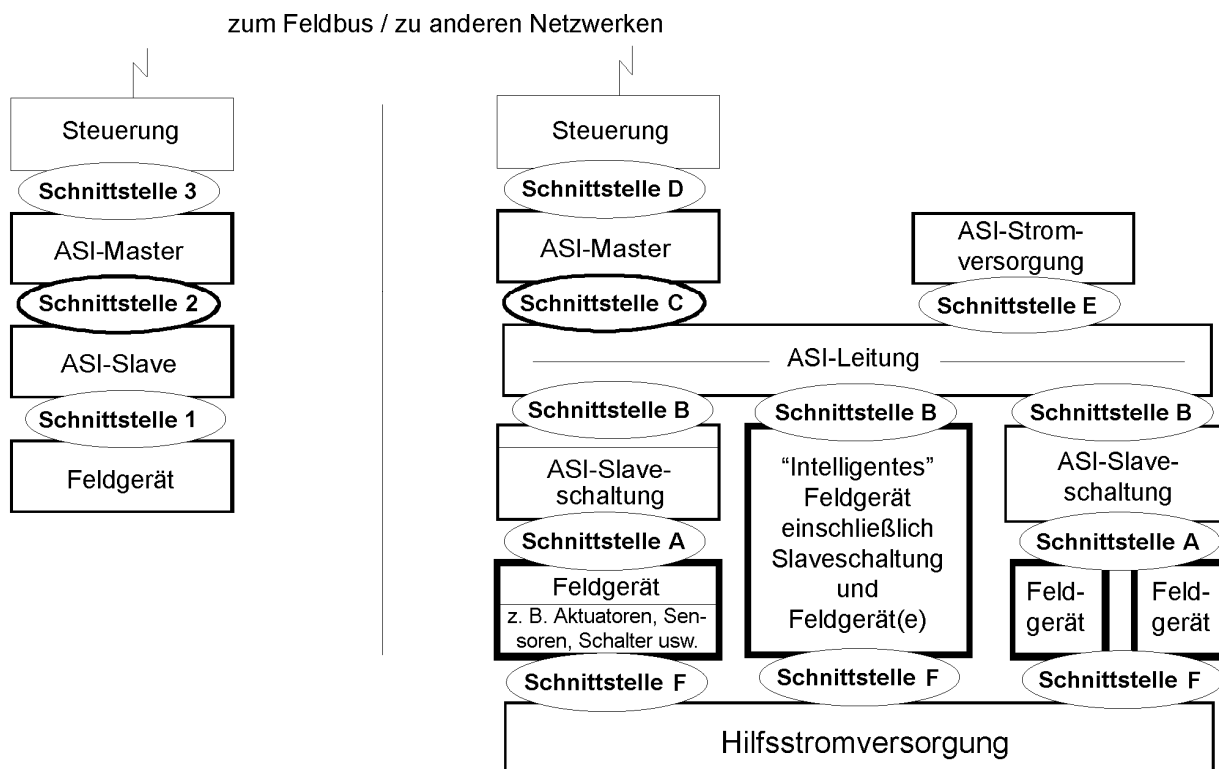
4.1 Überblick

Das System des Aktuator Sensor Interface wird hauptsächlich auf der untersten Ebene einer Mehrebenen-Automatisierungspyramide angewendet. AS-i richtet sich auf die typischen Anforderungen zur Verbindung von Binärelementen mit einer Steuereinrichtung. AS-i erfüllt die Anforderungen bei der Maschinen- und Anlagenkonstruktion, bei der Echtzeitverarbeitung, kostengünstige Entwicklung, Errichtung, Betrieb, Instandhaltung und Pflege von Bedeutung sind.

AS-i kann als eine Schnittstelle benutzt werden, die physikalisch in Aktuatoren, Sensoren oder anderen Geräten und Elementen integriert ist und eine Möglichkeit für „intelligente“ binäre Aktuatoren, Sensoren und andere Geräte und Elemente bietet. AS-i kann auch als einzelnes Modul eingesetzt werden, das gewöhnlich eine Schnittstelle für vier herkömmliche Aktuatoren, Sensoren oder andere Geräte und Elemente bietet, die bereits auf dem Markt verfügbar sind.

Zur Verbindung dieser Vielzahl von Aktuatoren, Sensoren oder anderen Geräten und Elementen mit einer Steuereinrichtung ist AS-i in eine Struktur von zwei unterschiedlichen Einheiten eingebettet, die drei Schnittstellen bieten, wie in Bild 1 dargestellt.

Logisch gesehen stellt das AS-i-System ein Master-Slave-Kommunikationssystem dar, das sich aus einem einzelnen Master und bis zu 31 (bei erweiterter Adressierung 62) Slaves zusammensetzt. Der Master sendet Daten und Parameter an einen bestimmten Slave. Der Slave leitet die Daten zu den Ausgangsports weiter oder führt die geforderte Prozedur aus (z. B. Reset_Slave) und sendet die Eingangsdaten bzw. das Ergebnis der erfolgreich ausgeführten Prozedur zum Master zurück.



a) Logische Schnittstellen

b) Physikalische Schnittstellen

Bild 1 – AS-i-Bauteile und Schnittstellen

Das AS-i-Konzept ist unabhängig vom bestimmten Typ der Aktuatoren, Sensoren oder anderen Geräte und Elemente. Es legt die Mechanismen und alle Bauteile für die Kommunikation mit einer Steuereinrichtung fest und bietet elektromechanische Strukturen für eine genormte „Plug-and-Play-Technik“ zur sehr einfachen Einrichtung von Aktuatoren, Sensoren oder anderen Geräten und Elementen in einem AS-i-Netzwerk.

Die Anhänge legen Slave- und Masterprofile allgemeiner Typen von Aktuatoren, Sensoren oder anderen Geräten und Elementen fest, die in AS-i-Systemen häufig verwendet werden.

4.2 Bauteile und Schnittstellen

Wie in Bild 1 dargestellt, besteht das AS-i-System aus den folgenden Bauteilen und Schnittstellen.

4.2.1 Bauteile

AS-i-Slave Der Zugriff auf die Einheit für einen Datenaustausch, zur Parametrierung und Überwachung kann durch den Master über eine AS-i-Leitung erfolgen. Der Slave besitzt ein klar definiertes logisches und funktionelles Verhalten. Er antwortet auf eine bestimmte Anforderung vom Master sofort mit einer Slaveantwort und stellt sicher, dass eine Funktionsstörung des angeschlossenen Aktuators, Sensors oder anderen Geräts oder des Slaves selbst nicht die Kommunikation zwischen dem Master und den anderen Slaves im Netzwerk stört.

ANMERKUNG Die Definition eines AS-i-Slaves erfolgt in logischer Form, umfasst aber auch die physikalischen Anforderungen an die Datenübertragung über das AS-i-Netzwerk. Die konkrete Realisierung eines Slaves hängt von der Implementierung ab; eine bestimmte Stiftanordnung eines integrierten Slave-Chips wird z. B. in der vorliegenden Norm nicht definiert.

AS-i-Master Die Einheit, die das Netzwerk organisiert und überwacht und den Daten-, Parameter- und Befehlsaustausch mit den AS-i-Slaves über die AS-i-Leitung zeitgerecht ausführt. Der Master besitzt ein klar definiertes logisches und funktionelles Verhalten. Er sendet Masteranforderungen an die AS-i-Slaves und empfängt die sofortigen Slaveantworten.

ANMERKUNG Die Definition eines AS-i-Masters erfolgt hauptsächlich in logischer Form, umfasst aber auch die physikalischen Anforderungen an die Datenübertragung über das AS-i-Netzwerk. Die konkrete Realisierung eines Masters hängt von der Implementierung ab. Die Masterprofile im Anhang B definieren einen Mindestsatz von Funktionen und Befehlen für unterschiedliche Mastertypen.

AS-i-Stromversorgung Liefert die Energie für das AS-i-Netzwerk und umfasst die Entkopplungsschaltung.

AS-i-Repeater Die Einheit, die das AS-i-Signal regeneriert und eine galvanische Trennung zwischen den Teilen des AS-i-Netzwerkes herstellt, sodass Netzwerke mit einer Länge von mehr als 100 m möglich sind.

AS-i-Leitung Liefert die Melde- und Stromversorgungsverbindungen zwischen den AS-i-Geräten.

4.2.2 Logische Schnittstellen

Schnittstelle 1 Die Slaveschnittstelle zur Verbindung des AS-i-Slaves mit den Aktuatoren, Sensoren oder anderen Geräten und Elementen. Sie ist durch mehrere Ports gekennzeichnet, die das Eingabe-, das Ausgabe- oder das bidirektionale Ein-/Ausgabeverhalten und das Parametrierungsverhalten des AS-i-Slaves, den Zeitablauf der Signale und die Stromversorgung für Aktuatoren, Sensoren oder andere Geräte und Elemente festlegen.

ANMERKUNG Schnittstelle 1 ist nur ein Konzept. Die konkrete Darstellung der Schnittstelle hängt hauptsächlich von der Implementierung ab. Sie wird nur durch die in Anhang A angegebenen einschränkenden Slaveprofile in einem weiteren Umfang definiert.

Schnittstelle 2 Die Schnittstelle, die alle logischen, physikalischen und mechanischen Anforderungen für den Datenaustausch und die Energieverteilung liefert. Dazu gehören Signalübertragung von codierten Informationen, die AS-i-Tansaktionen, mechanische und elektrische Anforderungen an das Netzwerk und die AS-i-Stromversorgung.

ANMERKUNG Schnittstelle 2 besitzt eine konkrete Form. Sie umfasst die Busstruktur. Zur Sicherung der Kompatibilität aller Bauteile sind die Anforderungen an Schnittstelle 2 in dieser Norm festgelegt.

Schnittstelle 3 Die Schnittstelle zwischen der Steuerung und dem AS-i-Master, die alle Funktionen liefert, die die Steuerung benötigt, um auf den AS-i-Master zum Senden und Empfangen von Daten zu und von den Slaves, zum Senden eines zyklischen Befehls zu einem Slave oder zum Setzen oder Empfangen von Flags und Werten für verschiedene Listen im Master zuzugreifen. Diese Schnittstelle ermöglicht der Steuerung die Verwaltung des Masterverhaltens und damit des Verhaltens des AS-i-Systems. Übliche unterstützte Funktionen sind im Master „etwas setzen“ oder vom Master „Informationen erhalten“.

ANMERKUNG Schnittstelle 3 ist nur ein Konzept. Die konkrete Darstellung der Schnittstelle hängt von der Implementierung ab. Sie ist in großem Umfang von den Merkmalen des spezifischen Steuerungssystems abhängig.

4.2.3 Physikalische Schnittstellen

- Schnittstelle A** Definiert die physikalische Verbindung zwischen dem Feldgerät und der AS-i-Slaveschaltung einschließlich der physikalischen Schnittstelle, der Signalpegel und gegebenenfalls der Anforderungen an die Stromversorgung.
- Schnittstelle B** Definiert die physikalische Verbindung der AS-i-Slaveschaltung mit der AS-i-Leitung einschließlich der physikalischen Schnittstelle (mechanisch/elektrisch), der Signalkennwerte und der Anforderungen an die Stromversorgung.
- Schnittstelle C** Definiert die physikalische Verbindung der AS-i-Masterschaltung mit der AS-i-Leitung einschließlich der physikalischen Schnittstelle (mechanisch/elektrisch), der Signalkennwerte und der Anforderungen an die Stromversorgung.
- Schnittstelle D** Die Definition der physikalischen Schnittstelle gehört nicht zum Anwendungsbereich dieser Norm und muss vom Hersteller angegeben werden.
- Schnittstelle E** Definiert die physikalische Verbindung der AS-i-Stromversorgung einschließlich der Signal-entkopplungsschaltung mit der AS-i-Leitung.
- Schnittstelle F** Definiert die physikalische Schnittstelle zwischen dem Feldgerät und gegebenenfalls einer äußeren Hilfsstromversorgung.

5 Kennwerte

5.1 Überblick

Das AS-i-System legt die digitale, serielle Datenkommunikation mit mehreren Stationen zwischen einem Master und Aktuatoren und Sensoren oder anderen Geräten einschließlich einer Stromversorgung fest. Daten und Energie werden auf derselben zweiadrigen Leitung übertragen.

Das AS-i-System ist für Schutzklasse III (PELV) nach IEC 61140 ausgelegt (siehe 8.2). Alle Bauteile müssen daher die entsprechenden Anforderungen erfüllen.

Das AS-i-Übertragungssystem stellt die Kommunikation zwischen bis zu 62 AS-i-Slaves und einem einzigen AS-i-Master sicher, d. h. es stellt die Schnittstelle 2 zwischen einem Master und den Slaves dar (siehe Bild 1). Der AS-i-Master muss die einzelnen Slaves aufrufen und sofort deren Antworten empfangen.

In 5.2 bis 5.4 sind die physikalischen Anforderungen und in 5.5 bis 5.7 die logischen Anforderungen dieses Übertragungssystems (auszutauschende Nachrichten) definiert.

In den nachfolgenden Abschnitten sind weitere Anforderungen festgelegt, die speziell für das Übertragungsmedium (8.1), die Stromversorgung (8.2), den Repeater und andere Bauteile (8.3), den Slave und den Master (8.5) gelten.

5.2 Signalkennwerte

In diesem Abschnitt sind die Kennwerte des übertragenen Signals und der Modulation festgelegt.

5.2.1 Übertragungscodierung

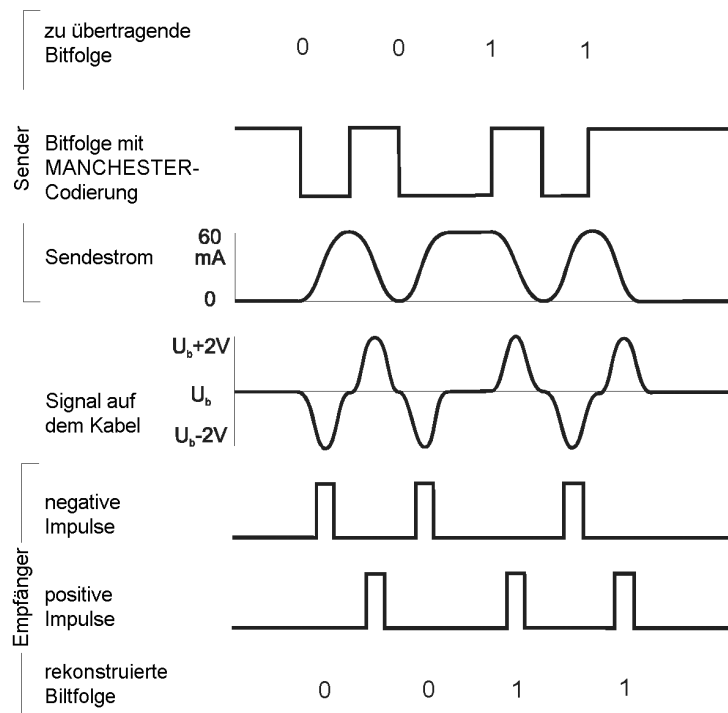


Bild 2 – Übertragungscodierung

ANMERKUNG Da das Informationssignal über das Signal einer Gleichstromversorgung gelegt wird, muss eine Modulation verwendet werden, die keinen Gleichspannungsanteil enthält. Die Übertragung ist asynchron. Zur Vereinfachung der Synchronisation des Slaves wird in den Datensignalfloss seriell eine Synchronisationsinformation eingebettet.

Alle Nachrichten werden im Manchester-II-Format codiert. Jede Nachricht umfasst ein Startbit und ein Endbit. Der Ruhezustand wird mit einer 1 dargestellt. Eine 0 wird mit einer halben Bitzeit mit einem High-Pegel gefolgt von einer halben Bitzeit mit einem Low-Pegel codiert. Eine 1 wird mit einer halben Bitzeit mit einem Low-Pegel gefolgt von einer halben Bitzeit mit einem High-Pegel codiert.

Die Modulation muss mit einer alternierenden Pulsmodulation (APM) mit einer Sinus-Quadrat-Wellenform durchgeführt werden. Die ansteigende Flanke des Manchester-II-Formates muss mit einem positiven Impuls und die abfallende Flanke mit einem negativen Impuls dargestellt werden.

Codierung und Decodierung der Übertragung sind in Bild 2 dargestellt.

5.2.2 Übertragungsgeschwindigkeit

Die Bitzeit (T_{Bit}) ist mit $6 \mu\text{s}$ festgelegt. Damit muss die Bitfolgefrequenz $166\frac{2}{3} \text{ kBit/s}$ betragen.

5.2.3 Anforderungen an den Sender

Der Sender im Master sowie im Slave muss als Stromsenke ausgeführt sein. Das Stromsignal wird von der Gleichspannung des AS-i-Netzwerkes überlagert. Eine fallende Flanke des Manchester-II-codierten Signals muss folgenden Strom hervorrufen:

$$i(t) = I_{\text{send}} \cdot \left(\frac{t}{3 \mu\text{s}} - \frac{1}{2\pi} \sin\left(\frac{2\pi}{3 \mu\text{s}} t\right) \right)$$

Eine ansteigende Flanke muss folgenden Strom hervorrufen:

$$i(t) = I_{\text{send}} \cdot \left(1 - \frac{t}{3 \mu\text{s}} + \frac{1}{2\pi} \sin\left(\frac{2\pi}{3 \mu\text{s}} t\right) \right)$$

Die Amplitude I_{send} des Modulationsstromes muss zwischen 55 mA und 68 mA liegen.

Die größte Abweichung von der Nennbitzeit muss für den Master kleiner oder gleich $\pm 0,1 \%$ und für den Slave $\pm 0,2 \%$ betragen.

5.2.4 Anforderungen an den Empfänger

Zusammen mit den Entkopplungsinduktivitäten der Entkopplungsschaltung in der Stromversorgung führt die Wellenform des Sendestromes nach 5.2.3 zu einem negativen (positiven) Spannungsimpuls bei jeder ansteigenden (abfallenden) Flanke. Im Idealfall ist die Wellenform des Impulses:

$$u(t) \approx \pm U_{\text{send}} \cdot \sin^2\left(\frac{2\pi}{6 \mu\text{s}} t\right) \quad \text{mit } U_{\text{send}} = \text{konst.} \approx 2 \text{ V}$$

ANMERKUNG 1 In einem realen AS-i-System wird die fallende Flanke des Impulses durch die Kennwerte der Entkopplungsschaltung abgeflacht. Außerdem werden die Amplituden und die Wellenform durch die physikalischen Eigenschaften der AS-i-Leitung beeinflusst. Die Empfänger müssen deshalb in der Lage sein, ein komplexes Impulsspektrum zu empfangen.

Der Empfänger muss in der Lage sein, eine Nachricht wie nachfolgend beschrieben zu empfangen und zu decodieren (siehe Bild 3).

Die höchste Impulsamplitude U_{max} einer Nachricht darf zwischen 1,5 V (Spitze) und 4 V (Spitze) schwanken.

ANMERKUNG 2 Die Amplitudendifferenz U_{max} zwischen aufeinander folgenden Masteranforderungen innerhalb einer Konfiguration schwankt nicht. Es werden die Extremwerte in den unterschiedlichen Konfigurationen und an den unterschiedlichen Orten des Slaves an der AS-i-Leitung gezeigt. In einer konstanten Konfiguration beträgt das Verhältnis von U_{max} zwischen zwei Slaveantworten an unterschiedlichen Stellen der Leitung bis 1:1,5.

Die Amplitude eines gültigen Impulses innerhalb einer Nachricht darf zwischen 65 % und 100 % der höchsten Amplitude U_{max} schwanken.

ANMERKUNG 3 Bei Slaves nach den vorangegangenen Versionen dieser Norm darf sie zwischen 80 % und 100 % schwanken.

Gültige Impulse beginnen in einem Zeitfenster von $(n \cdot 3 \mu\text{s})_{-0,5 \mu\text{s}}^{+1,0 \mu\text{s}}$ in Bezug auf den Anfangsimpuls U_{init} . Diese Impulse müssen vom Empfänger angenommen werden.

Impulse außerhalb eines Fenster von $(n \cdot 3 \mu\text{s})_{-0,8 \mu\text{s}}^{+1,6 \mu\text{s}}$ dürfen vom Empfänger nicht angenommen werden.

Impulse (Rauschen, Rufen) von bis zu 30 % von U_{max} dürfen den Nachrichtenempfang nicht stören.

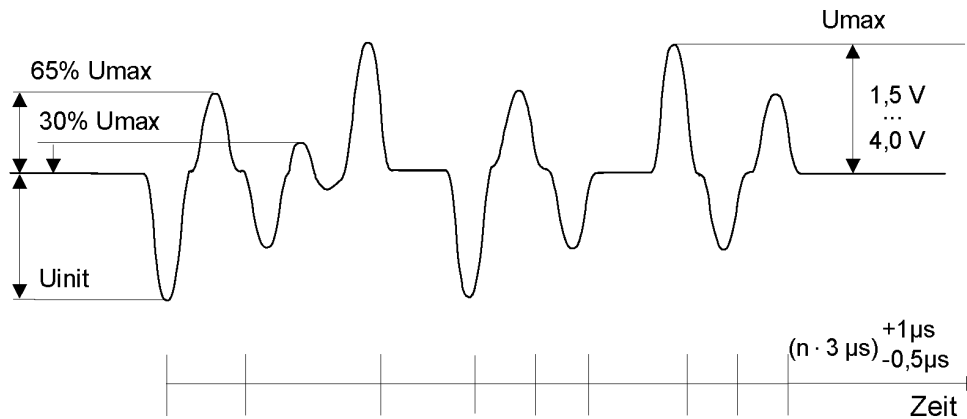


Bild 3 – Anforderungen an den Empfänger

ANMERKUNG 4 Aufgrund einer Kombination verschiedener Effekte wie z. B. einer kapazitiven Last an der AS-i-Leitung und Abweichungen von der Oszillatorfrequenz im Sender und im Empfänger dürfen Impulsabweichungen von $-0,8 \mu\text{s}$ bis zu $+1,6 \mu\text{s}$ auftreten.

5.3 Energie- und Datenverteilung

5.3.1 Allgemeines

Die gleichzeitige Übertragung von Daten und Energie auf der AS-i-Leitung erfordert technische Maßnahmen zur Entkopplung von Daten und Energie.

Die AS-i-Stromversorgung muss die Gleichstromversorgung für das gesamte Netzwerk bereitstellen. Außerdem muss sie die Aufbereitung der physikalischen Datenübertragung innerhalb des Systems verwirklichen. Dieses Merkmal umfasst die Symmetrierung sowie die Bildung und Anpassung von Übertragungssignalen nach den in 5.2 festgelegten Signalanforderungen. Die Anpassungsschaltung wird auch als „Entkopplungsschaltung“ bezeichnet.

Obwohl die Funktionen dieser Bauteile unabhängig voneinander sind, ist es aus praktischen Gründen günstig, sie zu kombinieren.

Die Kombination einer Gleichstromversorgung, einer Symmetrierschaltung und einer Entkopplungsschaltung wird „AS-i-Stromversorgung“ genannt.

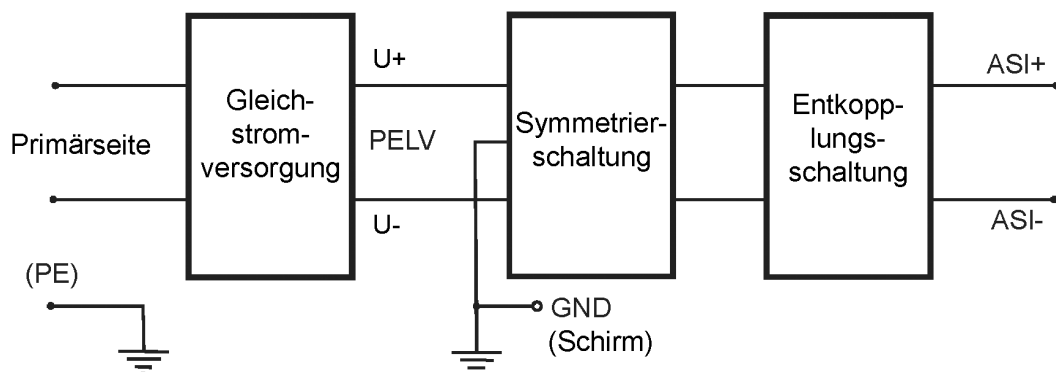


Bild 4 – AS-i-Stromversorgung

5.3.2 Anforderungen an die AS-i-Stromversorgung

Die Anforderungen an die AS-i-Stromversorgung sind in der nachfolgenden Tabelle angegeben.

Tabelle 1 – Spezifikationen der AS-i-Stromversorgung

Ausgangsspannung an ASI+/ASI– (über dem gesamten Lastbereich)	$U_{\text{ASI}} = 29,5 \text{ V}$ (Gleichspannung) bis $31,6 \text{ V}$ (Gleichspannung)
Bemessungswert des Ausgangsstromes	I_e nach Angabe des Herstellers
zusätzlicher Strom für Aufladevorgänge zum Anschluss zusätzlicher Slaves bei Normalbetrieb	$I_a = 0,4 \text{ A}$ (12,5 mA für jeden Standardslave/6,5 mA für jeden Slave mit erweiterter Adressierung)
Stromgrenzwert	$I_{\text{Lim}} > I_e + I_a$
Amplitudenmodulationsrauschen im Strombereich (gemessen an ASI+/ASI–)	50 mV _{pp} im Bereich von 10 kHz bis 500 kHz (auf dem Oszilloskop sichtbares Rauschband)
niederfrequenter Wechselspannungsanteil (ausgenommen Überlastung)	300 mV _{pp} im Frequenzbereich von 0 kHz bis 10 kHz
Einschaltverzögerung	≤ 2 s nach Erreichen von 5 V an den Ausgangsanschlüssen

ANMERKUNG Eine Regelung von Eingangs- und Laständerungen sollte die Kommunikation auf der AS-i-Leitung nicht beeinflussen; die AS-i-Übertragungsaktivität darf die Stromversorgung nicht beeinflussen. Die Gesamtwirkung auf die AS-i-Leitung darf einen Wert von 50 mV_{pp} bzw. 300 mV_{pp}, siehe oben, nicht überschreiten.

5.3.3 Anlaufverhalten

Innerhalb von 2 s nachdem das erste Mal 5 V erreicht wurden, muss der Spannungspegel den Höchstwert der Masterstartspannung (26,5 V) erreichen. Die Zeitspanne zwischen dem Erreichen der kleinsten Masterstartspannung (22,5 V – 1 V, siehe 8.5.2.1) und des kleinsten AS-i-Spannungspegels (29,5 V) muss kleiner als 1 s sein. Der Spannungspegel muss stetig von 5 V bis zur normalen Betriebsspannung (29,5 V bis 31,6 V) steigen.

ANMERKUNG Die zweite Forderung ist wichtig, weil der Master anfängt zu arbeiten, wenn die Spannung seine Startspannung von 22,5 V ± 1 V überschreitet.

Während der Anlaufphase muss die Stromversorgung einen höheren Strom liefern, um den Aufladevorgang im System zu ermöglichen. Diese zusätzliche Last entspricht einer Kapazität von 15 mF.

Beginnend mit einem Spannungspegel von 5 V muss die Stromversorgung den Bemessungsausgangsstrom I_e zuzüglich eines zusätzlichen Stromes zum Aufladen der erwähnten Kapazität von 15 mF abgeben, um die Zeitbeschränkungen zu erfüllen.

5.3.4 Symmetrier- und Entkopplungsschaltung

Die Symmetrier- und Entkopplungsschaltung stellt mehrere Funktionen des AS-i-Übertragungssystems sicher:

- Bereitstellung der Gleichstromversorgung für die AS-i-Leitung;
- Signalformung;
- Abschlussimpedanz (für die physikalische Leitung);
- Symmetrierung der AS-i-Leitung in Bezug auf Erde und
- Unterdrückung von Gleichtaktstörungen.

Die Ersatzschaltung des Entkopplungsnetzwerkes besteht aus zwei Induktivitäten und zwei Widerständen sowie den Symmetrierkondensatoren C_s , wie in Bild 5 dargestellt.

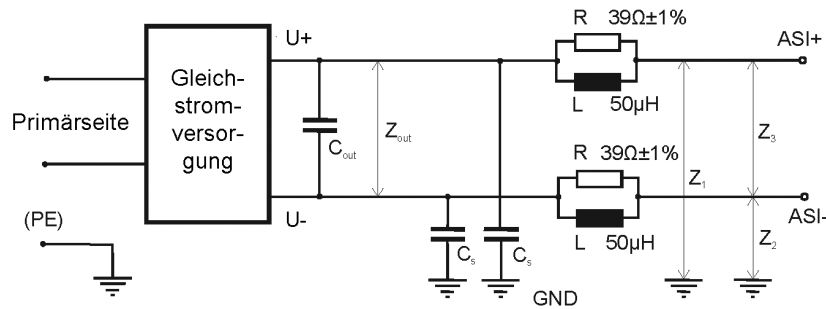


Bild 5 – Ersatzschaltbild der Symmetrier- und Entkopplungsschaltung

Die Symmetrierkondensatoren C_s müssen möglichst nahe an der Entkopplungsschaltung angeordnet werden. Diese Kapazitäten führen zu einem symmetrischen Verhältnis von ASI+/ASI– gegenüber Erde. Es werden gleiche Werte von mindestens 100 nF empfohlen.

Tabelle 2 – Spezifikationen der Symmetrier- und Entkopplungsschaltung

Induktivität zwischen ASI+/ASI–	$100 \mu\text{H} \pm 10 \% (I_L = 0 \text{ bis } I_{L\text{max}})$
Kurzschluss/Überlastung	darf unendlich lange anliegen, ohne dass eine Beschädigung der Entkopplungsschaltung verursacht wird
Symmetrie von ASI+/ASI– gegenüber GND	$0,98 \leq \frac{ Z_1 }{ Z_2 } \leq 1,02$ innerhalb eines Frequenzbereichs von 10 kHz bis 300 kHz und über dem gesamten Lastbereich
Quellenimpedanz	$ Z_{\text{out}} < 0,5 \Omega$ im Bereich von 10 kHz bis 300 kHz
Entkopplungsimpedanz (C_s)	$ Z_s < 5 \Omega$ im Bereich über 300 kHz

5.4 AS-i-Topologie und andere Bauteile

5.4.1 AS-i-Leitung (Mindestanforderungen)

Das AS-i-Übertragungsmedium kann jedes geschirmte oder ungeschirmte Kabel sein, das für den gesamten Betriebsbereich die folgenden Kennwerte liefert:

bei einer Frequenz von 167 kHz:

R' : $< 90 \text{ m}\Omega/\text{m}$

C' : $< 80 \text{ pF}/\text{m}$

Z : 70Ω bis 140Ω

G' : $\leq 5 \mu\text{S}/\text{m}$

L' : $400 \text{ nH}/\text{m}$ bis $1\,300 \text{ nH}/\text{m}$

t' : $\leq 8,3 \text{ ns}/\text{m}$

Es wird ein Querschnitt von $2 \times 1,5 \text{ mm}^2$ empfohlen.

Für kurze Verbindungsleitungen ohne weitere Verzweigungen sind Kabel mit anderen Spezifikationen zulässig, wenn der Gleichspannungsabfall an diesen Leitungen die Funktion der angeschlossenen Geräte nicht beeinflusst.

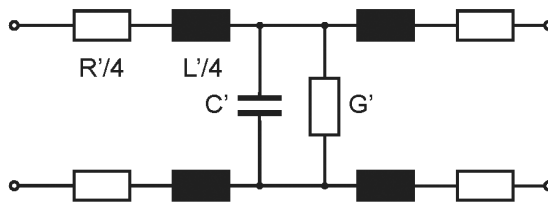


Bild 6 – Modell des AS-i-Übertragungsmediums

ANMERKUNG 1 Der Wellenwiderstand Z einer Übertragungsleitung ist durch seine verteilten Konstanten R' , L' , C' und G' sowie die benutzte Frequenz nach folgender Gleichung definiert:

$$Z = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}$$

Die verteilten Konstanten können an einer elektrisch kurzen Länge der Übertragungsleitung mit offenem (G' , C') bzw. kurzgeschlossenem (R' , L') Ende gemessen werden. Die weiteren Einschränkungen von Z und die Laufzeit t' ergeben sich durch den Ausschluss dieser Kombinationen der verteilten Konstanten, die zu ungünstig hohen oder niedrigen Werten des Wellenwiderstandes führen würden.

ANMERKUNG 2 Jedes Kabel, das die oben angegebenen Werte erfüllt, darf als AS-i-Leitung benutzt werden. Trotzdem sind die in dieser Norm angegebenen verschiedenen Anforderungen und Grenzabweichungen dazu vorgesehen, dass der Gesamtspannungsabfall (Gleichspannung) von bis zu 3 V entlang des AS-i-Übertragungsmediums eingehalten wird. Es wird die Verwendung eines Querschnittes empfohlen, bei dem kein höherer Spannungsabfall auftritt. Wird ein Kabel als AS-i-Leitung benutzt, das die angegebenen Werte nicht erfüllt, kann sich dies auf die Gesamtlänge von 100 m für das gesamte Netzwerk auswirken.

ANMERKUNG 3 Die Signallaufzeit in der AS-i-Leitung ist nach der folgenden Gleichung definiert:

$$t' = \sqrt{L'C' - \frac{R'G'}{\omega^2}}$$

Sie beträgt in einer Richtung gewöhnlich 0,6 µs/100 m.

5.4.2 AS-i-Topologie

Die AS-i-Topologie ist eine Baumstruktur. Die Gesamtlänge der AS-i-Leitung darf 100 m nicht überschreiten. Diese Länge muss aus der Summe aller Verbindungsleitungen berechnet werden.

Mit Ausnahme des GND-Ports an der Stromversorgung darf es keine Erdverbindung im Netzwerk geben.

ANMERKUNG AS-i wurde als symmetrisches System entwickelt. Umso besser die Symmetrie ausgelegt ist, umso wirkungsvoller funktioniert selbst bei einem relativ großen und verteilten System die Unterdrückung unerwünschter Aussendungen von AS-i-Signalkomponenten sowie des Einfalls von AS-i-bezogenen Störungen. Das ist wichtig, weil das Netzwerk nicht geschirmt ist und als Antenne wirken kann.

Bei Normalbetrieb darf der Spannungsabfall zwischen der Stromversorgung und jedem beliebigen Punkt im Netzwerk nicht größer als 3 V sein, sofern nicht in der Produktdokumentation eines bestimmten Slaves ein möglicher höherer Spannungsabfall festgelegt ist.

5.4.3 AS-i-Repeater

Die Gesamtlänge der AS-i-Leitung ist auf 100 m beschränkt. Ein AS-i-Repeater regeneriert das AS-i-Signal und stellt eine galvanische Trennung zwischen den Teilen des AS-i-Netzwerkes her, sodass Netzwerke mit einer Länge von mehr als 100 m möglich sind.

Aufgrund von Einschränkungen im Zeitablauf ist es nicht zulässig, mehr als zwei Repeater in Reihe zu schalten. Es ist jedoch möglich, mehrere Repeater parallel zu schalten, solange diese an unterschiedliche Zweige der Baumstruktur im Netzwerk angeschlossen sind.

5.4.4 AS-i-Erdschlussüberwachungsgerät

Nach IEC 60204-1 dürfen Erdschlüsse an einem Steuerkreis weder ein unbeabsichtigtes Anlaufen oder möglicherweise gefährliche Bewegungen einer Maschine verursachen noch das Anhalten der Maschine verhindern. Damit diese Anforderung erfüllt werden kann, ist in IEC 60204-1 angegeben, dass Steuerkreise, die nicht an den Schutzverbindungskreis angeschlossen sind, mit einer besonderen Isolations-Überwachungseinrichtung ausgerüstet sein müssen, die entweder einen Erdschluss anzeigt oder den Stromkreis nach Feststellung eines Erdschlusses automatisch unterbricht.

Wenn ein AS-i-Netzwerk zur Steuerung möglicherweise gefährlicher Bewegungen einer Maschine eingesetzt wird und IEC 60204-1 gilt, muss eine besondere Isolations-Überwachungseinrichtung installiert werden. Wenn sich das AS-i-Netzwerk aus einzelnen, voneinander getrennten Teilen zusammensetzt, muss für jedes getrennte Teil des Netzwerkes eine Isolations-Überwachungseinrichtung benutzt werden.

Die in AS-i-Netzwerken eingesetzte Isolations-Überwachungseinrichtung muss den Anforderungen des AS-i-Übertragungssystems vollständig entsprechen. Einzelheiten sind in 8.3.2 angegeben.

5.5 Kommunikation

5.5.1 Grundsätze der Kommunikation

Das AS-i-System ist ein Master-Slave-Kommunikationssystem, das sich aus einem einzelnen Master und bis zu 31 (bei erweiterter Adressierung bis zu 62) Slaves zusammensetzt. Jeder Slave muss eine eindeutige Adresse im Bereich von 1 bis 31 (bei erweiterter Adressierung im Bereich von 1A/1B bis 31A/31B) besitzen. Diese Adresse wird als Betriebsadresse bezeichnet. Die Betriebsadresse muss nichtflüchtig gespeichert werden. Auf Daten- und Parameteranforderungen vom Master dürfen nur Slaves mit einer Betriebsadresse antworten.

Die Nulladresse wird zum Ändern einer Slaveadresse benutzt. Gewöhnlich wird die Nulladresse flüchtig gespeichert, außer bei fabrikneuen Slaves. Einzelheiten siehe 8.4.

Eine Einzeltransaktion setzt sich aus einer Masteranforderung und einer Slaveantwort zusammen. Eine kombinierte Transaktion besteht aus mehreren Einzeltransaktionen.

5.5.2 Übertragungssteuerung

Der Datenaustausch zwischen einem einzelnen Master und bis zu 31 (bei erweiterter Adressierung bis zu 62) Slaves wird durch Verarbeitung von Transaktionen realisiert (siehe Bild 7). Eine Transaktion beginnt mit einer Masteranforderung. Der Master erwartet innerhalb einer bestimmten Zeit eine Slaveantwort. Wenn der Master innerhalb dieser Zeit keine gültige Antwort vom Slave erhält, muss er das als eine negative Antwort interpretieren. Er darf die Masteranforderung noch einmal wiederholen. Nach dem Empfang einer gültigen Antwort muss der Master nach dem Ablauf der Sendepause die nächste Transaktion starten. Ein Slave darf nicht antworten, wenn er eine Masteranforderung als falsch erkennt oder wenn der Master eine nicht unterstützte Anforderung ausgibt. Der Slave darf keine negative Antwort ausgeben.

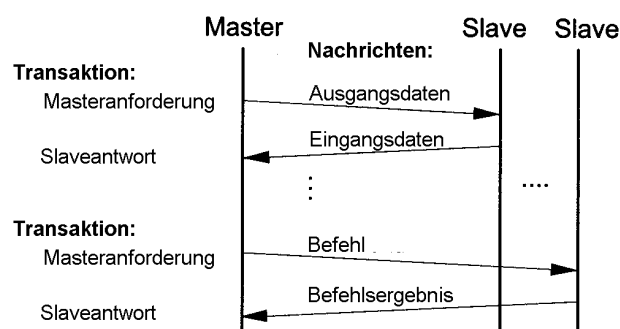


Bild 7 – Transaktionen

5.5.3 Anforderungen an den Zeitablauf

Sämtliche in diesem Abschnitt angegebene Zeiten beziehen sich auf Signale auf der AS-i-Leitung am Ort der Masteranschlussklemmen.

Bild 9 zeigt ein Beispiel für die Messung der Masterpause. Andere Pausen sind entsprechend dieses Beispiels zu messen. Sowohl die Masteranforderung als auch die Slaveantwort beginnen mit einer Null als erstes Bit. Aufgrund des Manchester-II-Formates führt dieses Startbit nur in der zweiten Hälfte der ersten Bitzeit zu einem negativen Spannungsimpuls.

ANMERKUNG 1 Jeder Empfänger tastet die Spannungsimpulse mit einem bestimmten Schwellwert ab. Aus diesem Grund und durch analoge Filter kann sich der Beginn der internen Bitzeiten von den Zeiten unterscheiden, die in Bild 9 angegeben sind.

ANMERKUNG 2 Die „Masterpause“ wird durch den Slave gesteuert und die „Slavepause“ durch den Master. Diese Bezeichnungen werden aus historischen Gründen aufrechterhalten, obwohl sie unlogisch sind.

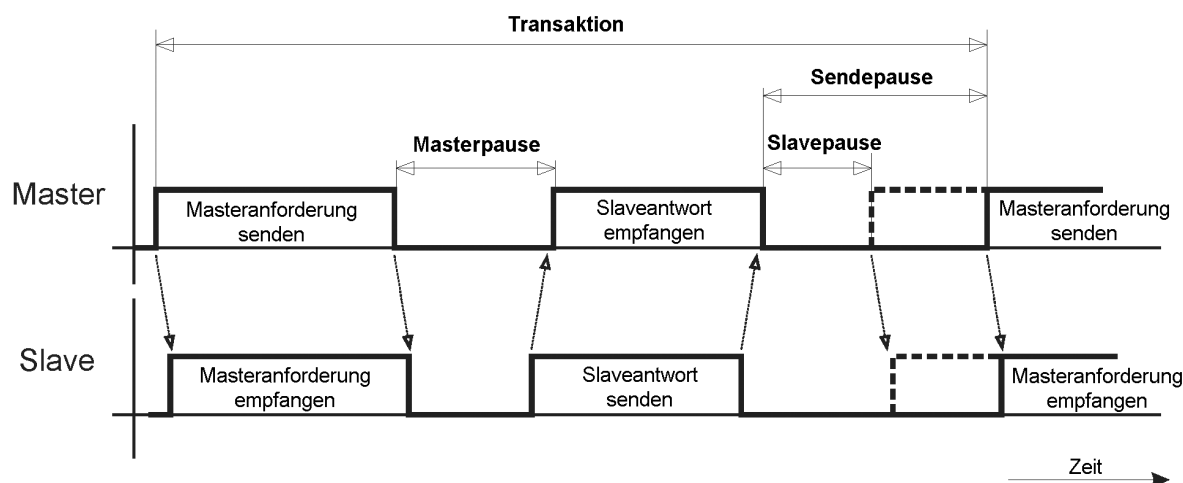


Bild 8 – Master- und Slavepause aus Sicht des Masters/Slaves

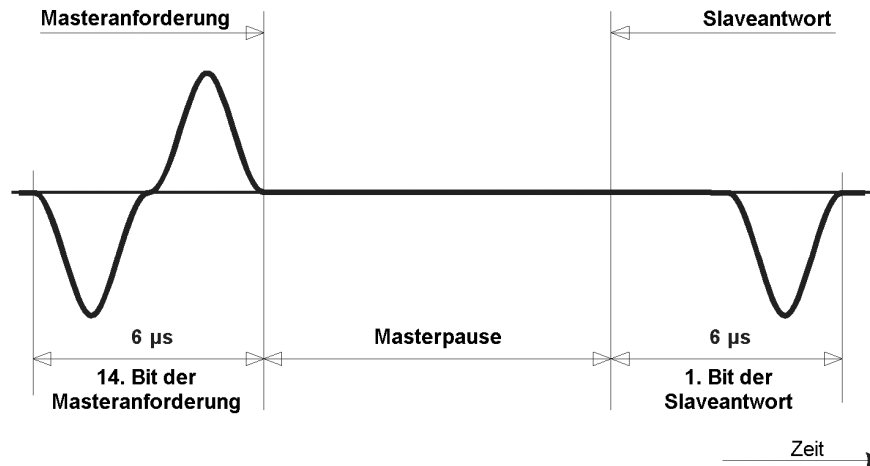


Bild 9 – Darstellung der Masterpause

Die Transaktion ist in zwei Aktionen (Masteranforderung und Slaveantwort) und zwei Zeitintervalle (Masterpause und Sendepause) aufgeteilt. Mit einer Zeitüberschreitung der Slaveantwort wird ein mögliches Fehlen einer Slaveantwort erkannt.

- 1) **Masteranforderung:** Senden einer Nachricht vom Master an einen einzelnen Slave und Erwarten einer Antwort vom Slave.
- 2) **Masterpause:** Innerhalb dieser Zeit verarbeitet der Slave die angeforderte Funktion, erzeugt die Antwortdaten und beginnt damit, die Antwort an den Master zu senden. Wenn ein Slave auf eine Masteranforderung antwortet, muss er seine Antwort innerhalb einer Periode von 2 bis 5 Bitzeiten nach dem Ende der Masteranforderung beginnen. Der Master muss in der Lage sein, den Beginn einer Slaveantwort innerhalb einer Periode von 12 µs bis 63 µs nach dem Ende seiner Anforderung zu empfangen.

ANMERKUNG 3 Für eine optimierte Rauschunterdrückung sollte der Empfänger des AS-i-Masters während der Masterpause für $\geq 1,5$ Bitzeiten ausgeschaltet werden.

- 3) **Slaveantwort:** Senden der Slavedaten oder des Ergebnisses des Befehls an den Master.
- 4) **Slavepause:** Nach dem Empfang der Slaveantwort muss eine Mindestzeit folgen, in der keine nachfolgende Übertragung stattfinden darf. Die Dauer dieser Pause muss 1,5 bis 2 Bitzeiten betragen. Der Slave muss in der Lage sein, den Beginn einer Masteranforderung nach einer Slavepause von 6 µs zu empfangen.
- 5) **Sendepause:** Nach dem Empfang einer Slaveantwort muss eine Mindestzeit folgen, in der keine nachfolgende Übertragung stattfindet. Beim Normalbetrieb mit mehr als 30 Transaktionen je AS-i-Zyklus muss diese Pause einer Slavepause entsprechen. Bei 30 oder weniger Transaktionen je AS-i-Zyklus darf die Sendepause auf höchstens 500 µs verlängert werden. In diesem Fall darf aber die AS-i-Zykluszeit einschließlich Management- und Aufnahmephase nicht länger als 5 ms sein.
- 6) **Slaveantwort-Zeitüberschreitung:** Falls in einem bestimmten Zeitintervall vom Slave keine Antwort erfolgt (Slaveantwort-Zeitüberschreitung), muss der Master die Transaktion beenden oder die Übertragung wiederholen. Dieses Zeitintervall muss eine Länge von 11 Bitzeiten $^{+0}_{-3} \mu s$ haben.

ANMERKUNG 4 Diese Werte wurden unter Berücksichtigung der Laufzeit in der Leitung und des möglichen Einsatzes von Repeatern festgelegt.

Der Zeitüberschreitungs-zähler muss am Ende der Übertragung der Masteranforderung starten.

ANMERKUNG 5 Innerhalb der Slaveantwort-Zeitüberschreitung erwartet der Master den Beginn eines Antworttelegrammes vom Slave. Nach dieser Zeit stellt die Übertragungsfunktion das Fehlen einer Slaveantwort fest.

- 7) **Verzögerungszeit für Repeater:** Die längste Verzögerungszeit für einen Repeater muss für jede Richtung kleiner oder gleich 7 µs sein.

ANMERKUNG 6 Die Masterpause muss kleiner oder gleich 63 µs sein (siehe Slaveantwort-Zeitüberschreitung). Bei zwei Repeatern in Reihe und einem asynchronen Slave hinter dem zweiten Repeater beträgt die Laufzeit einer Leitung von 300 m Länge etwa 5 µs. Die längste Verzögerungszeit für einen Repeater beträgt für jede Richtung 7 µs. Die Verzögerungszeit eines Repeaters wird als die Zeit zwischen einem bestimmten ankommenden Spannungsimpuls und dem entsprechenden abgehenden Spannungsimpuls auf der anderen Leitung gemessen.

ANMERKUNG 7 Mit derzeit verfügbaren Bauteilen muss die AS-i-Zykluszeit wie folgt berechnet werden:

					Wenn $n = 33$
$n \cdot$ Masteranforderung	=	$n \cdot (14 \text{ Bit})$	=	$n \cdot 84 \text{ µs}$	= 2 772 µs
+ $n \cdot$ Masterpause	=	$n \cdot (3 \text{ Bit})$	=	$n \cdot 16 \text{ µs (synchronisierter Slave)}$	= 528 µs
+ $n \cdot$ Slaveantwort	=	$n \cdot (7 \text{ Bit})$	=	$n \cdot 42 \text{ µs}$	= 1 386 µs
+ $n \cdot$ Sendepause	=	$n \cdot (2 \text{ Bit})$	=	$n \cdot 12 \text{ µs (min.)}$	= 396 µs
= T_{Zyklus}	=	$n \cdot (26 \text{ Bit})$	=	$n \cdot 154 \text{ µs (min.)}$	= 5 082 µs

Dabei ist n die Anzahl aller AS-i-Anforderungen bei einem Datenaustausch im AS-i-Zyklus und in der Aufnahmephase einschließlich einer Wiederholung. Bei Normalbetrieb ist n die Anzahl der aktivierten Slaves plus 2. Diese Berechnung wird durch Verwendung von bis zu 62 Slaves bei der erweiterten Adressierung nicht beeinflusst.

5.6 AS-i-Einzeltransaktionen

5.6.1 Überblick über Transaktionen

Vier Typen von Einzeltransaktionen unterstützen den Datenaustausch, die Parametrierung, das Netzwerkmanagement und Diagnose. Alle Masteranforderungen und alle Slaveantworten besitzen die gleiche Struktur und mit 14 Bits (Master) bzw. 7 Bits (Slave) die gleiche Länge.

Zum Auslösen einer Transaktion darf ein Master alle oder einige der in den Tabellen 4 und 5 aufgeführten Masteranforderungen ausgeben. Jeder Slave muss in der Lage sein, alle diese Masteranforderungen zu verarbeiten und darauf zu antworten, mit der möglichen Ausnahme der Anforderungen Address_Assignment und R1. (Einzelheiten siehe Anhang B, AS-i-Masterprofile.)

5.6.2 Definition der Masteranforderungen

Es sind die folgenden Typen von Masteranforderungen definiert:

Data_Exchange dient der Übermittlung und/oder dem Empfang des Bitmusters zum/vom Datenausgang/-eingang des Slaves;

Write_Parameter dient der Übermittlung und/oder dem Empfang des Bitmusters zu/von den Parameterports des Slaves;

Adress_Assignment dient der Zuweisung einer nichtflüchtigen Adresse (0...31 bei Standardadressierung/0, 1A/1B...31A/31B bei erweiterter Adressierung) zu einem Slave mit einer Nulladresse;

Commands dient verschiedenen Funktionen wie Zurücksetzen, Auslesen der Konfiguration und Auslesen des Slavestatus.

Die Tabellen 4 und 5 geben einen Überblick über alle Masteranforderungen. Alle anderen möglichen Codes (die in der vorliegenden Norm noch nicht benutzt werden) sind reserviert und dürfen von keiner in AS-i-Netzwerken verwendeten Master- oder Slaveimplementierung realisiert werden.

5.6.3 Struktur und Semantik der Masteranforderungen

Die vom Master gesendeten und vom Slave empfangenen Anforderungen setzen sich wie folgt aus sechs Elementen zusammen:

Startbit	Steuerbit	Adresse	Information	Paritätsbit	Endbit
----------	-----------	---------	-------------	-------------	--------

Bei einer Masteranforderung werden folgende Bits verwendet:

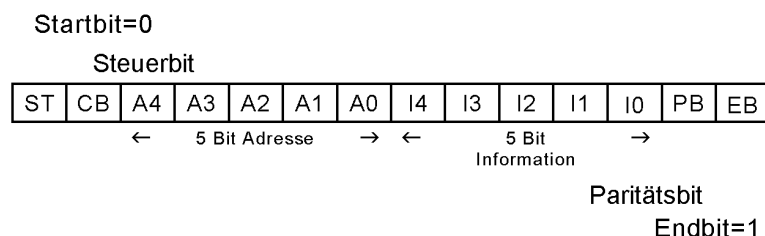


Bild 10 – Struktur einer Masteranforderung

Tabelle 3 – Bitzeichenketten der Masteranforderungen

Bitfolge	Semantik	Kommentare
ST:	Startbit	kennzeichnet den Beginn der Masteranforderung: immer ST = 0
CB:	Steuerbit	kennzeichnet den Typ der Anforderung in der Informationszelle; 0 = Daten/Parameterübertragung/Adresszuweisung; 1 = Befehlsübertragung
A4..A0:	Adresse (5 Bit)	zur Adressierung der verzeichneten Slaves 00 _{Hex} = Nulladresse 01 _{Hex} .. 1F _{Hex} = Slave 1 bis Slave 31
I4..I0:	Information	Diese 5 Bits enthalten für jeden Anforderungstyp die zum Slave zu übertragende Information. Einzelbits werden durch den jeweiligen Aufruftyp beschrieben. Bei erweiterter Adressierung wird I3 als eine Adresserweiterung (Auswahlbit) zur Adressierung der A- und B-Slaves benutzt. Definition des Auswahlbits: Sel=0 A-Slave; Sel=1 B-Slave
PB:	Paritätsbit	Teil des Nachweises der Richtigkeit der Masteranforderung beim Slave; die Parität einer richtigen Nachricht ist gerade 0 = gerade Anzahl von 1-Symbolen in (CB, A4..A0, I4..I0) 1 = ungerade Anzahl von 1-Symbolen in (CB, A4..A0, I4..I0)
EB:	Endbit	kennzeichnet das Ende der Masteranforderung: immer EB = 1

Tabelle 4 – Masteranforderungen (Standardadressierung)

Data_Exchange	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=0</td><td>D3</td><td>D2</td><td>D1</td><td>D0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=0	A4	A3	A2	A1	A0	=0	D3	D2	D1	D0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=0	A4	A3	A2	A1	A0	=0	D3	D2	D1	D0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Write_Parameter	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>P3</td><td>P2</td><td>P1</td><td>P0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=0	A4	A3	A2	A1	A0	=1	P3	P2	P1	P0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=0	A4	A3	A2	A1	A0	=1	P3	P2	P1	P0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Address_Assignment	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=0	=0	=0	=0	=0	=0	A4	A3	A2	A1	A0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=0	=0	=0	=0	=0	=0	A4	A3	A2	A1	A0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Write_Extended_ID-Code_1	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>ID 3</td><td>ID 2</td><td>ID 1</td><td>ID 0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	=0	=0	=0	=0	=0	=0	ID 3	ID 2	ID 1	ID 0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	=0	=0	=0	=0	=0	=0	ID 3	ID 2	ID 1	ID 0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Delete_Address	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=0	=0	=0	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=0	=0	=0	=0	=0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Reset_Slave	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=1</td><td>=1</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=0	=0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Read_I/O-Configuration	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=0	=0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Read_ID-Code	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=0</td><td>=0</td><td>=0</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=0	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=0	=1	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Read_Extended_ID-Code_1	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=0</td><td>=0</td><td>=1</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=1	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=1	=0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Read_Extended_ID-Code_2	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=0</td><td>=0</td><td>=1</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=1	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=0	=0	=1	=1	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Read_Status	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=1	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=1	=0	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
R1	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=1	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	A4	A3	A2	A1	A0	=1	=1	=1	=1	=1	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					
Broadcast	<table><tr><td>ST</td><td>CB</td><td></td><td></td><td></td><td></td><td></td><td></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td></td><td>EB</td></tr><tr><td>=0</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=0</td><td>=1</td><td>=0</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB							I4	I3	I2	I1	I0		EB	=0	=1	=1	=1	=1	=1	=1	=1	=0	=1	=0	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB							I4	I3	I2	I1	I0		EB																														
=0	=1	=1	=1	=1	=1	=1	=1	=0	=1	=0	=1	PB	=1																															
← 5 Bit Adresse →							← 5 Bit Information →																																					

Tabelle 5 – Masteranforderungen bei erweiterter Adressierung

Data_Exchange	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=0</td><td><u>Sel</u></td><td>D2</td><td>D1</td><td>D0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=0	A4	A3	A2	A1	A0	=0	<u>Sel</u>	D2	D1	D0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=0	A4	A3	A2	A1	A0	=0	<u>Sel</u>	D2	D1	D0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Write_Parameter	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>P2</td><td>P1</td><td>P0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=0	A4	A3	A2	A1	A0	=1	<u>Sel</u>	P2	P1	P0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=0	A4	A3	A2	A1	A0	=1	<u>Sel</u>	P2	P1	P0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Address_Assignment	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=0	=0	=0	=0	=0	=0	A4	A3	A2	A1	A0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=0	=0	=0	=0	=0	=0	A4	A3	A2	A1	A0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Write_Extended_ID-Code_1	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>=0</td><td>ID 3</td><td>ID 2</td><td>ID 1</td><td>ID 0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	=0	=0	=0	=0	=0	=0	ID 3	ID 2	ID 1	ID 0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	=0	=0	=0	=0	=0	=0	ID 3	ID 2	ID 1	ID 0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Delete_Address	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=0</td><td><u>Sel</u></td><td>=0</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=0	<u>Sel</u>	=0	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=0	<u>Sel</u>	=0	=0	=0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Reset_Slave	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=1</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=0	=0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Read_I/O-Configuration	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=0</td><td>=0</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=0	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=0	=0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Read_ID-Code	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=0</td><td>=0</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=0	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=0	=1	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Read_Extended_ID-Code_1	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=0</td><td>=1</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=1	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=1	=0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Read_Extended_ID-Code_2	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=0</td><td>=1</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=1	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=0	=1	=1	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Read_Status	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=1</td><td>=1</td><td>=0</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=1	=0	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=1	=0	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
R1	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>A4</td><td>A3</td><td>A2</td><td>A1</td><td>A0</td><td>=1</td><td><u>Sel</u></td><td>=1</td><td>=1</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=1	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	A4	A3	A2	A1	A0	=1	<u>Sel</u>	=1	=1	=1	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				
Broadcast	<table><tr><td>ST</td><td>CB</td><td colspan="5"></td><td>I4</td><td>I3</td><td>I2</td><td>I1</td><td>I0</td><td colspan="2">EB</td></tr><tr><td>=0</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=1</td><td>=0</td><td>=1</td><td>=0</td><td>=1</td><td>PB</td><td>=1</td></tr><tr><td colspan="7">← 5 Bit Adresse →</td><td colspan="7">← 5 Bit Information →</td></tr></table>	ST	CB						I4	I3	I2	I1	I0	EB		=0	=1	=1	=1	=1	=1	=1	=1	=0	=1	=0	=1	PB	=1	← 5 Bit Adresse →							← 5 Bit Information →						
ST	CB						I4	I3	I2	I1	I0	EB																															
=0	=1	=1	=1	=1	=1	=1	=1	=0	=1	=0	=1	PB	=1																														
← 5 Bit Adresse →							← 5 Bit Information →																																				

ANMERKUNG Sel bezeichnet das Auswahlbit, Sel das invertierte Auswahlbit.

5.6.4 Struktur und Semantik der Slaveantworten

Die vom Slave gesendeten Antworten besitzen kein Steuerbit und keine Adresse und setzen sich wie folgt aus 4 Elementen zusammen:

Startbit	Information	Paritätsbit	Endbit
----------	-------------	-------------	--------

Bei einer Slaveantwort werden folgende Bits verwendet:

Startbit=0

ST	I3	I2	I1	I0	PB	EB
----	----	----	----	----	----	----

← 4 Bit Information →

Paritätsbit

Endbit=1

Bild 11 – Struktur einer Slaveantwort

Tabelle 6 – Bitzeichenketten der Slaveantworten

Bitfolge	Semantik	Kommentare
ST:	Startbit	kennzeichnet den Beginn der Slaveantwort: immer ST = 0
I3..I0:	Information	Diese 4 Bits enthalten für jeden Antworttyp die zum Master zu übertragende Information. Einzelbits werden durch den jeweiligen Aufruftyp beschrieben.
PB:	Paritätsbit	Teil des Nachweises der Richtigkeit der Slaveantwort; die Parität einer richtigen Nachricht ist gerade 0 = gerade Anzahl von 1-Symbolen in (I3..I0) 1 = ungerade Anzahl von 1-Symbolen in (I3..I0)
EB:	Endbit	kennzeichnet das Ende der Masteranforderung: immer EB = 1

5.6.5 Individuelle Einzeltransaktionen

5.6.5.1 Data_Exchange

Die Anforderung Data_Exchange muss vom Master zur Übertragung von 4 Datenbits (I3..I0) (3 Datenbits plus Auswahlbit bei erweiterter Adressierung) zum Datenausgaberegister des Slaves und zum Empfang von 4 Datenbits von den Slaveeingängen verwendet werden. (Verhalten der Eingangs-/Ausgangsports des Slaves siehe 8.4.)

Die Anforderung Data_Exchange muss folgende Struktur besitzen:

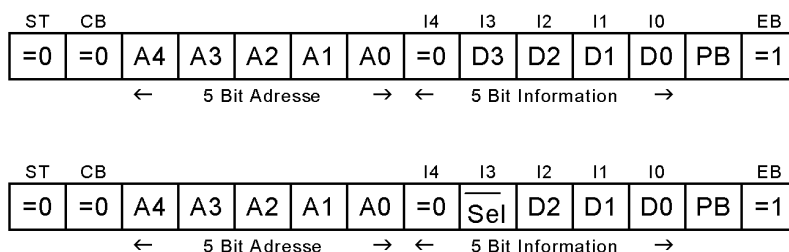


**Bild 12 – Struktur der Anforderung Data_Exchange
(oben: Standardadressierung; unten: erweiterte Adressierung)**

Die Bits A4..A0 müssen eine Betriebsadresse (1..31) enthalten.

Die Slaveantwort muss folgende Struktur besitzen:

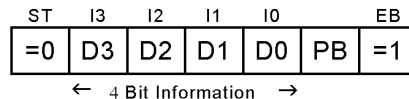


Bild 13 – Struktur der Slaveantwort (Data_Exchange)

Wenn der Slave nicht aktiviert ist, darf keine Antwort erzeugt werden.

5.6.5.2 Write_Parameter

Die Anforderung Write_Parameter muss vom Master zur Übertragung von 4 Parameterbits (I3..I0) zum Parameterausgangsregister des Slaves und zum Empfang von 4 Datenbits von den Slaveparametereingängen verwendet werden. (Verhalten der Parametereingangs-/ausgangsports des Slaves siehe 8.4.)

Die Anforderung Write_Parameter muss folgende Struktur besitzen:

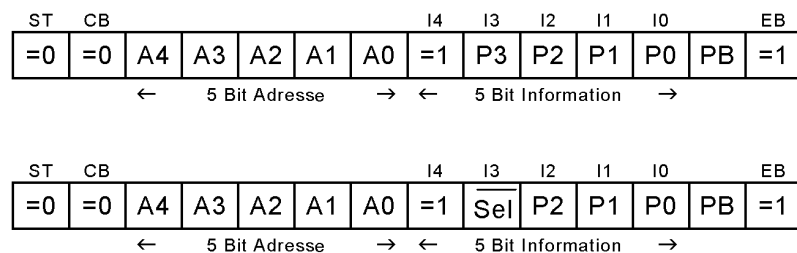


**Bild 14 – Struktur der Anforderung Write_Parameter
(oben: Standardadressierung; unten: erweiterte Adressierung)**

Die Bits A4..A0 müssen eine Betriebsadresse (1..31) enthalten.

Die Slaveantwort muss folgende Struktur besitzen:

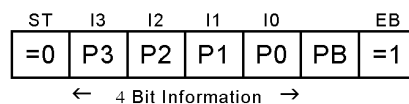


Bild 15 – Struktur der Slaveantwort (Write_Parameter)

Die Anforderung Write_Parameter darf die Zustandsmaschine des Slaves beeinflussen (weitere Einzelheiten siehe 8.4).

5.6.5.3 Address_Assignment

Die Anforderung Address_Assignment muss vom Master dazu verwendet werden, um den Slave zu veranlassen, die gegebene Adresse (I4..I0) in nichtflüchtiger Form zu speichern und diese Adresse zu verwenden, wenn auf Masteranforderungen geantwortet wird.

Die Anforderung Address_Assignment muss folgende Struktur besitzen:

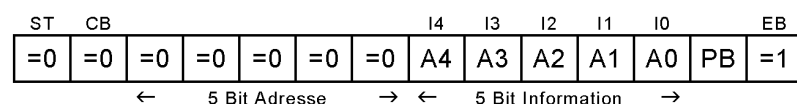


Bild 16 – Struktur der Anforderung Address_Assignment

Die Bits A4..A0 müssen die Nulladresse (00_{Hex}) enthalten.

Die Slaveantwort muss folgende Struktur besitzen:

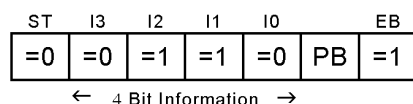


Bild 17 – Struktur der Slaveantwort (Address_Assignment)

Nach einem erfolgreichen Address_Assignment muss ein Slave mit der neuen Adresse antworten.

5.6.5.4 Write_Extended_ID-Code_1

Die Anforderung Write_Extended_ID-Code_1 ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, in die Tetrade des variablen ID-Codes des Slaves die Adresse =0 einzubeschreiben.

Der Befehl Write_Extended_ID-Code_1 muss folgende Struktur besitzen:

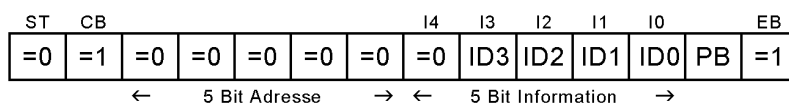


Bild 18 – Struktur der Anforderung Write_Extended_ID-Code_1

Aus Gründen der Kompatibilität mit früheren Versionen dieser Norm ist die Antwort eines Slaves auf diesen Befehl wahlfrei. Nach einem erfolgreichen Befehl Write_Extended_ID-Code_1 muss die Slaveantwort folgende Struktur besitzen:

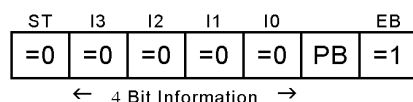


Bild 19 – Struktur der Slaveantwort (Write_Extended_ID-Code_1)

Die neue Tetrade des ID-Codes muss in nichtflüchtiger Form gespeichert werden.

Bei erweiterter Adressierung darf der Hersteller den Schreibzugriff durch den Anwender auf den erweiterten ID-Code 1 sperren. Dies ermöglicht es, zwischen spezielleren Produkten zu unterscheiden. Der Hersteller muss alle Bits des gesperrten erweiterten ID-Codes 1 auf 1 setzen oder wie es im Profil festgelegt ist. Der ID-Code 1 kann in bestimmten Profilen festgelegt werden. Mit ID_Code2=F_{Hex} und ID_Code1=F_{Hex} kann der ID-Code 1 vom Hersteller gesperrt werden.

ANMERKUNG 1 Wenn der Slave dabei ist, die neue Tetrade des ID-Codes im nichtflüchtigen Speicher zu speichern (Verarbeitung der Anforderung Write_Extended_ID-Code_1), darf vom Master keine neue Anforderung Write_Extended_ID-Code_1 ausgegeben werden. Das Ergebnis des Speichervorganges wäre sonst undefiniert.

ANMERKUNG 2 Wenn der Slave mit erweiterter Adressierung benutzt wird, wird ID3 als SEL zur Auswahl der A- und B-Adresse benutzt. Bei dieser Adressierungsart ist der anwenderprogrammierbare Teil des erweiterten ID-Code_1 (ID2..ID0) auf den Bereich von 0 bis 7 begrenzt.

5.6.5.5 Reset_Slave

Die Anforderung Reset_Slave ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, um einen bestimmten Slave zurückzusetzen.

Der Befehl Reset_Slave muss folgende Struktur besitzen:

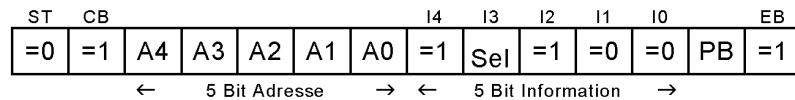
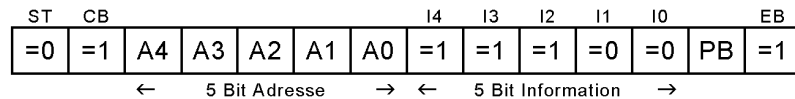


Bild 20 – Struktur der Anforderung Reset_Slave
(oben: Standardadressierung; unten: erweiterte Adressierung)

Die Slaveantwort muss folgende Struktur besitzen:

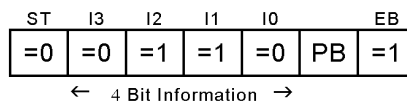


Bild 21 – Struktur der Slaveantwort (Reset_Slave)

Die Anforderung Reset_Slave beeinflusst die Zustandsmaschine des Slaves (weitere Einzelheiten siehe 8.4).

5.6.5.6 Delete_Address

Die Anforderung Delete_Address ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, um die Betriebsadresse einen speziellen Slaves zu löschen.

Der Befehl Delete_Address muss folgende Struktur besitzen:

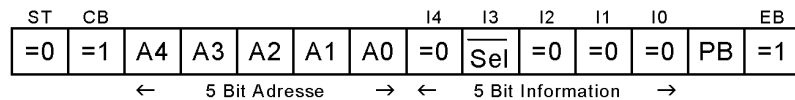
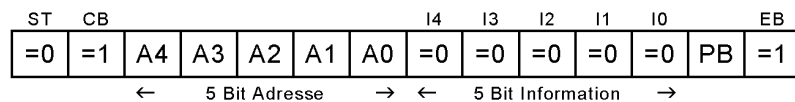


Bild 22 – Struktur der Anforderung Delete_Address
(oben: Standardadressierung; unten: erweiterte Adressierung)

Die Slaveantwort muss folgende Struktur besitzen:

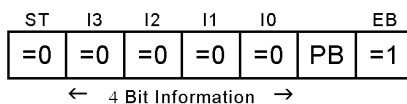


Bild 23 – Struktur der Slaveantwort (Delete_Address)

Nach einem erfolgreichen Befehl Delete_Address muss ein Slave mit der Nulladresse antworten. Diese Anforderung darf nicht dazu führen, dass der Slave die Adresse in nichtflüchtiger Form speichert.

Die Anforderung Delete_Address beeinflusst die Zustandsmaschine des Slaves nicht.

ANMERKUNG 1 Eine Anforderung Delete_Address an einen Slave mit einer Nulladresse ist identisch mit der Anforderung Write_Extended_ID-Code_1 (siehe 5.6.5.4).

prEN 62026-2:2006

ANMERKUNG 2 Wenn der Slave dabei ist, seine Adresse im nichtflüchtigen Speicher zu speichern (Verarbeitung der Anforderung Address_Assignment), darf vom Master keine Anforderung Delete_Address ausgegeben werden. Das Ergebnis des Speichervorganges wäre undefiniert.

5.6.5.7 Read_I/O_Configuration

Die Anforderung Read_I/O_Configuration ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, um die E/A-Konfiguration eines speziellen Slaves auszulesen.

Der Befehl Read_I/O_Configuration muss folgende Struktur besitzen:

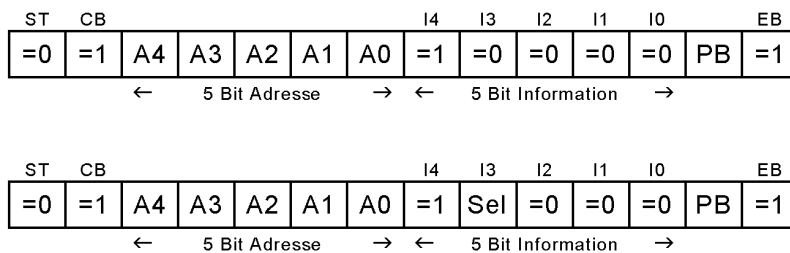


**Bild 24 – Struktur der Anforderung Read_I/O_Configuration
(oben: Standardadressierung; unten: erweiterte Adressierung)**

Die Slaveantwort muss den E/A-Code enthalten und folgende Struktur besitzen:

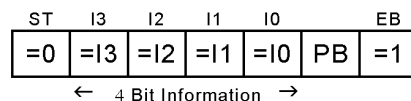


Bild 25 – Struktur der Slaveantwort (Read_I/O_Configuration)

Die Eingangs-/Ausgangsdatenbits sind so konfiguriert, dass sie nur als Eingabe, nur als Ausgabe, als bidirektionale Ein-/Ausgabe oder als Tri-State wirken. Diese Konfiguration hängt von der Umgebung und der geforderten Funktionalität ab. Sie ist deshalb für jeden bestimmten Slave festgesetzt. In Tabelle 7 sind 16 unterschiedliche Konfigurationen festgelegt. Sie werden mit dem Identifikationscode bezeichnet, der in nichtflüchtiger Form im Slave gespeichert werden muss.

Die E/A-Konfiguration muss wie folgt codiert werden.

ANMERKUNG Beispiele für die E/A-Konfiguration sind:

- 4-Bit-Eingangsdaten zur Übertragung der Schaltsignale von 4 binären Sensoren;
- 4-Bit-Ausgangsdaten zur Aktivierung von vier Aktuatoren;
- 2-Bit-Ausgangsdaten plus 2-Bit-Eingangsdaten zur Aktivierung und Überwachung eines Aktuators im Doppelbetrieb (z. B. bidirektionales Druckluftventil, das auch die Sensorsignale überträgt, die die Endstellungen anzeigen).

Tabelle 7 – E/A-Codes (IN = Eingang, OUT = Ausgang, TRI = Tri-State, I/O = Ein-/Ausgang oder bidirektional (B))

E/A-Code (4 Bits)	E/A-Konfiguration			
	D0	D1	D2	D3
0 _{Hex}	IN	IN	IN	IN
1 _{Hex}	IN	IN	IN	OUT
2 _{Hex}	IN	IN	IN	I/O
3 _{Hex}	IN	IN	OUT	OUT
4 _{Hex}	IN	IN	I/O	I/O
5 _{Hex}	IN	OUT	OUT	OUT
6 _{Hex}	I/O	I/O	I/O	I/O
7 _{Hex}	I/O	I/O	I/O	I/O
8 _{Hex}	OUT	OUT	OUT	OUT
9 _{Hex}	OUT	OUT	OUT	IN
A _{Hex}	OUT	OUT	OUT	I/O
B _{Hex}	OUT	OUT	IN	IN
C _{Hex}	OUT	OUT	I/O	I/O
D _{Hex}	OUT	IN	IN	IN
E _{Hex}	OUT	I/O	I/O	I/O
F _{Hex}	TRI	TRI	TRI	TRI

ANMERKUNG In vorangegangenen Versionen dieser Norm wurde der E/A-Code 6_{Hex} als IN I/O I/O I/O definiert.

5.6.5.8 Read_Identification_Code

Die Anforderung Read_Identification_Code ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, um den Identifikationscode eines speziellen Slaves auszulesen.

Die Anforderung Read_Identification_Code muss folgende Struktur besitzen:

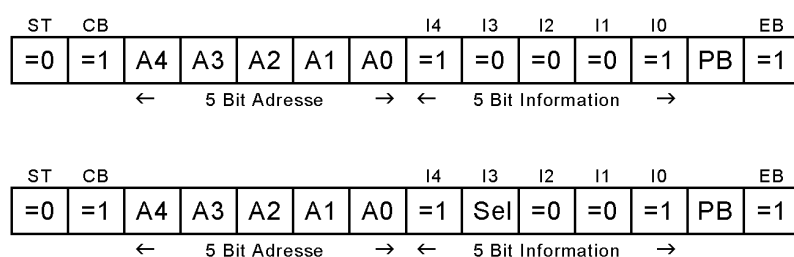


Bild 26 – Struktur der Anforderung Read_Identification_Code (oben: Standardadressierung; unten: erweiterte Adressierung)

Die Slaveantwort muss den ID-Code enthalten und folgende Struktur besitzen:

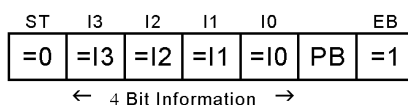


Bild 27 – Struktur der Slaveantwort (Read_Identification_Code)

prEN 62026-2:2006

Wenn der Identifikationscode eines Slaves A_{Hex} ist, verwendet der Slave die erweiterte Adressierung.

Wenn der Identifikationscode eines Slaves B_{Hex} ist, überträgt der Slave sichere Signale.

ANMERKUNG Weitere Einzelheiten siehe Tabelle 8 und Anhang A.

5.6.5.9 Read_Extended_ID-Code_1/2

Die Anforderungen Read_Extended_ID-Code_1/2 sind zwei Befehlsanforderungen und müssen vom Master dazu verwendet werden, um den Inhalt des (wahlfreien) erweiterten ID-Code-Registers eines speziellen Slaves auszulesen. Diese Befehle sind wahlfrei.

Die Befehlsanforderung Read_Extended_ID-Code_1/2 muss folgende Struktur besitzen:

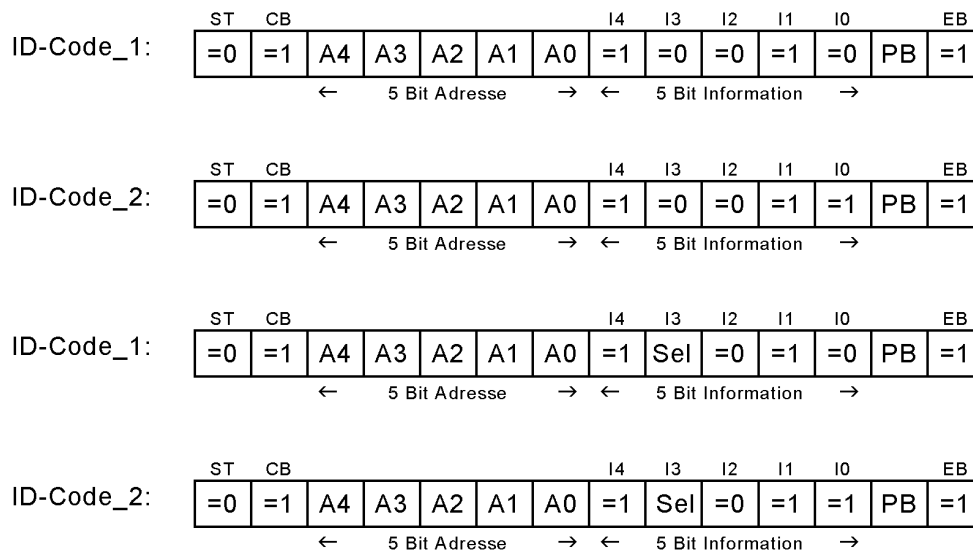


**Bild 28 – Struktur der Anforderung Read_Extended_ID-Code_1/2
(oben: Standardadressierung; unten: erweiterte Adressierung)**

Die Slaveantwort muss folgende Struktur besitzen:

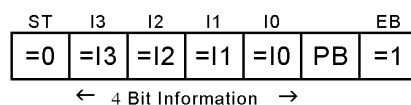


Bild 29 – Struktur der Slaveantwort (Read_Extended_ID-Code_1/2)

ANMERKUNG Wenn der Slave mit erweiterter Adressierung benutzt wird, wird I3 in der Slaveantwort auf Read_Extended_ID-Code_1 als SEL zur Anzeige der A/B-Adresse benutzt. Bei dieser Adressierungsart ist der erweiterte ID-Code 1 (I2..I0) auf den Bereich von 0 bis 7 begrenzt.

5.6.5.10 Read_Status

Die Anforderung Read_Status ist eine Befehlsanforderung und muss vom Master dazu verwendet werden, um den Status eines speziellen Slaves auszulesen.

Die Anforderung Read_Status muss folgende Struktur besitzen:

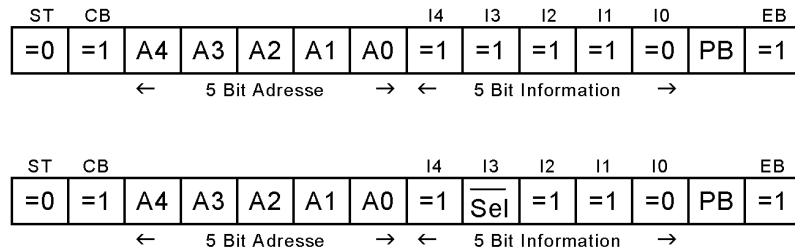


Bild 30 – Struktur der Anforderung Read_Status
(oben: Standardadressierung; unten: erweiterte Adressierung)

Die Slaveantwort muss folgende Struktur besitzen:

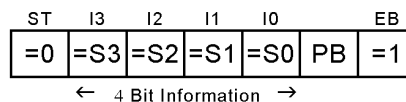


Bild 31 – Struktur der Slaveantwort (Read_Status)

5.6.5.11 R1

R1 ist eine Befehlsanforderung. Sie ist reserviert und wahlfrei.

Dieser Befehl wird im Informationsteil der Masteranforderung mit 1F_{Hex} codiert. Die Reservierungsanforderung muss folgende Struktur besitzen:

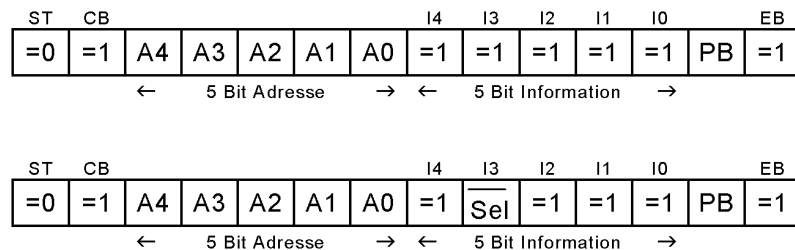


Bild 32 – Struktur der Anforderung R1
(oben: Standardadressierung; unten: erweiterte Adressierung)

Die Slaveantwort muss folgende Struktur besitzen:

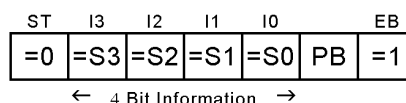


Bild 33 – Struktur der Slaveantwort (R1)

ANMERKUNG Aus Gründen der Kompatibilität darf die Slaveantwort den Inhalt des Statusregisters enthalten. Dieser Befehl war in den ersten Systemimplementierungen (bis zu Version 2.0 dieser Norm) ein Read_Reset_Status. Es wird empfohlen, den Befehl in neuen Entwicklungen nicht zu verwenden.

5.6.5.12 Broadcast (Reset)

Broadcast (Reset) ist eine Befehlsanforderung und wahlfrei.

Die Anforderung Broadcast (Reset) muss folgende Struktur besitzen:

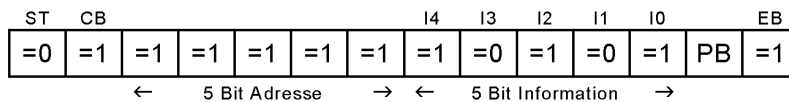


Bild 34 – Struktur der Anforderung Broadcast (Reset)

Die Slaves müssen mit einem Zurücksetzen antworten. Auf diese Anforderung darf keine Slaveantwort gegeben werden.

ANMERKUNG 1 In einem Netzwerk darf dieser Befehl vom Master verwendet werden, um alle Slaves zurückzusetzen, die den Befehl erkennen. Folglich wird er verwendet, um eine Aktion auszuführen, die einem Nothalt gleicht. Wie die Anforderung Reset_Slave beeinflusst Broadcast (Reset) die Zustandsmaschine des Slaves (weitere Einzelheiten siehe 8.4).

ANMERKUNG 2 Für eine zukünftige Systemerweiterung ist der Informationsteil 15_{Hex} für Broadcast-Befehle reserviert.

5.7 Kombinierte AS-i-Transaktionen

5.7.1 Allgemeines

AS-i-Einzeltransaktionen enthalten höchstens 4 Informationsbits. Wenn mehr als 4 Bits konsistenter Informationen zu übertragen sind, ist zur Steuerung des Datentransfers eine zusätzliche Menge von Regeln aufzustellen. Für die verschiedenen Anwendungsarten (z. B. Worttransfer in eine einzige Richtung für analoge Sensoren und Aktuatoren, Vollduplex-Datenaustausch für intelligente Slaves usw.) gibt es mehrere Mengen von Regeln, die in den nachfolgenden Absätzen definiert sind.

Zur Bezeichnung von Slaves, die in der Lage sind, über kombinierte Transaktionen zu kommunizieren, werden die ID-Codes (siehe 5.6.5.8) oder die erweiterten ID-Codes (siehe 5.6.5.9) verwendet. Master, die in der Lage sind, über kombinierte Transaktionen zu kommunizieren, werden über ihre Masterprofile bezeichnet (siehe Anhang B). Tabelle 8 führt alle gegenwärtig festgelegten Typen von kombinierten Transaktionen auf.

Tabelle 8 – Liste der Typen kombinierter Transaktionen

Typ der kombinierten Transaktion	Slaveprofil	Masterprofil	Bemerkungen
Typ 1	S-7.1	nicht unterstützt	Für neue Entwicklungen wird die Anwendung von S-7.3 empfohlen.
Typ 1	S-7.2	nicht unterstützt	Für neue Entwicklungen wird die Anwendung von S-7.4 empfohlen.
Typ 1	S-7.3	M3	16-Bit-Eingänge oder -Ausgänge
Typ 1	S-7.4	M3	komplexe Feldgeräte
Typ 2	S-7.5.5	M4	kombinierte Feldgeräte
Typ 2	S-7.A.5	M4	kombinierte Feldgeräte
Typ 2	S-B.A.5	M4	Feldgeräte für serielle Kommunikation
Typ 3	S-7.A.7	M4	4E/4A mit erweiterter Adressierung
Typ 3	S-7.A.A	M4	8E/8A mit erweiterter Adressierung
Typ 4	S-7.A.8	M4	16-Bit-Eingänge mit erweiterter Adressierung
Typ 4	S-7.A.9	M4	duale 16-Bit-Eingänge mit erweiterter Adressierung
Typ 5	S-6.0	M4	schnelle 16-Bit-Eingänge und -Ausgänge
AS-i-Sicherheit	S-0.B	beliebig	AS-i-Sicherheits-Eingangsslaves
AS-i-Sicherheit	S-7.B	beliebig	AS-i-Sicherheits-Eingangsslaves mit Standardausgängen

5.7.2 Kombinierte Transaktionen des Typs 1

Kombinierte Transaktionen des Typs 1 werden nach dem nachfolgend angegebenen Verfahren ausgeführt. Dabei werden für den Bytetransfer zwischen dem Master und dem Slave die Mechanismen des AS-i-Standarddatentransfers mit den in Tabelle 8 angegebenen Profilen zum Aufbau eines Halbduplex-Datenübertragungskanal benutzt.

ANMERKUNG Kombinierte Transaktionen des Typs 1 können für analoge Sensoren und Aktuatoren angewendet werden; für Scanner und Anzeigen mit höchstens 8 Zeichen Ersatz von 4-mA-Schnittstellen durch 20-mA-Schnittstellen. Sie können weiterhin für komplexe Feldgeräte mit variablen Parametern angewendet werden; Ersatz von 4-mA-Schnittstellen durch 20-mA-Schnittstellen mit Parameterwechsel.

5.7.2.1 Definition der E/A-Datenbits und der Parameterbits

Die Definition der E/A-Datenbits (Einzeltransaktion Data_Exchange) ist in Bild 35 angegeben.

	I3	I2	I1	I0
	D3	D2	D1	D0
	← 4 Bit Information →			

Bit	Typ	Definition
D3	E/A	Steuerbit für den Datentransfer (Umschaltbit)
D2	E/A	höchstwertiges Datenbit des Datentripels
D1	E/A	Datenbit des Datentripels
D0	E/A	niedrigstwertiges Datenbit des Datentripels

Bild 35 – Definition der E/A-Datenbits in kombinierten Transaktionen des Typs 1

Im folgenden Bild ist die Definition der Parameterbits (Einzeltransaktion Write_Parameter) angegeben. Diese Definition gilt nur für das Slaveprofil S-7.4. Einzelheiten siehe Anhang A.

	I3	I2	I1	I0
	P3	P2	P1	P0
	← 4 Bit Information →			

Px (hex)	P3	P2	P1	P0	Definition
F	1	1	1	1	normaler Datenzyklus
E	1	1	1	0	normaler Datenzyklus (wahlfrei)
D	1	1	0	1	Read ID String
C	1	1	0	0	Read Diagnosis
B	1	0	1	1	Read Parameter String
A	1	0	1	0	Write Parameter String
0	0	0	0	0	Anwendung zur Erzeugung ungültiger Slaveantworten

Bild 36 – Definition der Parameterbits in kombinierten Transaktionen des Typs 1

Wenn durch die Parameter ein „normaler Datenzyklus“ ausgewählt wird, wird die Richtung des Datentransfers nach 5.7.2.2 durch den erweiterten ID2-Code bestimmt. Sie kann während des Betriebs nicht verändert werden. Bei einem analogen Ausgang wirkt der Master als Datenquelle, bei einem analogen Eingang als Datensenke.

Wenn durch die Parameter „Read ID String“, „Read Diagnosis“ oder „Read Parameter String“ ausgewählt wird, wirkt der Slave als Datenquelle und der Master als Datensenke. Wenn durch die Parameter „Write Parameter String“ ausgewählt wird, wirkt der Master als Datenquelle und der Slave als Datensenke.

ANMERKUNG Aufgrund dieser Definition der Daten- und Parameterbits können kombinierte Transaktionen des Typs 1 nur bei Standardadressierung verwendet werden.

5.7.2.2 Definition der Richtung des Datentransfers und der Anzahl der Kanäle

Die Richtung des Datentransfers und die Anzahl der Datenkanäle wird durch den erweiterten ID2-Code (Einzeltransaktion Read_ID2-Code) festgelegt, der im Slave gespeichert ist (Einzelheiten siehe Anhang A).

ANMERKUNG Bei AS-i-Slaves, die die erweiterten ID1/ID2-Codes nicht unterstützen, muss der AS-i-Master den Standardwert F_{Hex} für den erweiterten ID2-Code annehmen. Dies entspricht einem analogen Eingangsslave mit 4 Kanälen. Es ist zulässig, mit dem erweiterten ID2-Code von F_{Hex} weniger als 4 Kanäle zu realisieren. In diesem Fall senden die Slaves nur Daten für die implementierten Kanäle. Der Master muss die Eingangswerte der unbenutzten Kanäle in seiner Abbildung der analogen Eingangsdaten als ungültig kennzeichnen. Slaves, die die erweiterten ID1/ID2-Codes unterstützen, dürfen den Standardwert F_{Hex} für den erweiterten ID2-Code nicht verwenden.

5.7.2.3 Datentransfer

Wenn der Slave als Datenquelle festgelegt ist und der Master als Datensenke, wird der Datentransfer durch den Master, wie in Tabelle 9 gezeigt, gesteuert. Der Master gibt eine Anforderung aus, die wie dargestellt aus einem 3-Bit-Befehl besteht. Der Slave antwortet im selben oder in einem der nächsten Data_Exchange-Telegramme mit 3-Bit-Daten.

Wenn der Master als Datenquelle festgelegt ist und der Slave als Datensenke, wird der Datentransfer durch den Slave in ähnlicher Weise, wie in Tabelle 10 gezeigt, gesteuert. Der Slave gibt eine Anforderung aus, die wie dargestellt aus einem 3-Bit-Befehl besteht. Der Master antwortet in einem der nächsten Data_Exchange-Telegramme mit 3-Bit-Daten.

Unabhängig von der Richtung des Datentransfers wird das Steuerbit K (das Umschaltbit) vom Master jedes Mal invertiert, wenn sich der Inhalt der Befehls- oder Datenbits ändert.

Tabelle 9 – Datentransfer vom Slave zum Master in kombinierten Transaktionen des Typs 1

Master (Anforderung)		Slave (Antwort)	Bemerkungen
K 1 1 1	>	$\bar{K}$ D2 D1 D0	
K 1 1 0	>	$\bar{K}$ D2 D1 D0	
K 1 0 1	>	$\bar{K}$ D2 D1 D0	
K 1 0 0	>	$\bar{K}$ D2 D1 D0	
K 0 1 1	>	$\bar{K}$ D2 D1 D0	
K 0 1 0	>	$\bar{K}$ D2 D1 D0	
K 0 0 1	>	$\bar{K}$ D2 D1 D0	
K 0 0 0	>	$\bar{K}$ D2 D1 V	

ANMERKUNG 1 Die Daten in dieser Tabelle sind auf der Steuerungsebene angegeben. Die Masteranforderungen werden auf der AS-i-Leitung in invertierter Form übertragen (siehe 8.5.3.7).

Die Anforderung K111 dient auch als „Einrast“-befehl. Nach dem Empfang dieses Befehls dürfen die Datenbits der gesamten Folge von der Datenquelle solange nicht aktualisiert werden, bis die gesamte Folge abgeschlossen ist. Damit wird die Konsistenz der Daten gesichert.

Tabelle 10 – Datentransfer vom Master zum Slave in kombinierten Transaktionen des Typs 1

Master (Anforderung)		Slave (Antwort)	Bemerkungen
K X X X	>	$\bar{K}$ 1 1 1	
K D2 D1 D0	>	$\bar{K}$ 1 1 0	
K D2 D1 D0	>	$\bar{K}$ 1 0 1	
K D2 D1 D0	>	$\bar{K}$ 1 0 0	
K D2 D1 D0	>	$\bar{K}$ 0 1 1	
K D2 D1 D0	>	$\bar{K}$ 0 1 0	
K D2 D1 D0	>	$\bar{K}$ 0 0 1	
K D2 D1 D0	>	$\bar{K}$ 0 0 0	
K D2 D1 V		$\bar{K}$ 1 1 1	Beginn des nächsten Zyklus (oder K000, wenn Transaktionen abzuschließen sind)

ANMERKUNG 2 Die Daten in dieser Tabelle sind auf der Steuerungsebene angegeben. Die Masteranforderungen werden auf der AS-i-Leitung in invertierter Form übertragen (siehe 8.5.3.7).

Der Datentransfer beginnt mit der Anforderung K111. Er endet mit der Anforderung K000. Diese beiden Anforderungen sind vorgeschrieben. Wenn weniger als 23 Bits zu übertragen sind, dürfen die mit K110 beginnenden Anforderungen weggelassen werden. Die Länge der Daten und die Definition der einzelnen Bits sind in den Slaveprofilen (Einzelheiten siehe Anhang A) oder in der Herstellerdokumentation angegeben.

Das letzte Bit der Folge ist das Valid-Bit V. Wenn es auf 1 gesetzt ist, wurde die Folge richtig übertragen und die empfangenen Daten werden als gültig gekennzeichnet.

5.7.2.4 Slaveantwortzeiten

5.7.2.4.1 Eingangsslaves

Wenn der Master ein neues Datentripel des Eingangsslaves adressiert (d. h., das Umschaltbit der Daten hat sich geändert), muss der Slave innerhalb von 250 µs mit einem neuen Wert antworten. Damit ist sichergestellt, dass die längsten Datenübertragungszeiten berechnet werden können.

5.7.2.4.2 Ausgangsslaves

Nach Empfang des Befehls K111 ändert der Master das Umschaltbit und sendet neue Daten. Der Slave muss innerhalb von 250 µs mit einem neuen Befehlsdatentripel antworten. Diese Folge setzt sich fort, bis der Slave das letzte Datentripel adressiert und der Master mit dem Datentripel antwortet, das das Valid-Bit V enthält.

Der Slave darf dann höchstens 3 s warten, bis er mit einer neuen Folge mit K111 beginnt. Die längste Zeit, die der Ausgangsslave warten wird, bis ein neuer Datentransferzyklus beginnt, muss in der Herstellerdokumentation angegeben sein. Diese Dauer wird als „längste Verzögerung zwischen zwei aufeinander folgenden Datentransferzyklen“ bezeichnet.

5.7.2.5 Read ID, Read Diagnosis, Read Parameter und Write Parameter

Wenn der normale Datentransferzyklus unterbrochen werden muss, um ein „Read ID“, ein „Read Diagnosis“ oder ein „Read Parameter“ einzufügen, muss der Master den in Bild 37 angegebenen Ablauf befolgen (nur Slaveprofile S-7.2 und S-7.4).

ANMERKUNG Die Wartezeit von 500 ms ist erforderlich, weil die Anforderung Write_Parameter vom Master azyklisch ausgegeben wird. Die Wartezeit von 1 ms wird vom Slave dazu benötigt, seinen internen Umschaltvorgang durchzuführen.

Nach den ersten Aufruf „Write_Parameter (xxx) in den Slave“ darf der Master die vier Ausgangsbits nicht mehr ändern. Wenn die Wartezeit von 1 ms vorbei ist, muss der Master das Umschaltbit D3 ändern und gleichzeitig die Bits D2, D1 und D0 auf 111 (Host-Pegel) setzen.

Wenn der normale Datentransferzyklus unterbrochen werden muss, um ein „Write_Parameter“ einzufügen, muss der Master den in Bild 38 angegebenen Ablauf und der Slave den in Bild 39 angegebenen Ablauf befolgen (nur Slaveprofile S-7.2 und S-7.4).

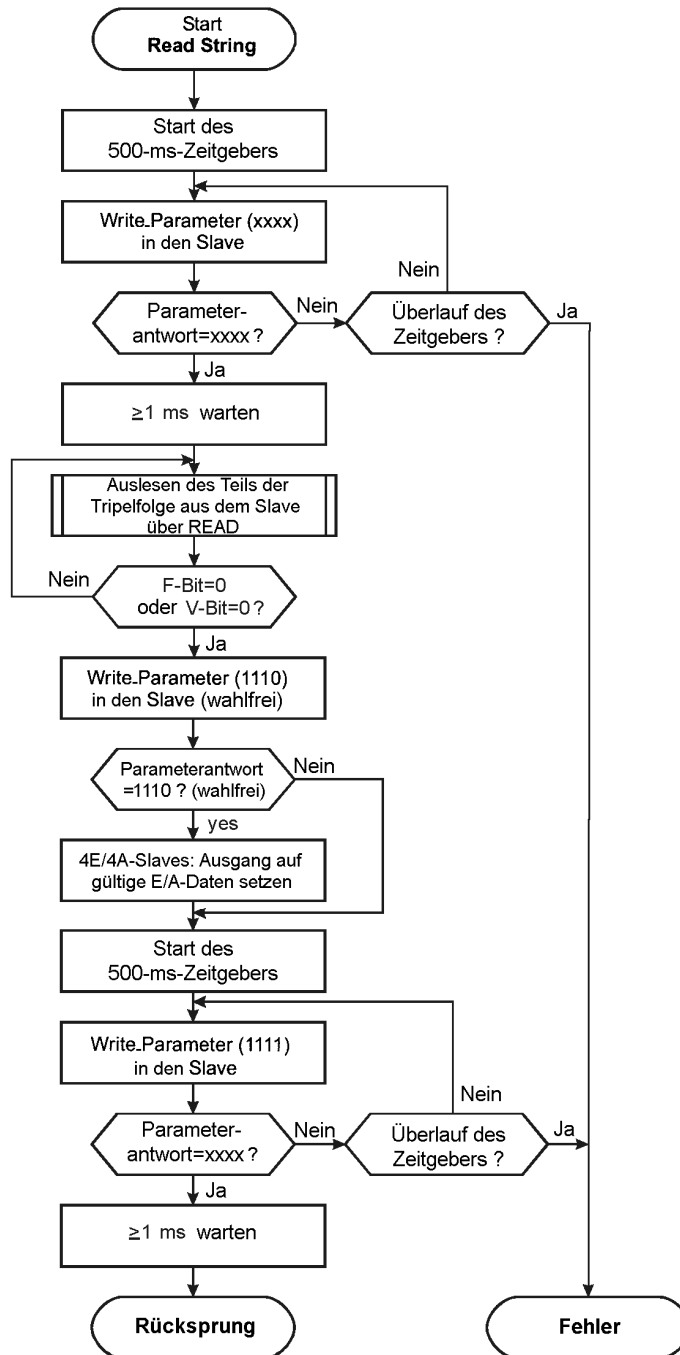


Bild 37 – Funktionsablauffolge für Read ID, Read Diagnosis und Read Parameter in kombinierten Transaktionen des Typs 1