

DIN EN 62435-5

ICS 31.200

Einsprüche bis 2013-11-20

Entwurf

**Elektronische Bauteile –
Langzeitlagerung elektronischer Halbleiterbauelemente –
Teil 5: Chip- und Wafererzeugnisse
(IEC 47/2174/CD:2013)**

Electronic components –
Long-term storage of electronic semiconductor devices –
Part 5: Die & Wafer Devices
(IEC 47/2174/CD:2013)

Anwendungswarnvermerk

Dieser Norm-Entwurf mit Erscheinungsdatum 2013-09-20 wird der Öffentlichkeit zur Prüfung und Stellungnahme vorgelegt.

Weil die beabsichtigte Norm von der vorliegenden Fassung abweichen kann, ist die Anwendung dieses Entwurfes besonders zu vereinbaren.

Stellungnahmen werden erbeten

- vorzugsweise online im Norm-Entwurfs-Portal des DIN unter www.entwuerfe.din.de bzw. für Norm-Entwürfe der DKE auch im Norm-Entwurfs-Portal der DKE unter www.entwuerfe.normenbibliothek.de, sofern dort wiedergegeben;
- oder als Datei per E-Mail an dke@din.de möglichst in Form einer Tabelle. Die Vorlage dieser Tabelle kann im Internet unter www.din.de/stellungnahme oder für Stellungnahmen zu Norm-Entwürfen der DKE unter www.dke.de/stellungnahme abgerufen werden;
- oder in Papierform an die DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (Hausanschrift: Stresemannallee 15, 60596 Frankfurt am Main).

Die Empfänger dieses Norm-Entwurfs werden gebeten, mit ihren Kommentaren jegliche relevanten Patentrechte, die sie kennen, mitzuteilen und unterstützende Dokumentationen zur Verfügung zu stellen.

Gesamtumfang 22 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE

Inhalt

	Seite
Einleitung	4
1 Anwendungsbereich	5
2 Normative Verweisungen	5
3 Begriffe und Definitionen	5
4 Anforderungen bezüglich der Lagerung	6
4.1 Assemblierungsdaten	6
4.2 Voraussetzungen für eine Lagerung	6
4.3 Beschädigungen von Chipserzeugnissen während der Langzeitlagerung	6
4.4 Mechanische Lagerungsbedingungen	6
4.5 Umgebungsbedingungen bei Langzeitlagerung	6
4.6 Empfehlungen zur Reinheit der Innertatmosphäre	7
4.7 Chemische Verunreinigungen	7
4.8 Vakuumverpackung	7
4.9 Überdrucksysteme für die Verpackung	8
4.10 Verwendung von Verpackungsmaterialien mit Opfereigenschaften	8
4.11 Verwendung von biologisch abbaubaren Materialien	8
4.12 Plasmareinigung	8
4.13 Elektrische Effekte	8
4.14 Schutz vor Strahlung	9
4.15 Periodische Qualifikation von gelagerten Chip-Erzeugnissen	9
5 Ausfallmechanismen bei der Langzeitlagerung	9
6 LTS-Aspekte, Verfahren, Verifizierung und Beschränkungen	10
6.1 Wafer	10
6.2 Nacktchips	11
7 Schädigungsmechanismen bei Nacktchips und Wafern	12
7.1 Drahtbondbarkeit	12
7.2 Verfärbungen	12
7.3 Obenliegende (Top-Side) Delaminationen	12
8 Besondere Hinweise zur Handhabung	12
8.1 Chips auf Film-Frames für Wafer	12
8.2 Lagerung von Bauelementen und Chips in Blistergurten (geprägte/perforierte Tapes)	12
8.3 Schäden durch Handhabung	12

Nationales Vorwort

Das internationale Dokument IEC 47/2174/CD:2013 „Electronic components – Long-term storage of electronic semiconductor devices – Part 5: Die & Wafer Devices“ (CD, en: Committee Draft) ist unverändert in diesen Norm-Entwurf übernommen worden. Dieser Norm-Entwurf enthält eine noch nicht autorisierte deutsche Übersetzung.

Um Zweifelsfälle in der Übersetzung auszuschließen, ist die englische Originalfassung des CD entsprechend der diesbezüglich durch die IEC erteilten Erlaubnis beigefügt. Die Nutzungsbedingungen für den deutschen Text des Norm-Entwurfes gelten gleichermaßen auch für den englischen IEC-Text.

Das internationale Dokument wurde vom TC 47 „Semiconductor devices“ der Internationalen Elektrotechnischen Kommission (IEC) erarbeitet und den nationalen Komitees zur Stellungnahme vorgelegt.

Die IEC und das Europäische Komitee für Elektrotechnische Normung (CENELEC) haben vereinbart, dass ein auf IEC-Ebene erarbeiteter Entwurf für eine Internationale Norm zeitgleich (parallel) bei IEC und CENELEC zur Umfrage (CDV-Stadium) und Abstimmung als FDIS (en: Final Draft International Standard) bzw. Schluss-Entwurf für eine Europäische Norm gestellt wird, um eine Beschleunigung und Straffung der Normungsarbeit zu erreichen. Dokumente, die bei CENELEC als Europäische Norm angenommen und ratifiziert werden, sind unverändert als Deutsche Normen zu übernehmen.

Da der Abstimmungszeitraum für einen FDIS bzw. Schluss-Entwurf prEN nur 2 Monate beträgt, und dann keine sachlichen Stellungnahmen mehr abgegeben werden können, sondern nur noch eine „JA/NEIN“-Entscheidung möglich ist, wobei eine „NEIN“-Entscheidung fundiert begründet werden muss, wird bereits der CD als DIN-Norm-Entwurf veröffentlicht, um die Stellungnahmen aus der Öffentlichkeit frühzeitig berücksichtigen zu können.

Für dieses Dokument ist das nationale Arbeitsgremium K 631 „Halbleiterbauelemente“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (www.dke.de) zuständig.

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Der Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ergibt sich, soweit ein Zusammenhang besteht, grundsätzlich über die Nummer der entsprechenden IEC-Publikation. Beispiel: IEC 60068 ist als EN 60068 als Europäische Norm durch CENELEC übernommen und als DIN EN 60068 ins Deutsche Normenwerk aufgenommen.

**Elektronische Bauteile –
Langzeitlagerung elektronischer Halbleiterbauelemente –
Teil 5: Chip- und Wafererzeugnisse**

Einleitung

Diese Norm ist für die Langzeitlagerung elektronischer Bauteile anwendbar.

Obwohl sie bereits im gewissen Umfang existiert, wurde die Obsoleszenz elektronischer Bauteile, insbesondere von integrierten Schaltungen in den letzten Jahren zunehmend bedeutungsvoller.

Bei dem existierenden technologischen Aufschwung wurde jedoch die wirtschaftliche Lebensdauer eines Bauteils sehr kurz im Vergleich zur Brauchbarkeitsdauer industrieller Anlagen, wie sie in Luftfahrtanwendungen, der Eisenbahnindustrie oder dem Energiesektor zu finden sind.

Die vielen Lösungen, die es ermöglichen, der Obsoleszenz zu begegnen, sind jetzt ausgewiesen. Allerdings müssen bei der Auswahl von einer dieser Lösungen sowohl eine technische Fallstudie als auch eine wirtschaftliche Durchführbarkeitsstudie vorausgehen, und zwar abhängig davon, ob die Lösung für den Kundendienst oder die Fertigung vorgesehen ist, wie zum Beispiel:

- Lagerung zur Abhilfe, sobald Bauteile nicht mehr länger am Markt sind;
- Lagerung zur Prävention, um einer Abkündigungserklärung zuvorzukommen.

Werden die erwarteten Brauchbarkeitsdauern von einigen Anwendungen, die manchmal einige Dekaden betragen, die Qualifikationszeiten und die Kosten der Nichtverfügbarkeit, die ebenfalls sehr hoch sein können, berücksichtigt, so muss die anzuwendende Lösung für die Obsoleszenz oft schnell implementiert werden. Das ist der Grund, warum die meistens gewählte Lösung im systematischen Lagern der Bauteile besteht, welche sich im Prozess einer werdenden Obsoleszenz befinden.

Die technischen Risiken dieser Lösung sind a priori weitestgehend niedrig. Sie erfordert jedoch eine perfekte Beherrschung des implementierten Prozesses und ganz besonders der Lagerungsbedingungen, wobei diese Lösung kritisch wird, wenn es zu einer Langzeitlagerung kommt.

Alle Tätigkeiten von Handhabung, Schutzvorkehrungen, Lagerung und Prüfungen sind entsprechend dem Stand der Technik durchzuführen.

Die Anwendung des in diesem Dokument vorgeschlagenen Vorgehens garantiert in keiner Weise, dass sich die gelagerten Bauteile am Ende der Lagerung in einem vollkommenen Betriebszustand befinden. Es ist nur ein Mittel, die potenziellen und wahrscheinlichen Degradationsfaktoren zu minimieren.

Die Struktur der Internationalen Norm ist gegenwärtig wie folgt geplant:

- Part 1 – General
- Part 2 – Deterioration Mechanisms
- Part 3 – Data
- Part 4 – Storage
- Part 5 – Die & Wafer Devices
- Part 6 – Packaged or Finished Devices
- Part 7 – MEMS
- Part 8 – Passive electronic devices
- Part 9 – Special Cases

1 Anwendungsbereich

Diese Normenreihe ist dafür gedacht, eine praktische Anleitung für Verfahren der Langzeitlagerung elektronischer Bauteile bereitzustellen, wenn es eine beabsichtigte oder geplante Lagerung des Erzeugnisses über eine Anzahl von Jahren gibt. Lagerungsorganisationen für laufende Erzeugnisfertigungen werden entsprechend den internen Prozessvorgaben des Herstellers gehandhabt und werden von dieser Normenreihe nicht behandelt.

Die Norm ist in mehrere Teile gegliedert. Die Teile 1 bis 4 sind für jede Langzeitlagerung anwendbar und enthalten allgemeine Anforderungen und Anleitungen, während die Teile 5 bis 9 spezifisch für die Bauart des zu lagernden Erzeugnisses sind. Es ist vorgesehen, dass der produktspezifische Teil zusammen mit den allgemeinen Anforderungen der Teile 1 bis 4 zu lesen ist.

Elektronische Bauelemente, die unterschiedliche Lagerungsbedingungen erfordern, werden getrennt behandelt und starten mit Teil 5 – Die and Wafer Devices.

Dieser Teil, der die Chip- und Wafererzeugnisse umfasst, schließt die besondere Lagerungsorganisation und die Bedingungen für vereinzelte Nacktchips und Teilwafer oder ganze Wafer mit Chips ein, was dann auch Chips mit zusätzlichen Strukturen wie Redistributionslagen, Solder-Balls sowie Solder-Bumps und andere Metallisierungen beinhaltet. Dieser Teil enthält auch die besonderen Anforderungen für die Primärverpackung, welche die Chips oder Wafer bei der Handhabung, egal ob automatisiert oder nicht, enthalten.

2 Normative Verweisungen

Die nachfolgend aufgeführten Dokumente sind für die Anwendung dieser Norm unbedingt erforderlich. Bei datierten Verweisungen gilt nur die zitierte Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des zitierten Schriftstücks (einschließlich aller Änderungen).

IEC 60068-2-17:1994, *Basic environmental test procedures – Part 2: Tests – Test Q: Sealing*

IEC 60068-2-20:1979, *Environmental testing – Part 2: Tests – Test T: Soldering*

IEC 60410:1973, *Sampling plans and procedures for inspection by attributes*

IEC 61340-5-1:1998, *Electrostatics – Part 5-1: Protection of electronic devices from electrostatic phenomena – General requirements*

IEC 61340-5-2:1999, *Electrostatics – Part 5-2: Protection of electronic devices from electrostatic phenomena – User guide*

IEC 61945, *Integrated circuits – Manufacturing line approval – Methodology for technology and failure analysis*

IEC 62380: *Reliability data handbook – Universal model for reliability prediction of electronics components, PCBs and equipment*

EN 190 000:1995, *Generic specification – Integrated monolithic circuits*

3 Begriffe und Definitionen

Lagerungsumgebung

speziell überwachter Lagerungsbereich, mit besonderer Regelung von Temperatur, Luftfeuchte, Atmosphäre und anderen Bedingungen, die von den Produktanwendungen abhängig sind.

Non-stick-on-pad

NSOP

Zustand, bei dem eine Beschädigung oder Verunreinigung des Bondpads in einer fehlerhaften Bondstelle resultieren kann, weil der Bonddraht nicht bestimmungsgemäß auf dem Bondpad haftet

4 Anforderungen bezüglich der Lagerung

4.1 Assemblierungsdaten

Es sollte sorgfältig darauf geachtet werden, dass die Daten und Informationen, die für die nachfolgende Verarbeitung des Erzeugnisses erforderlich sind, wie z. B. Wafer-Maps, nach der Lagerung brauchbar sind.

4.2 Voraussetzungen für eine Lagerung

Nur ein Erzeugnis mit bekanntem Status einschließlich Qualität und Funktionalität sollte gelagert werden. Falls in Waferform, dann sollte der Wafer ink-markiert sein oder mit der entsprechenden Wafer-Map in einer dem Menschen lesbaren Form gelagert werden. Wafer-Maps auf elektronischen Medien können am Ende der Lagerung nicht mehr lesbar sein und man sollte sich nicht auf sie verlassen.

Die besten Bedingungen für beschleunigende Prüfungen hinsichtlich der Lagerungszuverlässigkeit sind Temperatur- oder Feuchte-Wechselbeanspruchungen oder die Kombination beider.

4.3 Beschädigungen von Chipserzeugnissen während der Langzeitlagerung

Fehler, die durch mechanische Beschädigungen verursacht werden, können unterschiedliche Bereiche des Chips oder Wafers beeinträchtigen und sollten betrachtet werden, wenn der Plan zur Langzeitlagerung erstellt wird.

4.4 Mechanische Lagerungsbedingungen

Um einen adäquaten mechanischen Schutz für die Chips und Wafer sicherzustellen, sollte sorgfältig sowohl auf die Erstbeschickung des Erzeugnisses in den Lagerungscontainer als auch die Herausnahme aus diesen Containern nach der Lagerung geachtet werden. Beschädigungen können leicht beim Beschicken und Entnehmen auftreten.

Während der Lagerung ist ein ausreichender Schutz für das Erzeugnis erforderlich, um es gegen Bewegungen oder Vibrationen zu schützen. Die Orientierung von Chips oder Wafers, besonders bei MEMS- oder Sensor-Erzeugnissen, kann wichtig sein, um die Beschädigungen durch Schock oder Vibration zu minimieren. Container und Regale können einen Aufbau gegen Vibrationen oder Resonanzen erfordern. Verpackungsmaterialien sollten so gestaltet sein, dass sie einen gewissen Schutzgrad gegen Schocks oder Vibrationen bieten.

Die Chips und Wafer sollten nicht geprüft werden, wenn nicht entsprechend einem spezifischen Stichprobenprogramm gefordert, um den Beitrag der Handhabung zu minimieren, welcher die Chips oder Wafer ausgesetzt sind.

Die Materialien, welche mit den Wafer- oder Chipoberfläche in Kontakt kommen, sollten sicherstellen, dass es minimale Abschleifungen und Adhäsion von Fremdmaterialien an den Oberflächen gibt.

4.5 Umgebungsbedingungen bei Langzeitlagerung

Diese Bedingungen sind zwingender als jene für Kurzzeitlagerungen (siehe 7.2), weil die Lagerungsumgebung für eine erfolgreiche Langzeitlagerung kritisch ist. Die hier vorgeschlagenen Verpackungsverfahren können für den Transport, besonders für den Lufttransport, ungeeignet sein:

Schränke oder Container für die Langzeitlagerung von Chips oder Wafers sollten die folgenden Bedingungen erfüllen:

- a) Spülgas: 99 % Stickstoff oder Edelgas
- b) Temperatur: 17 °C bis 25 °C
- c) Feuchte im Schrank: rF minimal 7 %, maximal 25 %
- d) Druck: Leicht über dem atmosphärischen Druck

Der Gasdruck sollte ausreichend hoch sein, um das Eindringen von externen Verunreinigungen zu verhindern.

Zur Kontrolle der relativen Feuchte ist es üblich für die Lagerumgebung von Chips und Wafern hochreinen Stickstoff zu verwenden, der z. B. aus einer Flüssiggasquelle gewonnen wird.

Die relative Feuchte sollte nicht unter 7 % fallen, um den Aufbau von elektrostatischen Feldern zu verhindern, und nicht über 25 % steigen, um Kondensation und Eindringen von Feuchte zu verhindern. Das ist wichtig, nachdem ein Lagerschrank geöffnet wurde; dabei ist es normal, temporär eine Spüleinrichtung anzubringen, um die relative Feuchte schnell wieder abzusenken, nachdem der Schrank geöffnet wurde.

Verpackungsmaterialien, die elektrostatische Schirmungen enthalten, wie z. B. Metallfolien, können auch verwendet werden. Elektrostatisch ableitende Beschichtungen sollten nicht verwendet werden, da diese Beschichtungen während der Lagerung degradieren und die Chips oder Wafer verunreinigen.

Jede Temperatur- und Feuchte-Schwankung über diese Grenzwerte hinaus sollte aufgezeichnet und gespeichert werden.

Temperatur- und Feuchte-Bedingungen außerhalb der Grenzwerte sollten mithilfe entsprechender korrektiver Maßnahmen behandelt werden. Es ist unwahrscheinlich, dass ein paar unwesentliche, die Grenzwerte überschreitende Schwankungen das gelagerte Erzeugnis dauerhaft degradieren werden. Allerdings sollten diese Überschreitungen der Grenzwerte berücksichtigt werden, wenn das Erzeugnis zur Verwendung aus dem Lager entnommen wird.

4.6 Empfehlungen zur Reinheit der Innertatmosphäre

Die Edelgasversorgung für die Lagerumgebung sollte Folgendes erfüllen:

- Reinheit größer als 99,5 % mit
 - weniger als 0,5 % Sauerstoff und Argon,
 - weniger als 0,01 % andere Gase,
 - weniger als 10^{-6} Halogene und
 - weniger als 10^{-6} Schwefelgase.

4.7 Chemische Verunreinigungen

Chips und Wafer sollten vor ionischen Verunreinigungen auf den aktiven Flächen oder Verunreinigungen durch andere Chemikalien geschützt werden, wobei sowohl die Beweglichkeit der Verunreinigungen durch Halbleitermaterialien als auch die Möglichkeit von induziertem intermetallischen Wachstum zu berücksichtigen ist.

Besondere Aufmerksamkeit sollte dem Schutz der Kontaktierflächen, den aktiven Flächen und Kontaktierungen auf der Rückseite geschenkt werden. Wafer, wie z. B. jene mit der Verwendung von III-V-Materialien, sind besonders empfindlich und können spezielle Betrachtungen erfordern.

Irgendwelche degradierbaren Verpackungswerkstoffe, die für den Chip- oder Wafertransport verwendet werden, sollten vor der Beschickung der Nacktchips oder Wafer in einen geeigneten Container zur Langzeitlagerung entfernt werden. Insbesondere sollten jene Verpackungseinheiten, welche durch die Langzeitdegradation zum Ansteigen der chemischen oder anderer bestimmter Verunreinigungen führen könnten, entfernt werden, wie z. B. Papier, Pappe, Schäume oder Folien. Das sollte alle Materialien einschließen, die mit einer Schicht überzogen sind, um die elektrostatischen Entladungen (ESD-Beschichtung) zu reduzieren, weil diese Schicht während der Lagerung ausgasen wird.

4.8 Vakuumverpackung

Vakuumverpackung wird im Allgemeinen zum Transport von Chips und Wafern verwendet. Diese Methode ist allerdings nicht für die Langzeitlagerung geeignet, weil ein Vakuum das Eindringen von Verunreinigungen durch den Verpackungswerkstoff begünstigt und außerdem über die Dauer degradiert. Das Beifügen von