

DIN EN 62680-3-1

ICS 29.200; 35.200

Einsprüche bis 2017-03-20

Entwurf**Schnittstellen des Universellen Seriellen Busses für Daten und Energie –
Teil 3-1: Festlegung Universeller Serieller Bus 3.1
(IEC 100/2589/CDV:2016);
Englische Fassung FprEN 62680-3-1:2016**

Universal Serial Bus interfaces for data and power –
Part 3-1: Universal Serial Bus 3.1 Specification
(IEC 100/2589/CDV:2016);
English version FprEN 62680-3-1:2016

Anwendungswarnvermerk

Dieser Norm-Entwurf mit Erscheinungsdatum 2017-01-20 wird der Öffentlichkeit zur Prüfung und Stellungnahme vorgelegt.

Weil die beabsichtigte Norm von der vorliegenden Fassung abweichen kann, ist die Anwendung dieses Entwurfs besonders zu vereinbaren.

Stellungnahmen werden erbeten

- vorzugsweise online im Norm-Entwurfs-Portal von DIN unter www.din.de/go/entwuerfe bzw. für Norm-Entwürfe der DKE auch im Norm-Entwurfs-Portal der DKE unter www.entwuerfe.normenbibliothek.de, sofern dort wiedergegeben;
- oder als Datei per E-Mail an dke@vde.com möglichst in Form einer Tabelle. Die Vorlage dieser Tabelle kann im Internet unter www.din.de/go/stellungnahmen-norm-entwuerfe oder für Stellungnahmen zu Norm-Entwürfen der DKE unter www.dke.de/stellungnahme abgerufen werden;
- oder in Papierform an die DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik in DIN und VDE, Stresemannallee 15, 60596 Frankfurt am Main.

Die Empfänger dieses Norm-Entwurfs werden gebeten, mit ihren Kommentaren jegliche relevanten Patentrechte, die sie kennen, mitzuteilen und unterstützende Dokumentationen zur Verfügung zu stellen.

Gesamtumfang 763 Seiten

DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik in DIN und VDE

Nationales Vorwort

Die Englische Fassung des europäischen Dokuments FprEN 62680-3-1:2016 „Schnittstellen des Universellen Seriellen Busses für Daten und Energie – Teil 3-1: Festlegung Universeller Serieller Bus 3.1“ (Entwurf in der Umfrage) ist unverändert in diesen Norm-Entwurf übernommen worden.

Die Internationale Elektrotechnische Kommission (IEC) und das Europäische Komitee für Elektrotechnische Normung (CENELEC) haben vereinbart, dass ein auf IEC-Ebene erarbeiteter Entwurf für eine Internationale Norm zeitgleich (parallel) bei IEC und CENELEC zur Umfrage (CDV-Stadium) und Abstimmung als FDIS (en: Final Draft International Standard) bzw. Schluss-Entwurf für eine Europäische Norm gestellt wird, um eine Beschleunigung und Straffung der Normungsarbeit zu erreichen. Dem entsprechend ist das internationale Dokument IEC 100/2589/CDV:2016 „Universal Serial Bus interfaces for data and power – Part 3-1: Universal Serial Bus 3.1 Specification“ unverändert in den Entwurf FprEN 62680-3-1:2016 übernommen worden.

Das internationale Dokument wurde vom TC 100 „Audio, video and multimedia systems and equipment“ der Internationalen Elektrotechnischen Kommission (IEC) erarbeitet.

Bei der Abstimmung zu dem Europäischen Schluss-Entwurf bei CENELEC und dem Internationalen Schluss-Entwurf bei IEC [Final Draft International Standard (FDIS)] sind jeweils nur „JA/NEIN“-Entscheidungen möglich, wobei „NEIN“-Entscheidungen fundiert begründet werden müssen. Dokumente, die bei CENELEC als Europäische Norm angenommen und ratifiziert werden, sind unverändert als Deutsche Normen zu übernehmen.

Für dieses Dokument ist das nationale Arbeitsgremium K 742 „Audio-, Video- und Multimediasysteme, -geräte und -komponenten“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik in DIN und VDE (www.dke.de) zuständig.

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf ein Dokument ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils aktuellste Ausgabe des in Bezug genommenen Dokuments.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe des Dokuments.

Der Zusammenhang der zitierten Dokumente mit den entsprechenden Deutschen Dokumenten ergibt sich, soweit ein Zusammenhang besteht, grundsätzlich über die Nummer der entsprechenden IEC-Publikation. Beispiel: IEC 60068 ist als EN 60068 als Europäische Norm durch CENELEC übernommen und als DIN EN 60068 ins Deutsche Normenwerk aufgenommen.

Das Präsidium des DIN hat mit Präsidialbeschluss 1/2004 festgelegt, dass DIN-Normen, deren Inhalt sich auf internationale Arbeitsergebnisse der Informationsverarbeitung gründet, unter bestimmten Bedingungen allein in englischer Sprache veröffentlicht werden dürfen. Diese Bedingungen sind für den vorliegenden Normentwurf erfüllt.

Da sich die Benutzer der vorliegenden Norm der englischen Sprache als Fachsprache bedienen, wird die Englische Fassung der FprEN 62680-3-1 veröffentlicht. Zu deren Abschnitt 1.3, der den Anwendungsbereich festlegt, und Abschnitt 3, der die Begriffe festlegt, wurde eine Übersetzung angefertigt und als Nationaler Anhang NA des vorliegenden Normentwurfs hinzugefügt. Für einige der verwendeten Begriffe existieren keine gebräuchlichen deutschen Benennungen, da sich die deutschen Anwender in der Regel ebenfalls der englischen Benennungen bedienen. Dieser Normentwurf steht nicht in unmittelbarem Zusammenhang mit Rechtsvorschriften und ist nicht als Sicherheitsnorm anzusehen.

Es ist vorgesehen, auch bei der entsprechenden zukünftigen Deutschen Norm auf die deutsche Sprachfassung zu verzichten und diese in der englischsprachigen Fassung zu veröffentlichen.

Es wird auf die Möglichkeit hingewiesen, dass einige Elemente dieses Dokuments Patentrechte berühren können. ISO [und/oder] IEC sind nicht dafür verantwortlich, einige oder alle diesbezüglichen Patentrechte zu identifizieren.

Nationaler Anhang NA^{N1)} (informativ)

Auszugsweise Übersetzung

1.3 Anwendungsbereich

Die Spezifikation richtet sich in erster Linie an Entwickler von Peripheriegeräten sowie von Plattformen/Adaptern, enthält aber auch nützliche Informationen bezüglich Betriebssystemen/BIOS/Gerätetreibern für Plattformen sowie Informationen für unabhängige Software-/Hardwareanbieter von Adaptoren (en: Independent Software Vendors (ISV)/Independent Hardware Vendors (IHV)) und für System-Originalgerätehersteller (en: Original Equipment Manufacturer (OEM)). Diese Spezifikation kann für die Entwicklung neuer Produkte und der zugehörigen Software verwendet werden.

Es wird vorausgesetzt, dass Produktentwickler, die diese Spezifikation anwenden, die USB-2.0-Spezifikation kennen und verstehen. Insbesondere müssen bei USB-3.1-Geräten die in der USB-2.0-Spezifikation definierten Geräte-Framework-Befehle und -Deskriptoren implementiert werden. Bei Geräten, die mit der neuen Geschwindigkeit von 10 Gbit/s (Gen 2) betrieben werden, müssen die in dieser Version der Spezifikation definierten SuperSpeedPlus-Erweiterungen implementiert werden.

3 Begriffe und Abkürzungen

Für die Anwendung dieses Dokuments gelten die angegebenen Begriffe und Abkürzungen.

ANMERKUNG Für Begriffe und Abkürzungen, die hier nicht definiert werden, gilt die allgemein akzeptierte oder in Wörterbüchern festgelegte Bedeutung.

Begriff/Abkürzung	Definition
ACK (en: Acknowledgment)	Handshake-Paket, das eine positive Bestätigung gibt
ACK-Tx-Kopf-Sequenznummer (en: ACK Tx Header Sequence Number)	die erwartete Kopf-Sequenznummer im zu bestätigenden Verbindungssteuerungswort
aktives Gerät (en: Active Device)	mit Strom versorgtes Gerät, das nicht im Status „Suspend“ ist
asynchrone Daten (en: Asynchronous Data)	Daten, die in unregelmäßigen Zeitabständen mit vereinfachten Anforderungen an Wartezeiten gesendet werden
angeschlossen (en: attached)	ein Abwärts-Gerät ist an ein Aufwärts-Gerät angeschlossen, wenn eine physikalische Verbindung zwischen den Geräten besteht
AWG#	Maßeinheit für den Drahtdurchmesser, festgelegt im „American Wire Gauge“-Standard
Bandbreite (en: Bandwidth)	Anzahl der je Zeiteinheit übertragenen Daten, normalerweise Bit je Sekunde (Bit/s) oder Byte je Sekunde (Byte/s)
Big-Endian	Verfahren zum Speichern von Daten, bei dem das höchstwertigste Byte (en: Most Significant Byte (MSB)) von Mehrfach-Byte-Werten an eine untere Speicheradresse gestellt wird. Zum Beispiel speichert ein 16-Bit-Integer (ganze Zahl) im „Big-Endian“-Format das niedrigwertigste Byte (en: Least Significant Byte (LSB)) in die höhere Adresse und das höchstwertigste Byte in die untere Adresse. Siehe auch „Little-Endian“.

^{N1)} Nationale Fußnote: Die Nummerierung aus IEC 100/2589/CDV:2016-01 wurde beibehalten.

Begriff/Abkürzung	Definition
Bit	Von digitalen Computern verwendete Informationseinheit. Sie stellt das kleinste Stück adressierbarer Information in einem Computer dar. Ein Bit drückt die Auswahl zwischen zwei Möglichkeiten aus und wird normalerweise durch eine logische Eins (1) oder Null (0) dargestellt.
Bit/s (en: Bits per Second (bps))	Übertragungsrate in Bit je Sekunde
Byte/s	Übertragungsrate in Byte je Sekunde
Puffer (en: Buffer)	Speicher, der unterschiedliche Datenraten oder zeitversetzte Ereignisse bei der Übertragung von einem Gerät zu einem anderen ausgleicht
Mengenübertragung (en: Bulk Transfer)	Eines der vier USB-Übertragungsverfahren. Mengenübertragungen bestehen aus einer nicht-periodischen, großen, pulsähnlichen Kommunikation, die üblicherweise zur Übertragung die gesamte verfügbare Bandbreite nutzt und die auch verzögert werden kann, bis eine entsprechende Übertragungsbandbreite zur Verfügung steht. Siehe auch „Übertragungsart“.
Bus-Aufzählung (en: Bus Enumeration)	Erkennung, Identifizierung und Konfiguration von USB-Geräten
Bus-Intervall	Periode, die als integrale Begrenzung für Dienst-Intervalle dient. Entspricht dem Microframe-Intervall (T _{HSFRAM}), das in der USB-2.0-Spezifikation in Tabelle 7-8 definiert wird
Bus-Instanz	Verbindung einschließlich der untergeordneten Elemente, die mit derselben Gen-X-Geschwindigkeit arbeiten
Byte	Datenelement mit der Größe 8 Bit
Kabel	reines Kabel ohne angeschlossene Stecker
konfektioniertes Kabel	Kabel mit angeschlossenen Steckern
unverlierbares Kabel (en: Captive Cable)	konfektioniertes Kabel mit einem Typ-A-Stecker an einem Ende und entweder einem Festanschluss oder einem herstellerspezifischen Stecker am anderen Ende
Fähigkeiten (en: Capabilities)	Eigenschaften eines USB-Gerätes, die von einem Host verwaltet werden
CDR (en: Clock and Data Recovery)	Schaltkreis, der die Takt- und Datenrückgewinnung ausführt
Charakteristika (en: Characteristics)	Qualitäten eines USB-Gerätes, die unveränderbar sind; z. B. ist die Geräteklasse ein Geräte-Charakteristikum
Client	Software auf dem Host, die mit der USB-Systemsoftware zusammenarbeitet, um die Datenübertragung zwischen dem Host und einer Funktion zu ermöglichen. Der Client ist oft der Anbieter von Daten und Nutzer von übertragenen Daten.
Komponente	physikalisch vorhandener Chip oder Schaltkreis, der einen Anschluss umfasst
Konfigurations-Software	Software auf dem Host, die für die Konfiguration eines USB-Gerätes zuständig ist
Steuerungs-Endpunkt (en: Control Endpoint)	Paar von Geräteendpunkten mit derselben Endpunktnummer, die von einer Steuerleitung verwendet werden. Steuerungs-Endpunkte übertragen Daten in beide Richtungen und nutzen daher sowohl die Endpunkttrichtungen einer Geräteadresse als auch die Kombination von deren Endpunktnummern. Daher benötigt jeder Steuerungs-Endpunkt zwei Endpunktadressen.
Steuerleitung (en: Control Pipe)	synonym zu Mitteilungsleitung (en: Message Pipe)
verbunden (en: connected)	ein Abwärts-Gerät ist mit einem Aufwärts-Gerät verbunden, wenn es an das Aufwärts-Gerät angeschlossen ist und das Abwärtsgerät Rx-Abschlüsse für Superspeed-Signale oder die Datenleitung D+ oder D- für eingehende Low-, Full- und Hi-Speed-Signale aktiviert hat

Begriff/Abkürzung	Definition
Steuerungsübertragung (en: Control Transfer)	Eines der vier USB-Übertragungsverfahren. Steuerungsübertragung unterstützt Kommunikationen wie Konfiguration/Befehl/Status zwischen Client und Funktion. Siehe auch „Übertragungsart“.
Steuerungs-Hub (en: Controlling Hub)	jeder Hub, dessen Aufwärts-Verbindung nicht in U3 ist
CRC	CRC-5, CRC-16, CRC-32. Siehe „zyklische Redundanzprüfung“.
zyklische Redundanzprüfung (en: Cyclic Redundancy Check) (CRC))	Datenprüfung zur Feststellung, ob ein Fehler beim Übertragen, Lesen oder Schreiben von Daten aufgetreten ist. Das Ergebnis einer CRC wird normalerweise gespeichert oder mit den geprüften Daten übertragen. Das gespeicherte oder übertragene Ergebnis wird mit einer für die Daten berechneten CRC verglichen, um festzustellen, ob ein Fehler aufgetreten ist.
Datenwörter	für die 8b/10b-Codierung
D+ und D-	Differenzialpaar, das in der USB-2.0-Spezifikation definiert wird
Standardadresse (en: Default Address)	Eine in der USB-Spezifikation bestimmte und vom USB-Gerät beim Einschalten oder beim Reset verwendete Adresse. Die Standardadresse ist 00H.
Standardleitung (en: Default Pipe)	von der USB-Systemsoftware erzeugte Leitungsleitung zur Übergabe von Steuerungs- und Statusinformationen zwischen dem Host und dem Endpunkt Null eines USB-Gerätes
Entschlüsselung (en: Descrambling)	Zurücksetzen der 8-Bit-Pseudozufallszahlenfolge. Siehe „Verschlüsselung“
Abgekoppelt (en: Detached)	ein Abwärts-Gerät ist von einem Aufwärts-Gerät abgekoppelt, wenn die physikalische Verbindung zwischen den Geräten entfernt wird
Gerät (en: Device)	Logische oder physikalische Einheit, die eine oder mehrere Funktionen ausführt. Die tatsächlich beschriebene Einheit hängt vom Kontext der Referenz ab. Auf der untersten Ebene kann ein Gerät eine einzelne Hardware-Komponente sein, wie z. B. ein Speicher. Auf einer höheren Ebene kann es eine Sammlung von Hardware-Komponenten sein, die eine bestimmte Funktion erfüllen, wie z. B. ein USB-Schnittstellengerät. Noch eine Ebene höher kann ein Gerät eine Funktion sein, die von einer mit dem USB verbundenen Einheit ausgeführt wird. Geräte können physikalisch, elektrisch, adressierbar und logisch sein. Wenn ein USB-Gerät als nicht-spezifische Referenz verwendet wird, handelt es sich dabei um einen Hub oder ein Peripheriegerät.
Geräteadresse (en: Device Address)	7-Bit-Wert, der die Adresse eines USB-Gerätes darstellt. Die Geräteadresse ist die Standardadresse (00H), wenn das USB-Gerät zum ersten Mal eingeschaltet oder zurückgesetzt wird. Die USB-Systemsoftware ordnet den Geräten dann eindeutige Adressen zu.
Geräteendpunkt (en: Device Endpoint)	Eindeutig adressierbarer Teil eines USB-Gerätes, der die Quelle oder der Empfänger von Informationen bei einer Kommunikation zwischen dem Host und dem Gerät ist. Siehe auch „Endpunktadresse“.
Gerätesoftware (en: Device Software)	Software, die für die Verwendung eines USB-Gerätes zuständig ist. Diese Software kann, muss aber nicht, zuständig sein für die Konfiguration zum Gebrauch des Gerätes.
DFP (en: Downstream Facing Port)	Abwärts-Anschluss (abwärtsgerichteter Anschluss/nachgeschalteter Anschluss (en: Downstream Port)) Siehe Bild 2-1.
getrennt (en: Disconnected/Unconnected)	ein Abwärts-Gerät ist von einem Aufwärts-Gerät getrennt, wenn es an das Aufwärts-Gerät angeschlossen ist und das Abwärts-Gerät keine Rx-Abschlüsse für Superspeed-Signale oder entweder die Datenleitung D+ oder D- nicht für eingehende Low-, Full- und Hi-Speed-Signale aktiviert hat
abwärts (en: Downstream)	Richtung des Datenstroms vom Host oder weg vom Host. Ein Abwärts-Anschluss ist der Anschluss an einem Hub, der elektrisch am weitesten von dem Host entfernt ist, der Datenverkehr vom Hub erzeugt. Abwärts-Anschlüsse empfangen Aufwärts-Datenverkehr.

Begriff/Abkürzung	Definition
Abwärts-Anschluss	Anschluss an einem Host oder einem Hub, an dem das Gerät angeschlossen ist. Die Root-Anschlüsse eines Systems sind z. B. Abwärts-Anschlüsse.
Abwärts-Sublink	Menge an Bahnen zwischen DFP Tx und UFP Rx Siehe Bild 2-1.
DP	Datenpaket, das aus dem Datenpaketkopf gefolgt von den Datenpaketnutzdaten besteht
DPH (en: Data Packet Header)	Datenpaketkopf. Enthält die Adresse, den Route-String, die Länge sowie weitere Informationen zum Paket.
DPP (en: Data Packet Payload)	Datenpaketnutzdaten. Enthält die Nutzdaten des Datenpakets sowie eine 32-Bit-CRC.
DPPABORT	geordnete Menge (en: ordered set) zum Abbrechen der Datenpaketnutzdaten
DPPEND	geordnete Menge zum Kennzeichnen des Endes der Datenpaketnutzdaten
DPPSTART	geordnete Menge zum Kennzeichnen des Anfangs der Datenpaketnutzdaten
Treiber (en: Driver)	Auf Hardware bezogen ein I/O-Pfad, der eine externe Last ansteuert. Auf Software bezogen ein für die Schnittstelle zu einem Hardware-Gerät verantwortliches Programm, d. h. ein Gerätetreiber.
DSPOINT	Angabe der Zustandsmaschine eines abwärtsgerichteten Anschlusses eines Hubs. Siehe Abschnitt 10.3.
Doppelsimplex (en: Dual Simplex)	zwei Datenpfade, über die der Datenverkehr unabhängig voneinander in beide Richtungen übertragen wird
DWORD	Doppelwort. Ein Datenelement mit der Größe von zwei Worten (d. h. vier Bytes oder 32 Bit).
dynamische Einfügung und Entfernung (en: Dynamic Insertion and Removal)	Fähigkeit, während der Host arbeitet, Geräte hinzuzufügen und zu entfernen
Endpunkt (en: Endpoint)	Siehe „Geräteendpunkt“
Endpunktadresse (en: Endpoint Address)	Kombination einer Endpunktnummer und einer Endpunkttrichtung in einem USB-Gerät. Jede Endpunktadresse unterstützt die Datenübertragung in eine Richtung.
Endpunkttrichtung (en: Endpoint Direction)	Richtung der Datenübertragung auf dem USB. Die Richtung kann entweder IN oder OUT sein. IN bezieht sich auf die Datenübertragung zum Host; OUT bezieht sich auf die Datenübertragung vom Host.
Endpunktnummer (en: Endpoint Number)	4-Bit-Wert zwischen 0H und einschließlich FH, der einem Endpunkt in einem USB-Gerät zugehörig ist
Enhanced SuperSpeed	Adjektiv zur Benennung jeglicher gültiger USB-Merkmale, die für den Bus definiert wurden, der in einem USB-3.0- oder USB-3.1-System über die Differenzialpaare SSRx und SSTx implementiert ist. Es wird anstelle von Formulierungen wie SuperSpeed/SuperSpeedPlus verwendet.
Externer Anschluss (en: External Port)	siehe „Anschluss“
Rahmennummer (en: Frame Number)	Bus-Intervall-Zählerwert im ITP geteilt durch 8 (Ganzzahldivision)
Voll-duplex (en: Full-duplex)	Computer-Datenübertragung, die gleichzeitig in beide Richtungen erfolgt
volle Geschwindigkeit (en: Full-Speed)	USB-Betrieb bei 12 MBit/s. Siehe auch „niedrige Geschwindigkeit“ und „hohe Geschwindigkeit“.
Funktion	Menge aus einer oder mehreren Schnittstellen auf einem USB-Gerät, mit der ein Software-Client mit einer Fähigkeit versorgt wird
Gbit/s	Übertragungsrate in Gigabit je Sekunde (1.000.000.000 Bit je Sekunde)

Begriff/Abkürzung	Definition
Gen 1	Adjektiv zur Benennung der Bitübertragungsschicht mit einer Signalübertragungsrate von 5,0 Gbit/s. Die ursprüngliche Superspeed-Bitübertragungsschicht und die Gen-1-Bitübertragungsschicht bezeichnen dieselbe Bitübertragungsschicht.
Gen 2	Adjektiv zur Benennung der Bitübertragungsschicht mit einer Signalübertragungsrate von 10 Gbit/s.
Gen X	Allgemeiner Begriff zur Benennung von Kombinationen aus Gen 1, Gen 2 oder Gen 1/Gen 2, wenn speziell die Bitübertragungsschicht thematisch behandelt wird, aber keine Konkretisierung auf Gen 1 oder Gen 2 erforderlich ist. Beispiel: Gen-X-Bitübertragungsschicht/-Verbindung.
Handshake-Paket	Paket, das bestimmte Bedingungen akzeptiert oder zurückweist. Siehe z. B. „ACK“, „NRDY“ (Nicht bereit) (en: Not Ready)) oder „ERDY“ (Endpunkt bereit (en: Endpoint Ready)).
Kopf (en: Header)	Paketkopf. DPH, LMP und TP sind Beispiele für Köpfe.
Kopf-Sequenznummer-Ankündigung (en: Header Sequence Number Advertisement)	Austausch der ACK-Tx-Kopf-Sequenznummern zwischen den Verbindungspartnern beim Übergang zu U0
hohe Geschwindigkeit (en: Hi-Speed)	USB-Betrieb bei 480 MBit/s. Siehe auch „niedrige Geschwindigkeit“ und „volle Geschwindigkeit“.
Host	Host-Computer-System, auf dem der USB-Host-Controller installiert ist. Dies schließt die Host-Hardware-Plattform (CPU, Bus usw.) und das verwendete Betriebssystem ein.
Host-Controller	dem System bereitgestellte Schnittstelle zur Unterstützung von Geräten auf dem USB
Hot-Reset	Rücksetzmechanismus anhand der geordneten Mengen (en: ordered sets) TS1/TS2
HPSTART	geordnete Menge zum Kennzeichnen des Anfangs des Kopfpaketes
Hub	USB-Gerät, das zusätzliche Verbindungen zum USB bereitstellt
Hub-Verzögerungsmessung (en: Hub Delay Measurement (HDM))	HDM-Mechanismus zur Hub-Verzögerungsmessung als Teil der Präzisionszeitmessung definiert eine Menge an Hub-Merkmalen, die die Genauigkeit der isochronen Zeitstempel in den ITPs erhöht, die in Abwärtsrichtung weitergeleitet werden
Hub Tier	eins plus die Anzahl der USB-Verbindungen in einem Kommunikationspfad zwischen dem Host und einem Peripheriegerät
ID-Pin	bezeichnet den Pin an der USB-3.1-Micro-Steckverbinder-Familie, der zur Unterscheidung eines USB 3.1-Micro-A-Steckers von einem USB-3.1-Micro-B-Stecker dient
In-Band-Reset	Mechanismus, bei dem der Reset anhand von SuperSpeed- und/oder LFPS-Signalen über die Verbindung übertragen wird
informativ	Informationen, die ausschließlich zu Veranschaulichungszwecken dienen und keine Anforderungen enthalten. Siehe „normativ“.
Unterbrechungsübertragung (en: Interrupt Transfer)	Eines der vier USB-Übertragungsverfahren. Unterbrechungsübertragungen weisen eine begrenzte Verzögerung auf und werden normalerweise zur Verarbeitung von Dienst-Anforderungen verwendet. Siehe auch „Übertragungsart“.
isochrone Daten (en: Isochronous Data)	Datenstrom, dessen Zeitverhalten von der Übertragungsrate vorgegeben ist
isochrones Gerät (en: Isochronous Device)	Einheit mit isochronen Endpunkten, wie in der USB-Spezifikation definiert, die abgetastete analoge Datenströme oder synchrone Datenströme sendet oder empfängt
isochroner Empfänger-Endpunkt (en: Isochronous Sink Endpoint)	Endpunkt, der einen vom Host gesendeten isochronen Datenstrom verarbeiten kann

Begriff/Abkürzung	Definition
isochroner Quellen-Endpunkt (en: Isochronous Source Endpoint)	Endpunkt, der einen isochronen Datenstrom erzeugen und ihn zum Host senden kann
isochrone Übertragung (en: Isochronous Transfer)	Eines der vier USB-Übertragungsverfahren. Isochrone Übertragungen werden verwendet, wenn mit isochronen Daten gearbeitet wird. Isochrone Übertragungen ermöglichen eine periodische, durchgängige Kommunikation zwischen Host und Gerät. Siehe auch „Übertragungsart“.
ITP (en: Isochronous Timestamp Packet)	isochrones Zeitstempelpaket, das von einem Host periodisch gesendet wird, um die aktuelle Buszeit an die Geräte auf dem USB zu übermitteln
Jitter	Tendenz zum Verlust der Synchronisation, verursacht durch mechanische oder elektrische Wechsel. Genauer gesagt, die Phasenverschiebung digitaler Impulse über ein Übertragungsmedium.
KB	Kilobyte oder 1.024 Byte
K-Wörter	die K-Wörter für Steuerungsfunktionen für die 8b/10b-Codierung. SHP – (en: Start Header Packet); Anfang eines Kopfpakets SDP – (en: Start Data Packet); Anfang eines Datenpakets END – (en: End Header Packet oder End Data Packet); Ende eines Kopf- oder Datenpakets EDB – (en: End Bad); Ende eines annullierten (fehlerhaften) Pakets SLC – (en: Start Link Command); Anfang eines Verbindungsbefehls COM – (en: Comma); Komma SKP – (en: Skip); Überspringen EPF – (en: End Packet Framing); Ende eines Paketrahmens
Bahn (en: Lane)	die Verbindung zwischen einem Sender (Tx) eines Anschlusses und dem Empfänger (Rx) eines anderen Anschlusses. Siehe Bild 2-1.
LBPM (en: LFPS Based PWM Messaging)	LFPS-basierter PWM-Nachrichtenaustausch
LCSTART	geordnete Menge (en: ordered set) zum Kennzeichnen des Anfangs des Verbindungsbefehls
LDM (en: Link Delay Measurement)	siehe „Verbindungsverzögerungsmessung“
LDM-Kontext	Zeitstempel, die von einem LDM-Anforderer oder -Beantworter aufgezeichnet werden
LDM-Verbindungsverzögerung (en: LDM Link Delay)	Verzögerung in der Verbindung zwischen einem Beantworter und einem Anforderer
LDM-Anforderer (en: LDM Requester)	USB-Hub oder -Gerät, das über das LDM-Protokoll mit einem Aufwärts-Host-Controller oder -Hub kommuniziert und die Aufwärts-Verbindungsverzögerung misst
LDM-Beantworter (en: LDM Responder)	USB-Host-Controller oder -Hub, der über das LDM-Protokoll mit einem Abwärts-Hub oder -Gerät kommuniziert
LFPS (en: Low-Frequency Periodic Signal)	periodisches Niederfrequenz-Signal zum Übertragen von Informationen über eine Verbindung, ohne die Verwendung von Enhanced-SuperSpeed-Signalen
LSFR	(en: Linear Feedback Shift Register); linear rückgekoppeltes Schieberegister zur Erzeugung von Pseudozufallszahlenfolgen für die Verschlüsselung
LI (en: Logical Idle)	logischer Leerlauf

Begriff/Abkürzung	Definition
Verbindung (en: Link)	Verbindung zwischen zwei Anschlüssen. Umfasst sowohl den Aufwärts-Sublink als auch den Abwärts-Sublink. Siehe Bild 2-1.
Verbindungsbefehl (en: Link Command)	aus 8 Symbolen bestehende Sequenz für die Datenflusssteuerung auf Verbindungsebene, Wiederholversuche, das Energiemanagement und das Entfernen von Geräten
Verbindungssteuerungswort (en: Link Control Word)	zwei Bytes mit 11 Bits zum Definieren der Datenflusssteuerung auf Verbindungsebene und einer 5-Bit-CRC5 zur Sicherstellung der Datenintegrität
Verbindungsverzögerungsmessung (en: Link Delay Measurement (LDM))	Bei der Verbindungsverzögerungsmessung verwendet das Gerät das PTM-Link-Level-Protokoll, um abzufragen und automatisch zu bestimmen, ob ein Aufwärts-Anschluss PTM unterstützt, und um die Verzögerung in der Aufwärts-Verbindung genau zu berechnen. PTM-LMPs müssen zum Messen der Verbindungsverzögerung in einer Aufwärts-Verbindung eines Gerätes verwendet werden.
Verbindungsfehleranzahl (en: Link Error Count)	Anzahl an Ereignissen, die zu einer Wiederherstellung aufgrund von Bitfehlern geführt haben
Little-Endian	Verfahren zum Speichern von Daten, bei dem das niedrigwertigste Byte (en: Least Significant Byte (LSB)) von Mehrfach-Byte-Werten an die unteren Speicheradressen gestellt wird. Zum Beispiel speichert ein 16-Bit-Integer (ganze Zahl) im „Little-Endian“-Format das niedrigwertigste Byte in die untere Adresse und das höchstwertigste Byte (en: Most Significant Byte (MSB)) in die nächste Adresse. Siehe auch „Big-Endian“.
LMP (en: Link Management Packet)	Verbindungsverwaltungspaket. Ein Kopfpakettyp zur Übermittlung von Informationen zwischen einem Paar von Verbindungspartnern.
Lokaler Rx-Kopf-Puffer-Credit (en: Local Rx Header Buffer Credit)	Verfügbarkeit eines einzelnen freien Rx-Kopf-Puffers am Anschluss selbst
logischer Leerlauf (en: Logical Idle)	Periode von einer oder mehreren Symbolzeiten, in der keine Informationen (Pakete oder Verbindungsbefehle) übertragen werden, wenn der Link in U0 ist
niedrige Geschwindigkeit (en: Low-Speed)	USB-Betrieb bei 1,5 MBit/s. Siehe auch „volle Geschwindigkeit“ und „hohe Geschwindigkeit“.
LSb (en: Least Significant Bit)	Bit mit dem niedrigsten Stellenwert
LSB (en: Least Significant Byte)	Byte mit dem niedrigsten Stellenwert
LTSSM (en: Link Training and Status State Machine)	Zustandsmaschine für das Anlernen und den Status von Verbindungen
Mitteilungsleitung (en: Message Pipe)	Bidirektionale Leitung, die Daten mittels eines Anforderungsmodells/Datenmodells/Statusmodells überträgt. Die Daten haben eine eingeprägte Struktur, die es ermöglicht, Anfragen zuverlässig zu erkennen und zu kommunizieren.
MOD	Modulo-Funktion MOD(Zahl, Divisor), gibt den Teilungsrest aus der Division der Zahl durch den Divisor zurück
MSb (en: Most Significant Bit)	Bit mit dem höchsten Stellenwert
MSB (en: Most Significant Byte)	Byte mit dem höchsten Stellenwert
normativ	Von der Spezifikation gefordert. Siehe auch „informativ“.
NRDY (en: Not Ready, Nicht bereit)	Handshake-Paket, das eine negative Bestätigung gibt

Begriff/Abkürzung	Definition
Paket	Datenbündel, das zur Übertragung in Gruppen organisiert wird. Pakete enthalten normalerweise drei Elemente: Steuerinformationen (z. B. Quelle, Ziel und Länge), die zu übertragenden Daten und Bits zur Fehlererkennung und -korrektur.
Peripherie	physikalische Einheit, die an ein USB-Kabel angeschlossen ist und gemäß dieser Spezifikation aktuell als „Gerät“ betrieben wird
Peripheriegerät (en: Peripheral Device)	USB-Gerät, das kein Hub ist und dem Host, z. B. einem Massenspeichergerät, eine oder mehrere Funktionen bereitstellt
persistent	Zustandsinformation (z. B. ein Deskriptorfeld), die beim Wechsel zu und dem Verlassen von D3 beibehalten wird
Phasenregelschleife (en: Phase Locked Loop)	Schaltkreis, der als Phasendetektor arbeitet, um einen Oszillator in Phase mit einer Eingangsfrequenz zu halten
physikalisches Gerät (en: Physical Device)	Gerät, das eine physikalische Ausführung hat, z. B. Lautsprecher, Mikrofone und CD-Player
Leitung (en: Pipe)	Logische Abstraktion, die die Verbindung zwischen einem Endpunkt auf einem Gerät und der Software auf dem Host darstellt. Eine Leitung hat mehrere Attribute, z. B. kann eine Leitung Daten als Datenströme übertragen (Datenstromleitung; en: Stream Pipe) oder als Mitteilungen (Mitteilungsleitung; en: Message Pipe). Siehe auch „Datenstromleitung“ und „Mitteilungsleitung“.
PLL (en: Phase Locked Loop)	siehe „Phasenregelschleife“
Stecker (en: Plug)	an das Kabel angeschlossener Steckverbinder, der in die Anschlussbuchse gesteckt wird
Anschluss (en: Port)	Zugangspunkt zu oder von einem System oder Schaltkreis. Besteht aus einem Tx-Anschluss und einem Rx-Anschluss. Für den USB der Punkt, an dem ein USB-Gerät angeschlossen wird. Siehe Bild 2-1.
PowerOn Reset (POR)	Ereignis zum Zurücksetzen eines Gerätes auf den Anfangszustand
PPM (en: Parts per Million)	Millionstel (10^{-6})
Präzisionszeitmessung (en: Precision Time Measurement)	Protokoll zum Bestimmen der Laufzeitverzögerung durch die USB-Topologie mit einem hohen Maß an Genauigkeit
PRBS (en: Pseudo-Random Bit Stream)	Pseudozufallsbitstrom
Protokoll	bestimmter Satz von Regeln, Verfahren oder Übereinkünften bezogen auf Format und Zeitverhalten von Datenübertragungen zwischen zwei Geräten
PTM (en: Precision Time Measurement)	siehe „Präzisionszeitmessung“
PTM-Taktgeber (en: PTM Clock)	Signalquelle mit einer Periode von $1/\text{sochTimestampGranularity}$ -Einheiten zum Erhöhen diverser PTM-Takte und -Zeitquellen
PTM-Domäne (en: PTM Domain)	Menge der einem PTM-Root zugehörigen LDM-Beantwortern
lokale PTM-Zeitquelle (en: PTM Local Time Source)	einem LDM-Anforderer oder LDM-Beantworter zugehöriger Takt, der durch die PTM-Taktübergänge erhöht wird
PTM-Root	LDM-Beantworter und die Quelle der Bus-Intervall-Grenzen für eine PTM-Domäne, d. h. den USB-Host-Controller
Anschlussbuchse (en: Receptacle)	im Host oder Gerät eingebauter Steckverbinder, in den der Stecker gesteckt wird

Begriff/Abkürzung	Definition
Remote-Rx-Kopf-Puffer-Credit (en: Remote Rx Header Buffer Credit)	Verfügbarkeit eines einzelnen freien Rx-Kopf-Puffers beim Verbindungspartner
Anforderung (en: Request)	Anforderung, die im Datenteil eines SETUP-Pakets an ein USB-Gerät gesendet wird
Root-Hub	USB-Hub, der direkt an den Host-Controller angebunden oder in den Host-Controller integriert ist
Root-Anschluss (en: Root Port)	Abwärts-Anschluss an einem Root-Hub
Reserviert (en: reserved)	Kennzeichnet Felder und Werte, die nicht für die Verwendung gemäß dieser Spezifikation definiert sind. Ein Sender setzt alle reservierten Felder auf Null, und der Empfänger ignoriert reservierte Felder. Ein Sender setzt keinen reservierten Wert, und der Empfänger ignoriert alle reservierten Werte.
Rx-Kopf-Puffer-Credit-Ankündigung (en: Rx Header Buffer Credit Advertisement)	Austausch der Remote-Rx-Kopf-Puffer-Credits zwischen den Verbindungspartnern beim Übergang zu U0
Rx-Kopf-Sequenznummer (en: Rx Header Sequence Number)	erwartete Kopf-Sequenznummer eines Kopfpakets, das von einem Verbindungspartner empfangen wird
Rx-Anschluss (en: Rx Port)	Menge der mit dem Empfänger verbundenen Bahnen in einem Anschluss Siehe Bild 2-1.
Verschlüsselung (en: Scrambling)	Ändern eines 8-Bit-Zeichens in eine Pseudozufallszahlenfolge. Siehe „Entschlüsselung“.
SCD (en: SuperSpeedPlus Capability Declaration)	Erklärung der SuperSpeedPlus-Unterstützung
SDP (en: Shielded Differential Pair)	geschirmtes Differenzialpaar
Dienste-Intervall (en: Service Interval)	integrales Vielfaches an Bus-Intervallen, innerhalb derer ein periodischer Endpunkt bedient werden muss
Dienste-Jitter (en: Service Jitter)	Abweichung der Bereitstellung eines Dienstes von der geplanten Bereitstellungszeit
Soft-Error-Anzahl (en: Soft Error Count)	Anzahl an Einzelbitfehlern, die ohne Wiederherstellung behoben wurden. Siehe auch „Verbindungsfehleranzahl“.
SSC (en: Spread Spectrum Clock)	Frequenzspreiz-Takt
Abschnitt (en: Stage)	Teil der Sequenz für eine Steuerungsübertragung; Abschnitte enthalten den Setup-Abschnitt, den Daten-Abschnitt und den Status-Abschnitt
Datenstromendpunkt (en: Stream Endpoint)	SuperSpeed-Mengenendpunkt, dessen SuperSpeed-Endpunkt-Begleitdeskriptorfeld „bmAttributes“ einen MaxStreams-Wert größer 0 festlegt
Datenstromleitung (en: Stream Pipe)	Leitung, die Daten als Strom von Abtastungen ohne festgelegte USB-Struktur überträgt
Sublink	Menge an Rx- oder Tx-Bahnen zwischen einem DFP und einem UFP. Siehe Bild 2-1.
SuperSpeed	Adjektiv, das sich auf die in dieser Spezifikation definierten architekturentscheidungs-basierten Aspekte eines Gerätes bezieht, wenn dieses mit der Gen-1-Bitübertragungsschicht betrieben wird. ANMERKUNG Früher als „USB-Betrieb bei 5 MBit/s“ definiert.

Begriff/Abkürzung	Definition
Superspeed-Bus-Instanz (en: SuperSpeed bus instance)	Bus-Instanz, die mit Gen-1-Geschwindigkeit arbeitet
SuperSpeedPlus	Adjektiv, das sich auf die in dieser Spezifikation definierten architekturenschichtbasierten Aspekte eines Gerätes bezieht, wenn dieses mit der Gen-2-Bitübertragungsschicht betrieben wird
SuperspeedPlus-Bus-Instanz	Bus-Instanz, die mit einer Gen-X-Geschwindigkeit größer der Gen-1-Geschwindigkeit arbeitet
Synchronisierungsart (en: Synchronization Type)	Klassifizierung, die die Fähigkeit eines isochronen Endpunktes charakterisiert, sich mit anderen isochronen Endpunkten zu verbinden
Abschluss (en: Termination)	passive Komponenten, die am Ende eines Kabels angebracht werden, um zu verhindern, dass Signale reflektiert oder wiederholt werden
Timeout	Zeitintervall, in dem ein erwartetes Ereignis eintreten soll
TP	Transaktionspaket. Ein Kopfpakettyp zur Übermittlung von Informationen zwischen einem Gerät und dem Host.
Anlernsequenzen (en: Training Sequences)	geordnete Mengen (en: ordered sets) für die Initialisierung der Bit- und Symbolanpassung und die Empfängerentzerrung. TS1, TS2, und TSEQ sind entsprechende Beispiele.
Transaktion	Bereitstellung eines Dienstes an einen Endpunkt: IN besteht aus einem ACK-TP mit einer Antwort per NRDY-TP, DP oder STALL-TP. OUT besteht aus einem DP mit einer Antwort per NRDY-TP, ACK TP oder STALL-TP.
Übertragung (en: Transfer)	eine oder mehrere Bus-Transaktionen, um Informationen zwischen einem Software-Client und seiner Funktion zu vermitteln
Übertragungsart (en: Transfer Type)	bestimmt die Charakteristika des Datenflusses zwischen dem Software-Client und seiner Funktion. Vier Standard-Übertragungsarten sind festgelegt: Steuerungsübertragung, Unterbrechungsübertragung, Mengenübertragung und isochrone Übertragung.
Typ-A-Steckverbinder (en: Type-A Connector)	in dieser Spezifikation definierter Standard-A-Steckverbinder
Typ-A-Paket (en: Type A Packet)	Siehe „Typ-A-Datenverkehrs-klasse“
Typ-B-Paket (en: Type B Packet)	Siehe „Typ-B-Datenverkehrs-klasse“
Typ-A-Datenverkehrs-klasse (en: Type A traffic Class)	Kopfpaket oder periodisches Datenpaket
Typ-B-Datenverkehrs-klasse (en: Type B traffic Class)	asynchrones Datenpaket (en: Asynchronous Data Packet)
Typ-A-Rx-Puffer-Credit (en: Type A Rx Buffer Credit)	Verfügbarkeit eines einzelnen freien Rx-Puffers beim Verbindungspartner zum Speichern eines periodischen Datenpakets mit den maximalen Datenpaketnutzdaten
Typ-B-Rx-Puffer-Credit (en: Type B Rx Buffer Credit)	Verfügbarkeit eines einzelnen freien Rx-Puffers beim Verbindungspartner zum Speichern eines asynchronen Datenpakets mit den maximalen Datenpaketnutzdaten
Typ-A-Rx-Puffer-Credit-Ankündigung (en: Type A Rx Buffer Credit Advertisement)	Austausch der Typ-A-Remote-Rx-Puffer-Credits zwischen den Verbindungspartnern beim Übergang zu U0
Typ-B-Rx-Puffer-Credit-Ankündigung (en: Type B Rx Buffer Credit Advertisement)	Austausch der Typ-B-Remote-Rx-Puffer-Credits zwischen den Verbindungspartnern beim Übergang zu U0
Tx-Kopf-Sequenznummer (en: Tx Header Sequence Number)	Kopf-Sequenznummer, die einem zu übertragenden Kopfpaket hinzugefügt werden soll

Begriff/Abkürzung	Definition
Tx-Anschluss (en: Tx Port)	Menge der vom Sender angesteuerten Bahnen in einem Anschluss Siehe Bild 2-1.
Aufwärts (en: Upstream)	Richtung des Datenflusses zum Host. Ein Aufwärts-Anschluss ist der Anschluss des elektrisch am nächsten zum Host gelegenen Gerätes. Aufwärts-Anschlüsse empfangen Abwärts-Datenströme.
Aufwärts-Anschluss (en: Upstream Port)	Anschluss, den ein Gerät für die Verbindung zu einem Host oder einem Hub verwendet. Der Anschluss an allen Geräten ist ein Aufwärtsanschluss.
Aufwärts-Sublink (en: Upstream Sublink)	Menge an Bahnen zwischen DFP Rx und UFP Tx Siehe Bild 2-1.
UFP (en: Upstream Facing Port/Upstream Port)	ein aufwärtsgerichteter Anschluss Siehe Bild 2-1.
USB-3.1-Standard-A-Steckverbinder (en: USB 3.1 Standard-A Connector)	USB-3.1-Host-Steckverbinder, der sowohl den SuperSpeed- als auch den SuperSpeedPlus-Modus unterstützt
USB-3.1-Standard-B-Steckverbinder (en: USB 3.1 Standard-B Connector)	USB-3.1-Standard-Typ-B-Gerätestecker, der sowohl den SuperSpeed- als auch den SuperSpeedPlus-Modus unterstützt
USB-3.1-Micro-A-Stecker (en: USB 3.1 Micro-A plug)	Teil der USB-3.1-Micro-Steckverbinder-Familie für die On-the-Go-Verwendung. Er kann in eine USB-3.1-Micro-AB-Anschlussbuchse gesteckt werden. Er unterscheidet sich lediglich in der Kodierung und der ID-Pin-Verbindung vom USB-3.1-Micro-B-Stecker.
USB-3.1-Micro-AB-Anschlussbuchse (en: USB 3.1 Micro-AB Receptacle)	Teil der USB-3.1-Micro-Steckverbinder-Familie. Dient zum Anschluss eines USB 3.1-Micro-A-Steckers oder eines USB-3.1-Micro-B-Steckers.
USB-3.1-Micro-B-Steckverbinder (en: USB 3.1 Micro-B Connector)	USB-3.1-Gerätesteckverbinder, der sowohl den SuperSpeed- als auch den SuperSpeedPlus-Modus unterstützt
USB-3.1-Micro-Steckverbinder-Familie (en: USB 3.1 Micro Connector Family)	alle Anschlussbuchsen und Stecker, die sowohl den SuperSpeed- als auch den SuperSpeedPlus-Modus von Geräten unterstützen, einschließlich des USB 3.1-Micro-B-, USB-3.1-Micro-AB- und des USB-3.1-Micro-A-Steckverbinders
USB-2.0-Standard-A-Steckverbinder (en: USB 2.0 Standard-A Connector)	in der USB-2.0-Spezifikation definierter Typ-A-Steckverbinder
USB-2.0-Standard-B-Steckverbinder (en: USB 2.0 Standard-B Connector)	in der USB-2.0-Spezifikation definierter Typ-B-Steckverbinder
USB-IF	USB Implementers Forum, Inc. Non-Profit-Unternehmen, das gegründet wurde, um die Entwicklung von USB-konformen Produkten voranzutreiben und die Technologie zu unterstützen
USDPOR	Angabe der Zustandsmaschine eines aufwärtsgerichteten Anschlusses eines Peripheriegerätes. Siehe Abschnitt 10.16.
USPORT	Angabe der Zustandsmaschine eines aufwärtsgerichteten Anschlusses eines Hubs. Siehe Abschnitt 10.5.
UTP (en: Unshielded Twisted Pair)	ungeschirmtes verdrehtes Paar
Warm-Reset	Rücksetzmechanismus anhand eines LFPS
Wort	Datenelement in der Größe von zwei Bytes (16 Bit)

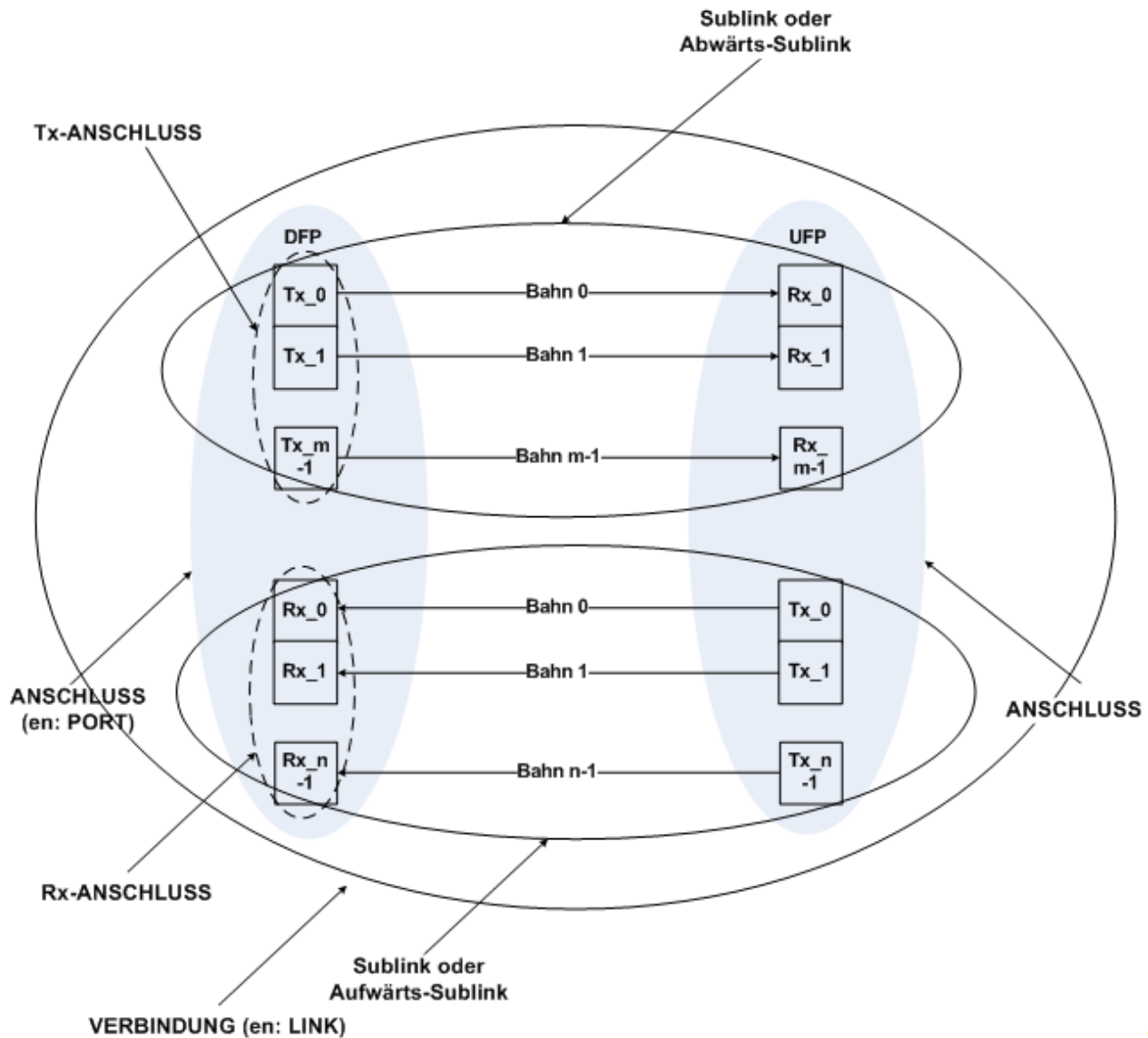


Bild 2.1 – Darstellung der Anschlüsse und Verbindungen

In Bild 2.1 sind die Anschlussbestandteile und die Verbindungen zwischen den Anschlüssen dargestellt. Die USB-3.1-Spezifikation definiert einen Anschluss mit nur einem Tx und Rx. Die Berücksichtigung von mehr als einem Tx-/Rx-Paar in einem Anschluss dient zur Harmonisierung mit der SSIC-Spezifikation, in der mehrere Tx-/Rx-Paare definiert sind.

ANMERKUNG Die Bedeutung der in diesem Bild verwendeten Begriffe weicht von der für PCIe verwendeten Bedeutung ab.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER

Part 3-1: Universal Serial Bus 3.1 Specification

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62680-3-1 has been prepared by technical area 14: Interfaces and methods of measurement for personal computing equipment, of IEC technical committee 100: Audio, video and multimedia systems and equipment.

The text of this standard is based on the following documents:

FDIS	Report on voting
XX/XX/FDIS	XX/XX/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

62680-3-1/CDV © IEC
© USB-IF:2015

– 3 –

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

The National Committees are requested to note that for this publication the stability date is

THIS TEXT IS INCLUDED FOR THE INFORMATION OF THE NATIONAL COMMITTEES AND WILL BE DELETED AT THE PUBLICATION STAGE.

INTRODUCTION

The IEC 62680 series is based on a series of specifications that were originally developed by the USB Implementers Forum (USB-IF). These specifications were submitted to the IEC under the auspices of a special agreement between the IEC and the USB-IF.

The USB Implementers Forum, Inc.(USB-IF) is a non-profit corporation founded by the group of companies that developed the Universal Serial Bus specification. The USB-IF was formed to provide a support organization and forum for the advancement and adoption of Universal Serial Bus technology. The Forum facilitates the development of high-quality compatible USB peripherals (devices), and promotes the benefits of USB and the quality of products that have passed compliance testing.

ANY USB SPECIFICATIONS ARE PROVIDED TO YOU "AS IS, "WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE USB IMPLEMENTERS FORUM AND THE AUTHORS OF ANY USB SPECIFICATIONS DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OR INFORMATION IN THIS SPECIFICATION.

THE PROVISION OF ANY USB SPECIFICATIONS TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Entering into USB Adopters Agreements may, however, allow a signing company to participate in a reciprocal, RAND-Z licensing arrangement for compliant products. For more information, please see:

<http://www.usb.org/developers/docs/>
http://www.usb.org/developers/devclass_docs#approved

IEC DOES NOT TAKE ANY POSITION AS TO WHETHER IT IS ADVISABLE FOR YOU TO ENTER INTO ANY USB ADOPTERS AGREEMENTS OR TO PARTICIPATE IN THE USB IMPLEMENTERS FORUM.”

Universal Serial Bus 3.1 Specification

Hewlett-Packard Company
Intel Corporation
Microsoft Corporation
Renesas Corporation
ST-Ericsson
Texas Instruments

Revision 1.0
July 26, 2013

Revision History

Revision	Comments	Issue Date
1.0	Initial release. USB 3.0	November 12, 2008
	Incorporated errata and ECNs	June 6, 2011
1.0	Initial release. USB 3.1	July 26, 2013

INTELLECTUAL PROPERTY DISCLAIMER

THIS SPECIFICATION IS PROVIDED TO YOU "AS IS" WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE AUTHORS OF THIS SPECIFICATION DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OF INFORMATION IN THIS SPECIFICATION. THE PROVISION OF THIS SPECIFICATION TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Please send comments to techsup@usb.org

For industry information, refer to the USB Implementers Forum web page at <http://www.usb.org>

All product names are trademarks, registered trademarks, or servicemarks of their respective owners.

Copyright © 2007-2013, Hewlett-Packard Company, Intel Corporation, Microsoft Corporation, Renesas Corporation, ST-Ericsson, and Texas Instruments.

All rights reserved.

Acknowledgement of Technical Contribution

Dedication

Dedicated to the memory of Brad Hosler, the impact of whose accomplishments made the Universal Serial Bus one of the most successful technology innovations of the Personal Computer era.

The authors of this specification would like to recognize the following people who participated in the USB 3.0 Bus Specification technical workgroups. We would also like to acknowledge the many others throughout the industry who provided feedback and contributed to the development of this specification.

Promoter Company Employees

Alan Berkema	Hewlett-Packard Company
Walter Fry	Hewlett-Packard Company
Anthony Hudson	Hewlett-Packard Company
David Roderick	Hewlett-Packard Company
Kok Hong Chan	Intel Corporation
Huimin Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Dan Froelich	Intel Corporation
Howard Heck	Intel Corporation
Brad Hosler	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
John Keys	Intel Corporation
Yun Ling	Intel Corporation
Andy Martwick	Intel Corporation
Steve McGowan	Intel Corporation
Ramin Neshati	Intel Corporation
Duane Quiet	Intel Corporation
Jeff Ravencraft	Intel Corporation
Brad Saunders	Intel Corporation
Joe Schaefer	Intel Corporation
Sarah Sharp	Intel Corporation
Micah Sheller	Intel Corporation
Gary Solomon	Intel Corporation
Karthi Vadivelu	Intel Corporation
Clint Walker	Intel Corporation
Jim Walsh	Intel Corporation
Randy Aull	Microsoft Corporation
Fred Bhesania	Microsoft Corporation
Martin Borge	Microsoft Corporation
Jim Bovee	Microsoft Corporation
Stephen Cooper	Microsoft Corporation
Lars Giusti	Microsoft Corporation
Robbie Harris	Microsoft Corporation
Allen Marshall	Microsoft Corporation
Kiran Muthabattulla	Microsoft Corporation
Tomas Perez-Rodriguez	Microsoft Corporation
Mukund Sankaranarayan	Microsoft Corporation

Nathan Sherman	Microsoft Corporation
Glen Slick	Microsoft Corporation
David Wooten	Microsoft Corporation
Rob Young	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Hiroshi Kariya	NEC Corporation
Masami Katagiri	NEC Corporation
Yuichi Mizoguchi	NEC Corporation
Kats Nakazawa	NEC Corporation
Nobuyuki Mizukoshi	NEC Corporation
Yutaka Noguchi	NEC Corporation
Hajime Nozaki	NEC Corporation
Kenji Oguma	NEC Corporation
Satoshi Ohtani	NEC Corporation
Takanori Saeki	NEC Corporation
Eiji Sakai	NEC Corporation
Hiro Sakamoto	NEC Corporation
Hajime Sakuma	NEC Corporation
Makoto Sato	NEC Corporation
Hock Seow	NEC Corporation
"Peter" Chu Tin Teng	NEC Corporation
Yoshiyuki Tomoda	NEC Corporation
Satomi Yamauchi	NEC Corporation
Yoshiyuki Yamada	NEC Corporation
Susumu Yasuda	NEC Corporation
Alan Chang	ST-NXP Wireless
Wing Yan Chung	ST-NXP Wireless
Socol Constantin	ST-NXP Wireless
Knud Holtvoeth	NXP Semiconductors, B.V.
Linus Kerk	ST-NXP Wireless
Martin Klein	NXP Semiconductors, B.V.
Geert Knapen	NXP Semiconductors, B.V.
Chee Ee Lee	ST-NXP Wireless
Christian Paquet	NXP Semiconductors, B.V.
Veerappan Rajaram	ST-NXP Wireless
Shaun Reemeyer	ST-NXP Wireless
Dave Sroka	ST-NXP Wireless
Chee-Yen TEE	ST-NXP Wireless
Jerome Tjia	ST-NXP Wireless
Bart Vertenten	NXP Semiconductors, B.V.
Hock Meng Yeo	ST-NXP Wireless
Olivier Alavoine	Texas Instruments.
David Arciniega	Texas Instruments
Richard Baker	Texas Instruments
Sujoy Chakravarty	Texas Instruments
T. Y. Chan	Texas Instruments
Romit Dasgupta	Texas Instruments.
Alex Davidson	Texas Instruments
Eric Desmarchelier	Texas Instruments
Christophe Gautier	Texas Instruments
Dan Harmon	Texas Instruments
Will Harris	Texas Instruments

Richard Hubbard	Texas Instruments
Ivo Huber	Texas Instruments
Scott Kim	Texas Instruments
Grant Ley	Texas Instruments
Karl Muth	Texas Instruments
Lee Myers	Texas Instruments
Julie Nirchi	Texas Instruments
Wes Ray	Texas Instruments
Matthew Rowley	Texas Instruments
Bill Sherry	Texas Instruments
Mitsuru Shimada	Texas Instruments
James Skidmore	Texas Instruments
Yoram Solomon	Texas Instruments.
Sue Vining	Texas Instruments
Jin-sheng Wang	Texas Instruments
Roy Wojciechowski	Texas Instruments

Contributor Company Employees

Glen Chandler	Acon
John Chen	Acon
Roger Hou	Acon
Charles Wang	Acon
Norman Wu	Acon
Steven Yang	Acon
George Yee	Acon
George Olear	Contech Research
Sophia Liu	Electronics Testing Center, Taiwan (ETC)
William Northey	FCI
Tom Sultzer	FCI
Garry Biddle	Foxconn
Kuan-Yu Chen	Foxconn
Jason Chou	Foxconn
Gustavo Duenas	Foxconn
Bob Hall	Foxconn
Jiayong He	Foxconn
Jim Koser	Foxconn
Joe Ortega	Foxconn
Ash Raheja	Foxconn
James Sabo	Foxconn
Pei Tsao	Foxconn
Kevin Walker	Foxconn
Tsuneki Watanabe	Foxconn
Chong Yi	Foxconn
Taro Hishinuma	Hirose Electric
Kaz Ichikawa	Hirose Electric
Ryozo Koyama	Hirose Electric
Karl Kwiat	Hirose Electric
Tadashi Sakaizawa	Hirose Electric
Shinya Tono	Hirose Electric
Eiji Wakatsuki	Hirose Electric
Takashi Ehara	Japan Aviation Electronics Industry Ltd. (JAE)
Ron Muir	Japan Aviation Electronics Industry Ltd. (JAE)
Kazuhiro Saito	Japan Aviation Electronics Industry Ltd. (JAE)
Hitoshi Kawamura	Mitsumi
Takashi Kawasaki	Mitsumi
Atsushi Nishio	Mitsumi
Yasuhiko Shinohara	Mitsumi
Tom Lu	Molex Inc.
Edmund Poh	Molex Inc.
Scott Sommers	Molex Inc.

Jason Squire	Molex Inc.
Dat Ba Nguyen	NTS/National Technical System
Jan Fahlund	Nokia
Richard Petrie	Nokia
Panu Ylihaavisto	Nokia
Martin Furuholm	Seagate Technology LLC
Julian Gorfajn	Seagate Technology LLC
Marc Hildebrandt	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Harold To	Seagate Technology LLC
Robert Lefferts	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Daniel Weinlader	Synopsys, Inc.
Mike Engbretson	Tektronix, Inc.
Thomas Grzysiewicz	Tyco Electronics
Masaaki Iwasaki	Tyco Electronics
Kazukiyo Osada	Tyco Electronics
Hiroshi Shirai	Tyco Electronics
Scott Shuey	Tyco Electronics
Masaru Ueno	Tyco Electronics

The authors of this specification would like to recognize the following people who participated in the USB 3.1 Bus Specification technical workgroups. Additionally we would like to acknowledge the many others throughout industry who provided feedback and contributed to the development of this specification.

Promoter Company Employees

Alan Berkema	Hewlett Packard
Norton Ewart	Hewlett Packard
Monji Jabori	Hewlett Packard
Rahul Lakdawala	Hewlett Packard
Jim Mann	Hewlett Packard
Linden McClure	Hewlett Packard
Mike Bell	Intel Corporation
Huimin Chen	Intel Corporation
Kuan-Yu Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Benjamin Graniello	Intel Corporation
Howard Heck	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
Yun Ling	Intel Corporation
Steve McGowan	Intel Corporation
Sridharan Ranganathan	Intel Corporation
Kaleb Ruof	Intel Corporation
Brad Saunders	Intel Corporation
Sarah Sharp	Intel Corporation
Ronald Swartz	Intel Corporation
Jennifer Tsai	Intel Corporation
Karthi Vadivelu	Intel Corporation
Randy Aull	Microsoft Corporation
Vivek Gupta	Microsoft Corporation
Toby Nixon	Microsoft Corporation
Yang You	Microsoft Corporation
Nobuo Furuya	Renesas Electronics Corp.
Masami Katagiri	Renesas Electronics Corp.
Steven Kawamoto	Renesas Electronics Corp.
Kiichi Muto	Renesas Electronics Corp.
Peter Teng	Renesas Electronics Corp.
Hicham Bouzekri	ST-Ericsson
Morten Christiansen	ST-Ericsson
Grant Ley	Texas Instruments
James Skidmore	Texas Instruments
Sue Vining	Texas Instruments

Tod Wolf
Li YangTexas Instruments
Texas Instruments**Contributor Company Employees**

Jason Chen	Aces Electronics Co., Ltd.
Andy Feng	Aces Electronics Co., Ltd.
Chris Kao	Aces Electronics Co., Ltd.
Glen Chandler	ACON, Advanced-Connectek, Inc.
Alan MacDougall	ACON, Advanced-Connectek, Inc.
Shadi Barakat	Advanced Micro Devices
Walter Fry	Advanced Micro Devices
Will Harris	Advanced Micro Devices
Jason Hawken	Advanced Micro Devices
Hugo Lamarche	Advanced Micro Devices
Yufei Ma	Advanced Micro Devices
Joseph Scanlon	Advanced Micro Devices
Vishant Tyagi	Advanced Micro Devices
Min Wang	Advanced Micro Devices
James Choate	Agilent Technologies, Inc.
Thorsten Goetzmann	Agilent Technologies, Inc.
Takuya Hirato	Agilent Technologies, Inc.
Hiroshi Kanda	Agilent Technologies, Inc.
Donald Schoenecker	Agilent Technologies, Inc.
Chi Chang	ASMedia Technology Inc.
Chin Chang	ASMedia Technology Inc.
Chiahsin Chen	ASMedia Technology Inc.
Weber Chuang	ASMedia Technology Inc.
Ming-Wei Hsu	ASMedia Technology Inc.
Han Sung Kuo	ASMedia Technology Inc.
ShuYu Lin	ASMedia Technology Inc.
Luke Peng	ASMedia Technology Inc.
Daniel Wei	ASMedia Technology Inc.
ShengChung Wu	ASMedia Technology Inc.
Ted Hsiao	Bizlink Technology, Inc.
Pete Burgers	DisplayLink (UK) Ltd.
Dan Ellis	DisplayLink (UK) Ltd.
Richard Petrie	DisplayLink (UK) Ltd.
Terry Little	Foxconn / Hon Hai
Steve Sedio	Foxconn / Hon Hai
Tim Barilovits	Fresco Logic Inc.
Bob McVay	Fresco Logic Inc.
Christopher Meyers	Fresco Logic Inc.
Jie Ni	Fresco Logic Inc.
Jeffrey Yang	Fresco Logic Inc.
Jing-Fan Zhang	Fresco Logic Inc.
Mike Engbretson	Granite River Labs
Kunia Aihara	Hirose Electric Co., Ltd.
Kazu Ichikawa	Hirose Electric Co., Ltd.
Masaru Kawamura	Hirose Electric Co., Ltd.
William MacKillop	Hirose Electric Co., Ltd.
Sho Nakamura	Hirose Electric Co., Ltd.
Toshiyuki Takada	Hirose Electric Co., Ltd.
Sid Tono	Hirose Electric Co., Ltd.
Tirumal Annamaneni	Intersil Corporation
Colby Keith	Intersil Corporation
Gourgen Oganessyan	Intersil Corporation
Michael Vrazel	Intersil Corporation
Toshiyuki Moritake	Japan Aviation Electronics Industry Ltd. (JAE)
Takeharu Naito	Japan Aviation Electronics Industry Ltd. (JAE)
Mark Saubert	Japan Aviation Electronics Industry Ltd. (JAE)
Toshio Shimoyama	Japan Aviation Electronics Industry Ltd. (JAE)
Takamitsu Wada	Japan Aviation Electronics Industry Ltd. (JAE)
Roy Chestnut	LeCroy Corporation
Christopher Forker	LeCroy Corporation
Linden Hsu	LeCroy Corporation
Daniel H Jacobs	LeCroy Corporation
David Li	LeCroy Corporation
Mike Micheletti	LeCroy Corporation
Michael Romm	LeCroy Corporation

Chris Webb	LeCroy Corporation
Tomoki Harada	Lenovo
Ariel Delos Reyes	Lotes Co., Ltd.
Smak Huo	Lotes Co., Ltd.
Regina Liu-Hwang	Lotes Co., Ltd.
Harvey Newman	LSI Corporation
Dave Thompson	LSI Corporation
Srinivas Vura	LSI Corporation
Josue Castillo	Luxshare-ICT
Alan Kinningham	Luxshare-ICT
John Lin	Luxshare-ICT
Stone Lin	Luxshare-ICT
Pat Young	Luxshare-ICT
John Garney	MCCI Corporation
Peter Harrison	Nokia Corporation
Mika Tolvanen	Nokia Corporation
Panu Ylihaavisto	Nokia Corporation
Jason Chen	NXP Semiconductors
Gerrit den Besten	NXP Semiconductors
Bart Vertenten	NXP Semiconductors
Ho Wai Wong-Lam	NXP Semiconductors
Jagoun Koo	Samsung Electronics Co., Ltd.
Cheolho Lee	Samsung Electronics Co., Ltd.
Jun Bum Lee	Samsung Electronics Co., Ltd.
Alvin Cox	Seagate Technology LLC
Steven Davis	Seagate Technology LLC
Bahar Ghaffari	Seagate Technology LLC
Henry (John) Hein	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Tom Skaar	Seagate Technology LLC
Dan Smith	Seagate Technology LLC
Mark Bohm	SMSC
Jerome DeRoo	STMicroelectronics
Benoit Mercier	STMicroelectronics
Subramaniam Aravindhan	Synopsys, Inc.
Bala Babu	Synopsys, Inc.
Sanjay Dave	Synopsys, Inc.
Gervais Fong	Synopsys, Inc.
Kevin Heilman	Synopsys, Inc.
Eric Huang	Synopsys, Inc.
Behram Minwalla	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Tri Nguyen	Synopsys, Inc.
John Stonick	Synopsys, Inc.
Zongyao Wen	Synopsys, Inc.
Paul Wyborny	Synopsys, Inc.
Sarah Boen	Tektronix, Inc.
Darren Gray	Tektronix, Inc.
Srikrishna N.H.	Tektronix, Inc.
Randy White	Tektronix, Inc.
Jim McGrath	Tyco Electronics Corp., a TE Connectivity Ltd. company
Josh Moody	Tyco Electronics Corp., a TE Connectivity Ltd. company
Scott Shuey	Tyco Electronics Corp., a TE Connectivity Ltd. company
Egbert Stellingma	Tyco Electronics Corp., a TE Connectivity Ltd. company
Noah Zhang	Tyco Electronics Corp., a TE Connectivity Ltd. company
Marvin DeForest	Western Digital Technologies, Inc.
Larry McMillan	Western Digital Technologies, Inc.
Cristian Roman Del Nido	Western Digital Technologies, Inc.
Curtis Stevens	Western Digital Technologies, Inc.

Contents

Acknowledgement of Technical Contribution	7
1 Introduction	1-1
1.1 Background	1-1
1.2 Objective of the Specification	1-1
1.3 Scope of the Document	1-2
1.4 USB Product Compliance	1-2
1.5 Document Organization	1-2
1.6 Design Goals	1-2
1.7 Related Documents	1-3
2 Terms and Abbreviations	2-1
3 Architectural Overview	3-1
3.1 USB 3.1 System Description	3-1
3.1.1 USB 3.1 Physical Interface	3-2
3.1.1.1 USB 3.1 Mechanical	3-2
3.1.2 USB 3.1 Power	3-3
3.1.3 USB 3.1 System Configuration	3-3
3.1.4 USB 3.1 Architecture Summary	3-3
3.2 Enhanced SuperSpeed Bus Architecture	3-4
3.2.1 Physical Layer	3-5
3.2.1.1 Gen 1 Physical Layer	3-6
3.2.1.2 Gen 2 Physical Layer	3-6
3.2.2 Link Layer	3-7
3.2.3 Protocol Layer	3-7
3.2.3.1 SuperSpeed Protocol	3-9
3.2.3.2 SuperSpeedPlus Protocol	3-9
3.2.4 Robustness	3-9
3.2.4.1 Error Detection	3-9
3.2.4.2 Error Handling	3-10
3.2.5 Enhanced SuperSpeed Power Management	3-10
3.2.6 Devices	3-11
3.2.6.1 Peripheral Devices	3-11
3.2.6.2 Hubs	3-13
3.2.6.3 SuperSpeed Hub	3-13
3.2.6.4 SuperSpeedPlus Hub	3-14
3.2.7 Hosts	3-15
3.3 Enhanced SuperSpeed Bus Data Flow Models	3-15
4 Enhanced SuperSpeed Data Flow Model	4-1
4.1 Implementer Viewpoints	4-1
4.2 Enhanced SuperSpeed Communication Flow	4-1
4.2.1 Pipes	4-2
4.3 Enhanced SuperSpeed Protocol Overview	4-2
4.3.1 Differences from USB 2.0	4-2

4.3.1.1	Comparing USB 2.0 and Enhanced SuperSpeed Transactions	4-3
4.3.1.2	Introduction to Enhanced SuperSpeed Packets	4-4
4.4	Generalized Transfer Description	4-4
4.4.1	Data Bursting	4-5
4.4.2	IN Transfers	4-5
4.4.3	OUT Transfers	4-6
4.4.4	Power Management and Performance	4-7
4.4.5	Control Transfers	4-8
4.4.5.1	Control Transfer Packet Size	4-8
4.4.5.2	Control Transfer Bandwidth Requirements	4-8
4.4.5.3	Control Transfer Data Sequences	4-9
4.4.6	Bulk Transfers	4-9
4.4.6.1	Bulk Transfer Data Packet Size	4-9
4.4.6.2	Bulk Transfer Bandwidth Requirements	4-10
4.4.6.3	Bulk Transfer Data Sequences	4-10
4.4.6.4	Bulk Streams	4-10
4.4.7	Interrupt Transfers	4-12
4.4.7.1	Interrupt Transfer Packet Size	4-13
4.4.7.2	Interrupt Transfer Bandwidth Requirements	4-13
4.4.7.3	Interrupt Transfer Data Sequences	4-14
4.4.8	Isochronous Transfers	4-14
4.4.8.1	Isochronous Transfer Packet Size	4-15
4.4.8.2	Isochronous Transfer Bandwidth Requirements	4-15
4.4.8.3	Isochronous Transfer Data Sequences	4-16
4.4.8.4	Special Considerations for Isochronous Transfers	4-16
4.4.8.4.1	Explicit Feedback	4-16
4.4.9	Device Notifications	4-18
4.4.10	Reliability	4-18
4.4.10.1	Physical Layer	4-18
4.4.10.2	Link Layer	4-18
4.4.10.3	Protocol Layer	4-18
4.4.11	Efficiency	4-18
5	Mechanical	5-1
5.1	Objective	5-1
5.2	Significant Features	5-1
5.2.1	Connectors	5-2
5.2.1.1	USB 3.1 Standard-A Connector	5-2
5.2.1.2	USB 3.1 Standard-B Connector	5-2
5.2.1.3	USB 3.1 Micro-B Connector	5-3
5.2.1.4	USB 3.1 Micro-AB and USB 3.1 Micro-A Connectors	5-3
5.2.2	Allowed Cable Assemblies	5-3
5.2.3	Raw Cables	5-3
5.3	Connector Mating Interfaces	5-4
5.3.1	USB 3.1 Standard-A Connector	5-4

5.3.1.1	Interface Definition	5-4
5.3.1.2	USB 3.1 Standard-A Reference Footprints	5-13
5.3.1.3	Pin Assignments and Description	5-19
5.3.1.4	USB 3.1 Standard-A Connector Color Coding	5-20
5.3.2	USB 3.1 Standard-B Connector	5-20
5.3.2.1	Interface Definition	5-20
5.3.2.2	Pin Assignments and Description	5-25
5.3.3	USB 3.1 Micro Connector Family	5-25
5.3.3.1	Interfaces Definition	5-25
5.3.3.2	Pin Assignments and Description	5-33
5.4	Cable Construction and Wire Assignments	5-33
5.4.1	Cable Construction	5-34
5.4.2	Wire Assignments	5-35
5.4.3	Wire Gauges and Cable Diameters	5-35
5.5	Cable Assemblies	5-36
5.5.1	USB 3.1 Standard-A to USB 3.1 Standard-B Cable Assembly	5-36
5.5.2	USB 3.1 Standard-A to USB 3.1 Standard-A Cable Assembly	5-38
5.5.3	USB 3.1 Standard-A to USB 3.1 Micro-B Cable Assembly	5-39
5.5.4	USB 3.1 Micro-A to USB 3.1 Micro-B Cable Assembly	5-41
5.5.5	USB 3.1 Micro-A to USB 3.1 Standard-B Cable Assembly	5-43
5.5.6	USB 3.1 Icon Location	5-44
5.5.7	Cable Assembly Length	5-45
5.6	Electrical Requirements	5-45
5.6.1	Enhanced SuperSpeed Electrical Requirements	5-45
5.6.1.1	Raw Cable	5-45
5.6.1.1.1	Characteristic Impedance	5-45
5.6.1.1.2	Intra-Pair Skew	5-46
5.6.1.1.3	Differential Insertion Loss	5-46
5.6.1.2	Mated Connector Impedance	5-46
5.6.1.2.1	Mated Connector Impedance for Gen 2 Speed	5-47
5.6.1.3	Mated Cable Assemblies for Gen 2 speed	5-48
5.6.1.3.1	Design Targets	5-48
5.6.1.3.2	Normative Requirements	5-49
5.6.1.3.2.1	Test Fixtures	5-49
5.6.1.3.2.2	Reference Hosts and Devices	5-49
5.6.1.3.2.3	Channel Metrics	5-50
5.6.1.3.2.4	Pass/Fail Criteria	5-53
5.6.1.3.2.5	Differential Crosstalk between D+/D- and SuperSpeed Gen 2 Signal Pairs (EIA-360-90)	5-54
5.6.1.3.2.6	Differential to Common Mode Conversion	5-55
5.6.1.3.2.7	Cable Shielding Effectiveness	5-56
5.6.2	DC Electrical Requirements	5-57
5.6.2.1	Low Level Contact Resistance (EIA 364-23B)	5-57

5.6.2.2	Dielectric Strength (EIA 364-20).....	5-57
5.6.2.3	Insulation Resistance (EIA 364-21)	5-57
5.6.2.4	Contact Current Rating (EIA 364-70, Method 2)	5-57
5.7	Mechanical and Environmental Requirements	5-57
5.7.1	Mechanical Requirements.....	5-57
5.7.1.1	Insertion Force (EIA 364-13).....	5-57
5.7.1.2	Extraction Force Requirements (EIA 364-13)	5-57
5.7.1.2.1	Extraction Force (EIA 364-13, USB3.1 Standard Connector).....	5-57
5.7.1.2.2	Extraction Force (EIA 364-13, USB 3.1 Micro Connector Family Only)	5-58
5.7.1.3	Durability or Insertion/Extraction Cycles (EIA 364-09)	5-58
5.7.1.4	Cable Flexing (EIA 364-41, Condition I)	5-58
5.7.1.5	Cable Pull-Out (EIA 364-38, Condition A).....	5-58
5.7.1.6	Peel Strength (USB 3.1 Micro Connector Family Only)	5-58
5.7.1.7	4-Axes Continuity Test (USB 3.1 Micro Connector Family Only).....	5-58
5.7.1.8	Wrenching Strength (Reference, USB 3.1 Micro Connector Family Only)	5-61
5.7.1.9	Lead Co-Planarity	5-61
5.7.1.10	Solderability.....	5-61
5.7.1.11	Restriction of Hazardous Substances (RoHS) Compliance	5-61
5.7.2	Environmental Requirements	5-61
5.7.3	Materials	5-62
5.8	Implementation Notes and Design Guides.....	5-63
5.8.1	Mated Connector Dimensions	5-63
5.8.2	EMI and RFI Management	5-65
5.8.3	Stacked Connectors	5-67
6	Physical Layer	6-1
6.1	Physical Layer Overview	6-1
6.2	Physical Layer Functions	6-1
6.2.1	Measurement Overview	6-5
6.2.2	Channel Overview	6-6
6.3	Symbol Encoding	6-6
6.3.1	Gen 1 Encoding	6-6
6.3.1.1	Serialization and Deserialization of Data	6-6
6.3.1.2	Normative 8b/10b Decode Rules for Gen 1 Operation	6-7
6.3.1.3	Gen 1 Data Scrambling	6-7
6.3.1.4	8b/10b Decode Errors for Gen 1 Operation	6-8
6.3.2	Gen 2 Encoding	6-8
6.3.2.1	Serialization and Deserialization of Data	6-8
6.3.2.2	Normative 128b/132b Decode Rules	6-9
6.3.2.3	Data Scrambling for Gen 2 Operation.....	6-10
6.3.2.4	128b/132b Decode Errors	6-12
6.3.3	Special Symbols for Framing and Link Management	6-12
6.4	Link Initialization and Training.....	6-13

6.4.1	Link Training.....	6-13
6.4.1.1	Gen 1 Operation	6-13
6.4.1.1.1	Normative Training Sequence Rules for Gen 1 Operation.....	6-13
6.4.1.1.2	Training Control Bits for Gen 1 Operation	6-14
6.4.1.1.3	Training Sequence Values for Gen 1 Operation	6-14
6.4.1.2	Gen 2 Operation	6-15
6.4.1.2.1	Normative Training Sequence Rules for Gen 2 Operation.....	6-15
6.4.1.2.2	Training Sequence Values for Gen 2 Operation	6-16
6.4.1.2.3	Training Control Bits for Gen 2 Operation	6-17
6.4.1.2.4	Informative Block Alignment for Gen 2 Operation	6-17
6.4.2	Lane Polarity Inversion	6-18
6.4.2.1	Gen 1 Operation	6-18
6.4.2.2	Gen 2 Operation	6-18
6.4.3	Elasticity Buffer and SKP Ordered Set.....	6-18
6.4.3.1	SKP Rules (Host/Device/Hub) for Gen 1 Operation	6-19
6.4.3.2	SKP Rules (Host/Device/Hub) for Gen 2 Operation:	6-19
6.4.4	Compliance Pattern	6-21
6.4.4.1	Gen 2 Compliance Pattern CP9.....	6-21
6.5	Clock and Jitter.....	6-22
6.5.1	Informative Jitter Budgeting	6-22
6.5.2	Normative Clock Recovery Function	6-22
6.5.3	Normative Spread Spectrum Clocking (SSC)	6-25
6.5.4	Normative Slew Rate Limit.....	6-26
6.6	Signaling.....	6-26
6.6.1	Eye Diagrams	6-26
6.6.2	Voltage Level Definitions	6-28
6.6.3	Tx and Rx Input Parasitics.....	6-29
6.7	Transmitter Specifications.....	6-30
6.7.1	Transmitter Electrical Parameters	6-30
6.7.2	Low Power Transmitter	6-31
6.7.3	Transmitter Eye	6-32
6.7.4	Tx Compliance Reference Receiver Equalize Function	6-32
6.7.5	Informative Transmitter De-emphasis	6-33
6.7.5.1	Gen 1 (5GT/s).....	6-33
6.7.5.2	Gen 2 (10GT/s).....	6-33
6.7.6	Entry into Electrical Idle, U1	6-35
6.8	Receiver Specifications.....	6-35
6.8.1	Receiver Equalization Training	6-35
6.8.2	Informative Receiver CTLE Function.....	6-36
6.8.2.1	Gen 1 Reference CTLE	6-36
6.8.2.2	Gen 2 Reference Equalizer Function	6-37
6.8.2.2.1	Reference CTLE	6-37
6.8.2.2.2	Reference DFE	6-38

6.8.3	Receiver Electrical Parameters	6-39
6.8.4	Receiver Loopback	6-40
6.8.4.1	Loopback BERT for Gen 1 Operation	6-40
6.8.5	Normative Receiver Tolerance Compliance Test.....	6-42
6.9	Low Frequency Periodic Signaling (LFPS)	6-43
6.9.1	LFPS Signal Definition.....	6-43
6.9.2	Example LFPS Handshake for U1/U2 Exit, Loopback Exit, and U3 Wakeup	6-46
6.9.3	Warm Reset.....	6-48
6.9.4	SuperSpeedPlus Capability Declaration.....	6-48
6.9.4.1	Binary Representation of Polling.LFPS.....	6-49
6.9.4.2	SCD1/SCD2 Definitions and Transmission	6-49
6.9.5	SuperSpeedPlus LFPS Based PWM Message (LBPM).....	6-51
6.9.5.1	Introduction to LFPS Based PWM Signaling (LBPS).....	6-51
6.9.5.2	LBPM Definition and Transmission.....	6-52
6.10	Transmitter and Receiver DC Specifications	6-53
6.10.1	Informative ESD Protection.....	6-53
6.10.2	Informative Short Circuit Requirements	6-53
6.10.3	Normative High Impedance Reflections	6-53
6.11	Receiver Detection	6-53
6.11.1	Rx Detect Overview	6-53
6.11.2	Rx Detect Sequence	6-54
6.11.3	Upper Limit on Channel Capacitance	6-55
6.12	Retimers	6-55
7	Link Layer	7-1
7.1	Byte Ordering	7-2
7.1.1	SuperSpeed USB Line Code.....	7-2
7.1.2	SuperSpeedPlus USB Line Code	7-2
7.2	Link Management and Flow Control	7-3
7.2.1	Packets and Packet Framing	7-3
7.2.1.1	Header Packet Structure	7-3
7.2.1.1.1	Header Packet Framing	7-3
7.2.1.1.2	Packet Header.....	7-5
7.2.1.1.3	Link Control Word	7-7
7.2.1.2	Data Packet Payload Structure	7-8
7.2.1.2.1	Data Packet Payload Framing.....	7-8
7.2.1.2.2	Data Packet Payload	7-9
7.2.1.2.3	Data Payload Structure and Spacing between DPH and DPP	7-11
7.2.1.3	SuperSpeedPlus Packet Placement	7-12
7.2.2	Link Commands.....	7-12
7.2.2.1	Link Command Structure.....	7-12
7.2.2.2	Link Command Word Definition	7-13
7.2.2.3	Link Command Placement.....	7-17
7.2.3	Logical Idle	7-17

7.2.4	Link Command Usage for Flow Control, Error Recovery, and Power Management.....	7-17
7.2.4.1	Header Packet Flow Control and Error Recovery	7-17
7.2.4.1.1	Initialization	7-18
7.2.4.1.2	General Rules of LGOOD_n and LCRD_x/LCRD1_x/LCRD2_x Usage	7-22
7.2.4.1.3	Transmitting Packets	7-22
7.2.4.1.4	Deferred DPH	7-23
7.2.4.1.5	Receiving Header Packets	7-23
7.2.4.1.6	Receiving Data Packet Header in SuperSpeedPlus Operation.....	7-24
7.2.4.1.7	SuperSpeed Rx Header Buffer Credit	7-25
7.2.4.1.8	SuperSpeedPlus Type 1/Type 2 Rx Buffer Credit	7-25
7.2.4.1.9	Receiving Data Packet Payload	7-25
7.2.4.1.10	Receiving LGOOD_n	7-26
7.2.4.1.11	Receiving LCRD_x/LCRD1_x/LCRD2_x	7-27
7.2.4.1.12	Receiving LBAD.....	7-27
7.2.4.1.13	Transmitter Timers.....	7-27
7.2.4.2	Link Power Management and Flow	7-29
7.2.4.2.1	Power Management Link Timers	7-29
7.2.4.2.2	Low Power Link State Initiation	7-30
7.2.4.2.3	U1/U2 Entry Flow.....	7-31
7.2.4.2.4	U3 Entry Flow	7-33
7.2.4.2.5	Concurrent Low Power Link Management Flow	7-33
7.2.4.2.6	Concurrent Low Power Link Management and Recovery Flow.....	7-33
7.2.4.2.7	Low Power Link State Exit Flow	7-34
7.3	Link Error Rules/Recovery	7-34
7.3.1	Overview of Enhanced SuperSpeed Bit Errors	7-34
7.3.2	Link Error Types, Detection, and Recovery	7-34
7.3.3	Link Error Statistics	7-35
7.3.3.1	Link Error Count.....	7-35
7.3.3.2	Soft Error Count.....	7-35
7.3.4	Header Packet Errors	7-36
7.3.4.1	Packet Framing Error	7-36
7.3.4.2	Header Packet Error	7-37
7.3.4.3	Rx Header Sequence Number Error	7-37
7.3.5	Link Command Errors	7-37
7.3.6	ACK Tx Header Sequence Number Error	7-39
7.3.7	Header Sequence Number Advertisement Error	7-39
7.3.8	SuperSpeed Rx Header Buffer Credit Advertisement Error	7-39
7.3.9	SuperSpeedPlus Type 1/Type 2 Rx Buffer Credit Advertisement Error	7-40
7.3.10	Training Sequence Error.....	7-40
7.3.11	SuperSpeed 8b/10b Errors	7-41
7.3.12	SuperSpeedPlus Block Header Errors	7-41

7.3.13	Summary of Error Types and Recovery.....	7-41
7.4	PowerOn Reset and Inband Reset	7-43
7.4.1	PowerOn Reset	7-44
7.4.2	Inband Reset.....	7-44
7.5	Link Training and Status State Machine (LTSSM)	7-45
7.5.1	eSS.Disabled.....	7-49
7.5.1.1	eSS.Disabled for Downstream Ports and Hub Upstream Ports	7-49
7.5.1.1.1	eSS.Disabled Requirements	7-49
7.5.1.1.2	Exit from eSS.Disabled	7-49
7.5.1.2	eSS.Disabled for Upstream Ports of Peripheral Devices.....	7-49
7.5.1.2.1	eSS.Disabled Substate Machine	7-49
7.5.1.2.2	eSS.Disabled Requirements	7-50
7.5.1.2.3	Exit from eSS.Disabled.Default.....	7-50
7.5.1.2.4	Exit from eSS.Disabled.Error	7-50
7.5.2	eSS.Inactive	7-51
7.5.2.1	eSS.Inactive Substate Machines	7-51
7.5.2.2	eSS.Inactive Requirements	7-51
7.5.2.3	eSS.Inactive.Quiet	7-51
7.5.2.3.1	eSS.Inactive.Quiet Requirements	7-51
7.5.2.3.2	Exit from eSS.Inactive.Quiet	7-51
7.5.2.4	eSS.Inactive.Disconnect.Detect	7-51
7.5.2.4.1	eSS.Inactive.Disconnect.Detect Requirements.....	7-51
7.5.2.4.2	Exit from eSS.Inactive.Disconnect.Detect	7-51
7.5.3	Rx.Detect	7-52
7.5.3.1	Rx.Detect Substate Machines	7-52
7.5.3.2	Rx.Detect Requirements	7-52
7.5.3.3	Rx.Detect.Reset.....	7-53
7.5.3.3.1	Rx.Detect.Reset Requirements	7-53
7.5.3.3.2	Exit from Rx.Detect.Reset.....	7-53
7.5.3.4	Rx.Detect.Active	7-53
7.5.3.5	Rx.Detect.Active Requirements.....	7-53
7.5.3.6	Exit from Rx.Detect.Active	7-53
7.5.3.7	Rx.Detect.Quiet	7-54
7.5.3.7.1	Rx.Detect.Quiet Requirements.....	7-54
7.5.3.7.2	Exit from Rx.Detect.Quiet	7-54
7.5.4	Polling	7-55
7.5.4.1	Polling Substate Machines	7-55
7.5.4.2	Polling Requirements	7-55
7.5.4.3	Polling.LFPS	7-56
7.5.4.3.1	Polling.LFPS Requirements	7-56
7.5.4.3.2	Exit from Polling.LFPS	7-57
7.5.4.4	Polling.LFPSPlus	7-58
7.5.4.4.1	Polling.LFPSPlus Requirements	7-58
7.5.4.4.2	Exit from Polling.LFPSPlus	7-58
7.5.4.5	Polling.PortMatch.....	7-59

	7.5.4.5.1	PHY Capability LBPM Definition	7-59
	7.5.4.5.2	Polling.PortMatch Requirements	7-60
	7.5.4.5.3	Exit from Polling.PortMatch	7-60
	7.5.4.6	Polling.PortConfig	7-60
	7.5.4.6.1	Polling.PortConfig Requirements	7-61
	7.5.4.6.2	Exit from Polling.PortConfig	7-61
	7.5.4.7	Polling.RxEQ	7-61
	7.5.4.7.1	Polling.RxEQ Requirements	7-61
	7.5.4.7.2	Exit from Polling.RxEQ	7-62
	7.5.4.8	Polling.Active	7-62
	7.5.4.8.1	Polling.Active Requirements	7-62
	7.5.4.8.2	Exit from Polling.Active	7-62
	7.5.4.9	Polling.Configuration	7-63
	7.5.4.9.1	Polling.Configuration Requirements	7-63
	7.5.4.9.2	Exit from Polling.Configuration	7-63
	7.5.4.10	Polling.Idle	7-64
	7.5.4.10.1	Polling.Idle Requirements	7-64
	7.5.4.10.2	Exit from Polling.Idle	7-65
7.5.5		Compliance Mode	7-67
	7.5.5.1	Compliance Mode Requirements	7-67
	7.5.5.2	Exit from Compliance Mode	7-68
7.5.6		U0	7-68
	7.5.6.1	U0 Requirements	7-68
	7.5.6.2	Exit from U0	7-68
7.5.7		U1	7-70
	7.5.7.1	U1 Requirements	7-70
	7.5.7.2	Exit from U1	7-70
7.5.8		U2	7-71
	7.5.8.1	U2 Requirements	7-71
	7.5.8.2	Exit from U2	7-71
7.5.9		U3	7-72
	7.5.9.1	U3 Requirements	7-72
	7.5.9.2	Exit from U3	7-72
7.5.10		Recovery	7-73
	7.5.10.1	Recovery Substate Machines	7-73
	7.5.10.2	Recovery Requirements	7-73
	7.5.10.3	Recovery.Active	7-74
	7.5.10.3.1	Recovery.Active Requirements	7-74
	7.5.10.3.2	Exit from Recovery.Active	7-74
	7.5.10.4	Recovery.Configuration	7-74
	7.5.10.4.1	Recovery.Configuration Requirements	7-75
	7.5.10.4.2	Exit from Recovery.Configuration	7-75
	7.5.10.5	Recovery.Idle	7-75
	7.5.10.5.1	Recovery.Idle Requirements	7-75
	7.5.10.5.2	Exit from Recovery.Idle	7-76

7.5.11	Loopback.....	7-77
7.5.11.1	Loopback Substate Machines.....	7-77
7.5.11.2	Loopback Requirements.....	7-78
7.5.11.3	Loopback.Active.....	7-78
7.5.11.3.1	Loopback.Active Requirements.....	7-78
7.5.11.3.2	Exit from Loopback.Active	7-78
7.5.11.4	Loopback.Exit	7-78
7.5.11.4.1	Loopback.Exit Requirements	7-78
7.5.11.4.2	Exit from Loopback.Exit	7-78
7.5.12	Hot Reset	7-79
7.5.12.1	Hot Reset Substate Machines	7-79
7.5.12.2	Hot Reset Requirements	7-79
7.5.12.3	Hot Reset.Active	7-80
7.5.12.3.1	Hot Reset.Active Requirements	7-80
7.5.12.3.2	Exit from Hot Reset.Active	7-80
7.5.12.4	Hot Reset.Exit.....	7-80
7.5.12.4.1	Hot Reset.Exit Requirements	7-80
7.5.12.4.2	Exit from Hot Reset.Exit.....	7-81
8	Protocol Layer	8-1
8.1	Enhanced SuperSpeed Transactions	8-2
8.1.1	Transactions on a SuperSpeed Bus Instance.....	8-2
8.1.2	Transactions on a SuperSpeedPlus Bus Instance	8-3
8.1.2.1	Simultaneous IN Transactions.....	8-3
8.1.2.2	Transaction Reordering.....	8-3
8.2	Packet Types	8-4
8.3	Packet Formats.....	8-5
8.3.1	Fields Common to all Headers	8-5
8.3.1.1	Reserved Values and Reserved Field Handling.....	8-5
8.3.1.2	Type Field.....	8-5
8.3.1.3	CRC-16.....	8-5
8.3.1.4	Link Control Word	8-6
8.4	Link Management Packet (LMP)	8-7
8.4.1	Subtype Field	8-7
8.4.2	Set Link Function.....	8-8
8.4.3	U2 Inactivity Timeout	8-9
8.4.4	Vendor Device Test	8-10
8.4.5	Port Capabilities	8-10
8.4.6	Port Configuration	8-12
8.4.7	Port Configuration Response	8-13
8.4.8	Precision Time Measurement.....	8-14
8.4.8.1	PTM Bus Interval Boundary Counters.....	8-14
8.4.8.2	LDM Protocol	8-15
8.4.8.2.1	LDM Timestamp Exchange	8-16
8.4.8.2.2	PTM ITP Transfer	8-17

8.4.8.3	LDM State Machines	8-17
8.4.8.3.1	Requester Operation.....	8-18
8.4.8.3.1.1	Init Request	8-18
8.4.8.3.1.2	Init Response	8-19
8.4.8.3.1.3	Timestamp Request.....	8-19
8.4.8.3.1.4	Timestamp Response	8-20
8.4.8.3.1.5	LDM Disabled	8-20
8.4.8.3.2	Responder Operation.....	8-20
8.4.8.3.2.1	Responder Disabled	8-21
8.4.8.3.2.2	Timestamp Request.....	8-21
8.4.8.3.2.3	Timestamp Response	8-21
8.4.8.4	LDM Link Delay.....	8-22
8.4.8.4.1	Calculation	8-22
8.4.8.5	PTM Bus Interval Boundary Device Calculation.....	8-23
8.4.8.6	PTM Bus Interval Boundary Host Calculation	8-24
8.4.8.7	PTM Hub ITP Regeneration	8-24
8.4.8.8	Performance	8-26
8.4.8.9	LDM Rules	8-27
8.4.8.10	LDM and Hubs	8-28
8.4.8.11	Link Delay Measurement (LDM) LMP	8-29
8.5	Transaction Packet (TP)	8-29
8.5.1	Acknowledgement (ACK) Transaction Packet	8-31
8.5.2	Not Ready (NRDY) Transaction Packet.....	8-34
8.5.3	Endpoint Ready (ERDY) Transaction Packet	8-34
8.5.4	STATUS Transaction Packet	8-35
8.5.5	STALL Transaction Packet	8-36
8.5.6	Device Notification (DEV_NOTIFICATION) Transaction Packet	8-36
8.5.6.1	Function Wake Device Notification	8-37
8.5.6.2	Latency Tolerance Message (LTM) Device Notification	8-38
8.5.6.3	Bus Interval Adjustment Message Device Notification	8-39
8.5.6.4	Function Wake Notification.....	8-39
8.5.6.5	Latency Tolerance Messaging.....	8-39
8.5.6.5.1	Optional Normative LTM and BELT Requirements ..	8-40
8.5.6.6	Bus Interval Adjustment Message	8-40
8.5.6.7	Sublink Speed Device Notification.....	8-42
8.5.7	PING Transaction Packet	8-44
8.5.8	PING_RESPONSE Transaction Packet.....	8-44
8.6	Data Packet (DP).....	8-45
8.7	Isochronous Timestamp Packet (ITP).....	8-49
8.8	Addressing Triple.....	8-50
8.9	Route String Field.....	8-50
8.9.1	Route String Port Field	8-51
8.9.2	Route String Port Field Width	8-51
8.9.3	Port Number	8-51
8.10	Transaction Packet Usages	8-51

8.10.1	Flow Control Conditions.....	8-51
8.10.2	Burst Transactions.....	8-52
	8.10.2.1 Enhanced SuperSpeed Burst Transactions	8-52
	8.10.2.2 SuperSpeedPlus Burst Transactions	8-53
8.10.3	Short Packets	8-54
8.10.4	SuperSpeedPlus Transaction Reordering	8-54
8.11	TP or DP Responses	8-57
8.11.1	Device Response to TP Requesting Data	8-57
8.11.2	Host Response to Data Received from a Device	8-57
8.11.3	Device Response to Data Received from the Host	8-58
8.11.4	Device Response to a SETUP DP.....	8-60
8.12	TP Sequences	8-61
8.12.1	Bulk Transactions	8-61
	8.12.1.1 State Machine Notation Information	8-61
	8.12.1.2 Bulk IN Transactions	8-62
	8.12.1.3 Bulk OUT Transactions	8-63
	8.12.1.4 Bulk Streaming Protocol.....	8-65
	8.12.1.4.1 Stream IDs	8-67
	8.12.1.4.2 Device IN Stream Protocol.....	8-69
	8.12.1.4.2.1 Disabled.....	8-70
	8.12.1.4.2.2 Prime Pipe	8-70
	8.12.1.4.2.3 Deferred Prime Pipe.....	8-71
	8.12.1.4.2.4 Idle.....	8-71
	8.12.1.4.2.5 Start Stream.....	8-72
	8.12.1.4.2.6 Move Data.....	8-73
	8.12.1.4.2.7 INMvData Device	8-74
	8.12.1.4.2.8 INMvData Host.....	8-74
	8.12.1.4.2.9 INMvData Device Terminate.....	8-75
	8.12.1.4.2.10 INMvData Burst End.....	8-75
	8.12.1.4.3 Device OUT Stream Protocol	8-75
	8.12.1.4.3.1 Disabled.....	8-76
	8.12.1.4.3.2 Prime Pipe	8-77
	8.12.1.4.3.3 Deferred Prime Pipe.....	8-77
	8.12.1.4.3.4 Idle.....	8-77
	8.12.1.4.3.5 Start Stream.....	8-78
	8.12.1.4.3.6 Start Stream End.....	8-79
	8.12.1.4.3.7 Move Data.....	8-79
	8.12.1.4.3.8 OUTMvData Device.....	8-80
	8.12.1.4.3.9 OUTMvData Host	8-81
	8.12.1.4.3.10 OUTMvData Host Terminate.....	8-81
	8.12.1.4.4 Host IN Stream Protocol	8-81
	8.12.1.4.4.1 Disabled.....	8-82
	8.12.1.4.4.2 Prime Pipe	8-82
	8.12.1.4.4.3 Idle.....	8-83
	8.12.1.4.4.4 Start Stream.....	8-84

	8.12.1.4.4.5 Move Data.....	8-85
	8.12.1.4.4.6 INMvData Device	8-86
	8.12.1.4.4.7 INMvData Host.....	8-86
	8.12.1.4.4.8 INMvData Burst End.....	8-87
	8.12.1.4.4.9 INMvData Device Terminate	8-87
	8.12.1.4.5 Host OUT Stream Protocol.....	8-88
	8.12.1.4.5.1 Disabled.....	8-88
	8.12.1.4.5.2 Prime Pipe	8-89
	8.12.1.4.5.3 Idle.....	8-89
	8.12.1.4.5.4 Start Stream.....	8-90
	8.12.1.4.5.5 Start Stream End.....	8-90
	8.12.1.4.5.6 Move Data.....	8-91
	8.12.1.4.5.7 OUTMvData Device.....	8-92
	8.12.1.4.5.8 OUTMvData Host	8-93
	8.12.1.4.5.9 OUTMvData Host Terminate.....	8-93
8.12.2	Control Transfers.....	8-94
	8.12.2.1 Reporting Status Results	8-96
	8.12.2.2 Variable-length Data Stage	8-97
	8.12.2.3 STALL TPs Returned by Control Pipes.....	8-97
8.12.3	Bus Interval and Service Interval	8-98
8.12.4	Interrupt Transactions.....	8-98
	8.12.4.1 Interrupt IN Transactions.....	8-98
	8.12.4.2 Interrupt OUT Transactions.....	8-101
8.12.5	Host Timing Information.....	8-104
8.12.6	Isochronous Transactions	8-106
	8.12.6.1 Enhanced SuperSpeed Isochronous Transactions.....	8-106
	8.12.6.1.1 Smart Isochronous Scheduling Protocol.....	8-112
	8.12.6.2 Host Flexibility in Performing SuperSpeed Isochronous Transactions	8-116
	8.12.6.3 SuperSpeedPlus Isochronous Transactions	8-116
	8.12.6.3.1 Pipelined Isochronous IN Transactions	8-116
	8.12.6.4 Host Flexibility in Performing SuperSpeedPlus Isochronous Transactions	8-119
	8.12.6.5 Device Response to Isochronous IN Transactions.....	8-119
	8.12.6.6 Host Processing of Isochronous IN Transactions	8-119
	8.12.6.7 Device Response to an Isochronous OUT Data Packet	8-120
8.13	Timing Parameters.....	8-121
9	Device Framework.....	9-1
9.1	USB Device States	9-1
9.1.1	Visible Device States	9-1
	9.1.1.1 Attached	9-4
	9.1.1.2 Powered	9-4
	9.1.1.2.1 Far-end Receiver Termination Substate	9-4
	9.1.1.2.2 Link Training Substate	9-5
	9.1.1.3 Default.....	9-5

9.1.1.4	Address	9-5
9.1.1.5	Configured	9-5
9.1.1.6	Suspended.....	9-6
9.1.1.7	Error	9-6
9.1.2	Bus Enumeration	9-6
9.2	Generic Device Operations	9-7
9.2.1	Dynamic Attachment and Removal	9-7
9.2.2	Address Assignment	9-8
9.2.3	Configuration	9-8
9.2.4	Data Transfer	9-8
9.2.5	Power Management	9-9
9.2.5.1	Power Budgeting	9-9
9.2.5.2	Changing Device Suspend State	9-9
9.2.5.3	Function Suspend	9-10
9.2.5.4	Changing Function Suspend State	9-11
9.2.6	Request Processing	9-11
9.2.6.1	Request Processing Timing.....	9-11
9.2.6.2	Reset/Resume Recovery Time	9-12
9.2.6.3	Set Address Processing	9-12
9.2.6.4	Standard Device Requests	9-12
9.2.6.5	Class-specific Requests	9-12
9.2.6.6	Speed Dependent Descriptors	9-12
9.2.7	Request Error	9-13
9.3	USB Device Requests	9-14
9.3.1	bmRequestType	9-14
9.3.2	bRequest	9-15
9.3.3	wValue	9-15
9.3.4	wIndex	9-15
9.3.5	wLength	9-16
9.4	Standard Device Requests	9-17
9.4.1	Clear Feature	9-20
9.4.2	Get Configuration	9-21
9.4.3	Get Descriptor	9-22
9.4.4	Get Interface	9-23
9.4.5	Get Status	9-23
9.4.6	Set Address	9-27
9.4.7	Set Configuration	9-27
9.4.8	Set Descriptor	9-28
9.4.9	Set Feature	9-28
9.4.10	Set Interface	9-31
9.4.11	Set Isochronous Delay	9-31
9.4.12	Set SEL	9-32
9.4.13	Synch Frame	9-33
9.4.14	Events and Their Effect on Device Parameters	9-33
9.5	Descriptors	9-35

9.6	Standard USB Descriptor Definitions.....	9-35
9.6.1	Device	9-35
9.6.2	Binary Device Object Store (BOS)	9-38
9.6.2.1	USB 2.0 Extension	9-40
9.6.2.2	SuperSpeed USB Device Capability	9-41
9.6.2.3	Container ID	9-43
9.6.2.4	Platform Descriptor	9-43
9.6.2.5	SuperSpeedPlus USB Device Capability	9-44
9.6.2.6	Precision Time Measurement	9-46
9.6.3	Configuration	9-46
9.6.4	Interface Association	9-48
9.6.5	Interface	9-49
9.6.6	Endpoint	9-51
9.6.7	SuperSpeed Endpoint Companion	9-55
9.6.8	SuperSpeedPlus Isochronous Endpoint Companion.....	9-58
9.6.9	String	9-59
9.7	Device Class Definitions	9-60
9.7.1	Descriptors	9-60
9.7.2	Interface(s)	9-60
9.7.3	Requests	9-60
10	Hub, Host Downstream Port, and Device Upstream Port Specification	10-1
10.1	Hub Feature Summary	10-1
10.1.1	Connecting to an Enhanced SuperSpeed Capable Host.....	10-5
10.1.2	Connecting to a USB 2.0 Host	10-6
10.1.3	Hub Connectivity	10-6
10.1.3.1	Routing Information.....	10-6
10.1.3.2	SuperSpeed Hub Packet Signaling Connectivity.....	10-8
10.1.3.3	SuperSpeedPlus Hub Packet Routing	10-9
10.1.4	Resume Connectivity	10-10
10.1.5	Hub Fault Recovery Mechanisms.....	10-10
10.1.6	Hub Buffer Architecture	10-11
10.1.6.1	SuperSpeed Hub Buffer Architecture.....	10-11
10.1.6.1.1	SuperSpeed Hub Header Packet Buffer Architecture.....	10-11
10.1.6.1.2	Hub Data Buffer Architecture	10-12
10.1.6.2	SuperSpeedPlus Hub Buffer Architecture	10-12
10.2	Hub Power Management.....	10-13
10.2.1	Link States	10-13
10.2.2	Hub Downstream Port U1/U2 Timers	10-13
10.2.3	Downstream/Upstream Port Link State Transitions	10-14
10.3	Hub Downstream Facing Ports.....	10-14
10.3.1	Hub Downstream Facing Port State Descriptions	10-17
10.3.1.1	DSPORT.Powered-off	10-17
10.3.1.2	DSPORT.Disconnected (Waiting for eSS Connect)	10-18
10.3.1.3	DSPORT.Training	10-19

10.3.1.4	DSPORT.ERROR.....	10-19
10.3.1.5	DSPORT.Enabled	10-19
10.3.1.6	DSPORT.Resetting	10-20
10.3.1.7	DSPORT.Compliance.....	10-20
10.3.1.8	DSPORT.Loopback	10-20
10.3.1.9	DSPORT.Disabled	10-21
10.3.1.10	DSPORT.Powered-off-detect	10-21
10.3.1.11	DSPORT.Powered-off-reset	10-22
10.3.2	Disconnect Detect Mechanism	10-22
10.3.3	Labeling	10-22
10.4	Hub Downstream Facing Port Power Management.....	10-22
10.4.1	Downstream Facing Port PM Timers	10-22
10.4.2	Hub Downstream Facing Port State Descriptions	10-24
10.4.2.1	Enabled U0 States	10-24
10.4.2.2	Attempt U0 – U1 Transition	10-25
10.4.2.3	Attempt U0 – U2 Transition	10-25
10.4.2.4	Link in U1	10-26
10.4.2.5	Link in U2	10-26
10.4.2.6	Link in U3	10-26
10.5	Hub Upstream Facing Port.....	10-27
10.5.1	Upstream Facing Port State Descriptions.....	10-28
10.5.1.1	USPORT.Powered-off	10-28
10.5.1.2	USPORT.Powered-on	10-29
10.5.1.3	USPORT.Training	10-29
10.5.1.4	USPORT.Connected/Enabled	10-29
10.5.1.5	USPORT.Error	10-29
10.5.2	Hub Connect State Machine	10-30
10.5.2.1	Hub Connect State Descriptions.....	10-30
10.5.2.2	HCONNECT.Powered-off	10-30
10.5.2.3	HCONNECT.Attempt ESS Connect	10-31
10.5.2.4	HCONNECT.Connected on ESS	10-31
10.6	Upstream Facing Port Power Management	10-31
10.6.1	Upstream Facing Port PM Timer	10-33
10.6.2	Hub Upstream Facing Port State Descriptions	10-33
10.6.2.1	Enabled U0 States	10-33
10.6.2.2	Attempt U0 – U1 Transition	10-34
10.6.2.3	Attempt U0 – U2 Transition	10-35
10.6.2.4	Link in U1	10-35
10.6.2.5	Link in U2	10-35
10.6.2.6	Link in U3	10-35
10.7	SuperSpeed Hub Header Packet Forwarding and Data Repeater	10-36
10.7.1	SuperSpeed Hub Elasticity Buffer	10-36
10.7.2	SKP Ordered Sets	10-36
10.7.3	Interpacket Spacing	10-36
10.7.4	SuperSpeed Header Packet Buffer Architecture.....	10-36

10.7.5	SuperSpeed Packet Connectivity	10-38
10.8	SuperSpeedPlus Store and Forward Behavior	10-38
10.8.1	Hub Elasticity Buffer	10-38
10.8.2	SKP Ordered Sets	10-39
10.8.3	Interpacket Spacing	10-39
10.8.4	Upstream Flowing Buffering	10-39
10.8.5	Downstream Flowing Buffering	10-39
10.8.6	SuperSpeedPlus Hub Arbitration of Packets	10-40
10.8.6.1	Arbitration Weight	10-40
10.8.6.2	Direction Independent Packet Selection	10-40
10.8.6.3	Downstream Flowing Packet Reception and Selection	10-41
10.8.6.4	Upstream Flowing Packet Reception and Selection	10-41
10.8.6.4.1	Partially Buffered DP Selection Candidate	10-41
10.8.6.4.2	Upstream Weighted Round Robin Arbitration	10-42
10.8.7	SuperSpeedPlus Upstream Flowing Packet Modifications	10-43
10.8.8	SuperSpeedPlus Downstream Controller	10-43
10.9	Port State Machines	10-43
10.9.1	Port Transmit State Machine	10-44
10.9.2	Port Transmit State Descriptions	10-46
10.9.2.1	Tx IDLE	10-46
10.9.2.2	Tx Header	10-46
10.9.2.3	Tx Data	10-46
10.9.2.4	Tx Data Abort	10-46
10.9.2.5	Tx Link Command	10-46
10.9.3	Port Receive State Machine	10-47
10.9.4	Port Receive State Descriptions	10-47
10.9.4.1	Rx Default	10-47
10.9.4.2	Rx Data	10-48
10.9.4.3	Rx Header	10-48
10.9.4.4	Process Header Packet	10-48
10.9.4.4.1	SuperSpeed Hub Upstream Facing Port	10-49
10.9.4.4.2	SuperSpeedPlus Hub Upstream Facing Port	10-50
10.9.4.4.3	SuperSpeed Hub Downstream Facing Port	10-51
10.9.4.4.4	SuperSpeedPlus Hub Downstream Facing Port	10-52
10.9.4.5	Rx Link Command	10-52
10.9.4.6	Process Link Command	10-52
10.10	Suspend and Resume	10-52
10.11	Hub Upstream Port Reset Behavior	10-53
10.12	Hub Port Power Control	10-53
10.12.1	Multiple Gangs	10-54
10.13	Hub Controller	10-54
10.13.1	Endpoint Organization	10-55
10.13.2	Hub Information Architecture and Operation	10-55
10.13.3	Port Change Information Processing	10-57
10.13.4	Hub and Port Status Change Bitmap	10-58

10.13.5	Over-current Reporting and Recovery	10-59
10.13.6	Enumeration Handling	10-60
10.14	Hub Configuration	10-60
10.15	Descriptors	10-62
10.15.1	Standard Descriptors for Hub Class	10-62
10.15.2	Class-specific Descriptors	10-68
10.15.2.1	Hub Descriptor	10-68
10.16	Requests	10-70
10.16.1	Standard Requests	10-70
10.16.2	Class-specific Requests	10-71
10.16.2.1	Clear Hub Feature	10-73
10.16.2.2	Clear Port Feature	10-73
10.16.2.3	Get Hub Descriptor	10-74
10.16.2.4	Get Hub Status	10-74
10.16.2.5	Get Port Error Count	10-76
10.16.2.6	Get Port Status	10-76
10.16.2.6.1	Port Status Bits	10-78
	PORT_CONNECTION	10-79
	PORT_ENABLE	10-79
	PORT_OVER_CURRENT	10-79
	PORT_RESET	10-80
	PORT_LINK_STATE	10-80
	PORT_POWER	10-80
	PORT_SPEED	10-80
10.16.2.6.2	Port Status Change Bits	10-80
	C_PORT_CONNECTION	10-82
	C_PORT_OVER_CURRENT	10-82
	C_PORT_RESET	10-82
	C_PORT_BH_RESET	10-82
	C_PORT_LINK_STATE	10-82
	C_PORT_CONFIG_ERROR	10-82
10.16.2.6.3	Extended Port Status Bits	10-83
	TX_SUBLINK_SPEED_ID and RX_SUBLINK_SPEED_ID	10-83
	TX_LANE_COUNT and RX_LANE_COUNT	10-83
10.16.2.7	Set Hub Descriptor	10-83
10.16.2.8	Set Hub Feature	10-84
10.16.2.9	Set Hub Depth	10-84
10.16.2.10	Set Port Feature	10-84
10.17	Host Root (Downstream) Ports	10-88
10.18	Peripheral Device Upstream Ports	10-88
10.18.1	Peripheral Device Upstream Ports	10-88
10.18.2	Peripheral Device Upstream Port State Machine	10-89
10.18.2.1	USDPORTR.Powered-off	10-90
10.18.2.2	USDPORTR.Powered on	10-91

10.18.2.3	USDPORT.Training	10-91
10.18.2.4	USDPORT.Connected/Enabled	10-91
10.18.2.5	USDPORT.Error	10-91
10.18.2.6	USDPORT.Disabled	10-92
10.18.2.7	USDPORT.Disabled_Error	10-92
10.19	Hub Chapter Parameters	10-93
11	Interoperability and Power Delivery	11-1
11.1	USB 3.1 Host Support for USB 2.0	11-1
11.2	USB 3.1 Hub Support for USB 2.0	11-2
11.3	USB 3.1 Device Support for USB 2.0	11-2
11.4	Power Distribution	11-2
11.4.1	Classes of Devices and Connections	11-3
11.4.1.1	Self-powered Hubs	11-4
11.4.1.1.1	Over-current Protection	11-4
11.4.1.2	Low-power Bus-powered Devices	11-5
11.4.1.3	High-power Bus-powered Devices	11-5
11.4.1.4	Self-powered Devices	11-6
11.4.2	Steady-State Voltage Drop Budget	11-6
11.4.3	Power Control During Suspend/Resume	11-8
11.4.4	Dynamic Attach and Detach	11-9
11.4.4.1	Inrush Current Limiting	11-9
11.4.4.2	Dynamic Detach	11-10
11.4.5	VBUS Electrical Characteristics	11-10
11.4.6	Powered-B Connector	11-10
11.4.7	Wire Gauge Table	11-11
A	Gen 1 Symbol Encoding	A-1
B	Symbol Scrambling	B-1
B.1	Data Scrambling	B-1
C	Power Management	C-1
C.1	SuperSpeed Power Management Overview	C-1
C.1.1	Link Power Management	C-1
C.1.1.1	Summary of Link States	C-2
C.1.1.2	U0 – Link Active	C-2
C.1.1.3	U1 – Link Idle with Fast Exit	C-2
C.1.1.3.1	U1 Entry	C-2
C.1.1.3.2	Exiting the U1 State	C-3
C.1.1.4	U2 – Link Idle with Slow Exit	C-4
C.1.1.5	U3 – Link Suspend	C-5
C.1.2	Link Power Management for Downstream Ports	C-6
C.1.2.1	Link State Coordination and Management	C-6
C.1.2.2	Packet Deferring	C-7
C.1.2.3	Software Interface	C-7
C.1.3	Other Link Power Management Support Mechanisms	C-8
C.1.3.1	Packets Pending Flag	C-8

	C.1.3.2	Support for Isochronous Transfers	C-9
	C.1.3.3	Support for Interrupt Transfers	C-9
C.1.4		Device Power Management	C-9
	C.1.4.1	Function Suspend	C-10
	C.1.4.2	Device Suspend	C-10
	C.1.4.3	Host Initiated Suspend	C-10
	C.1.4.4	Host Initiated Wake from Suspend	C-11
	C.1.4.5	Device Initiated Wake from Suspend	C-11
C.1.5		Platform Power Management Support	C-12
	C.1.5.1	System Exit Latency and BELT	C-12
	C.1.5.2	Maximum Exit Latency and PING	C-13
	C.1.5.2.1	Maximum Exit Latency t1 (tMEL1)	C-14
	C.1.5.2.2	Maximum Exit Latency t2 (tMEL2)	C-14
	C.1.5.2.3	Maximum Exit Latency t3 (tMEL3)	C-14
	C.1.5.2.4	Maximum Exit Latency t4 (tMEL4)	C-14
C.2		Calculating U1 and U2 End to End Exit Latencies	C-15
C.2.1		Device Connected Directly to Host	C-16
	C.2.1.1	Host Initiated Transition	C-16
	C.2.1.2	Device Initiated Transition	C-17
C.2.2		Device Connected Through a Hub	C-18
	C.2.2.1	Host Initiated Transition	C-18
	C.2.2.2	Device Initiated Transition	C-20
C.3		Device-Initiated Link Power Management Policies	C-21
C.3.1		Overview and Background Information	C-21
C.3.2		Entry Conditions for U1 and U2	C-22
	C.3.2.1	Control Endpoints	C-22
	C.3.2.2	Bulk Endpoints	C-22
	C.3.2.3	Interrupt Endpoints	C-23
	C.3.2.4	Isochronous Endpoints	C-23
	C.3.2.5	Devices That Need Timestamp Packets	C-23
C.4		Latency Tolerance Message (LTM) Implementation Example	C-23
C.4.1		Device State Machine Implementation Example	C-24
	C.4.1.1	LTM-Idle State BELT	C-24
	C.4.1.2	LTM-Active State BELT	C-24
	C.4.1.3	Transitioning Between LT-States	C-25
	C.4.1.3.1	Transitioning From LT-idle to LT-active	C-25
	C.4.1.3.2	Transitioning From LT-active to LT-idle	C-25
	C.4.2	Other Considerations	C-26
C.5		SuperSpeed vs. High Speed Power Management Considerations	C-26
D		Example Packets	D-1
E		Repeaters	E-1

Figures

Figure 2-1. Port and Link Pictorial	2-10
Figure 3-1. USB 3.1 Dual Bus System Architecture	3-1
Figure 3-2. USB 3.1 Cable	3-2
Figure 3-3. USB 3.1 Terminology Reference Model	3-4
Figure 3-4. Enhanced SuperSpeed Bus Communications Layers and Power Management Elements	3-5
Figure 3-5. Examples of Supported USB 3.1 USB Physical Device Topologies	3-12
Figure 3-6. SuperSpeed Only Enhanced SuperSpeed Peripheral Device Configuration	3-12
Figure 3-7. Enhanced SuperSpeed Device Configuration	3-12
Figure 3-8. Multiple SuperSpeed Bus Instances in an Enhanced SuperSpeed System	3-14
Figure 4-1. Enhanced SuperSpeed IN Transaction Protocol	4-6
Figure 4-2. Enhanced SuperSpeed OUT Transaction Protocol	4-7
Figure 4-3. Enhanced SuperSpeed IN Stream Example	4-11
Figure 5-1. USB 3.1 Standard-A Receptacle Interface Dimensions	5-7
Figure 5-2. Example USB 3.1 Standard-A Receptacle with Grounding Springs and Required contact zones on the Standard-A Plug.	5-9
Figure 5-3. Example USB 3.1 Standard-A Mid-Mount Receptacles with Insertion Detect	5-10
Figure 5-4. USB 3.1 Standard-A Plug Interface Dimensions	5-13
Figure 5-5. Example Footprint for the USB 3.1 Standard-A Receptacle - Through-Hole with Back-Shield	5-16
Figure 5-6. Example Footprint for the USB 3.1 Standard-A Receptacle - Mid-Mount Standard Mount Through-Hole with Insertion Detect	5-17
Figure 5-7. Example Footprint for the USB 3.1 Standard-A Receptacle - Mid-Mount Reverse Mount Through-Hole with Insertion Detect	5-18
Figure 5-8. Illustration of Color Coding Recommendation for USB 3.1 Standard-A Connector	5-20
Figure 5-9. USB 3.1 Standard-B Receptacle Interface Dimensions	5-22
Figure 5-10. USB 3.1 Standard-B Plug Interface Dimensions	5-23
Figure 5-11. Reference Footprint for the USB 3.1 Standard-B Receptacle	5-24
Figure 5-12. USB 3.1 Micro-B and -AB Receptacles Interface Dimensions	5-27
Figure 5-13. USB 3.1 Micro-B and Micro-A Plug Interface Dimensions	5-30
Figure 5-14. Reference Footprint for the USB 3.1 Micro-B or Micro-AB Receptacle	5-32
Figure 5-15. Illustration of a USB 3.1 Cable Cross-Section	5-34
Figure 5-16. USB 3.1 Standard-A to USB 3.1 Standard-B Cable Assembly	5-37
Figure 5-17. USB 3.1 Micro-B Plug Cable Overmold Dimensions	5-39
Figure 5-18. USB 3.1 Micro-A Cable Overmold Dimensions	5-41
Figure 5-19. Typical Plug Orientation	5-44
Figure 5-20. Recommended Ground Void Dimension for USB Standard-A Receptacle	5-47
Figure 5-21. Impedance Limits of a Mated Connector for Gen 2 Speed	5-48
Figure 5-22. Illustration of Cable Assembly Mounted on Test Fixture	5-49
Figure 5-23. Illustration of Cable Assembly with Reference Host and Device	5-50
Figure 5-24. Illustration of Insertion Loss Fit at Nyquist Frequency	5-51
Figure 5-25. Example of Insertion Loss Deviation	5-52
Figure 5-26. Pass/Fail Examples	5-54
Figure 5-27. Illustration of Peak-to-Peak Crosstalk	5-55

Figure 5-28. Differential-to-Common-Mode Conversion Requirement for Gen 2	5-56
Figure 5-29. Set Up For Cable SE Measurement (subject to change)	5-56
Figure 5-30. 4-Axes Continuity Test	5-60
Figure 5-31. Mated USB 3.1 Standard-A Connector.....	5-63
Figure 5-32. Mated USB 3.1 Standard-B Connector.....	5-64
Figure 5-33. Mated USB 3.1 Micro-B Connector	5-65
Figure 5-34. Examples of Connector Apertures	5-66
Figure 6-1. SuperSpeed Physical Layer.....	6-1
Figure 6-2. Transmitter Block Diagram	6-2
Figure 6-3. Gen 1 Receiver Block Diagram.....	6-3
Figure 6-4. Gen 2 Receiver Block Diagram.....	6-4
Figure 6-5. Channel Models	6-5
Figure 6-6. Character to Symbol Mapping	6-6
Figure 6-7. Bit Transmission Order.....	6-7
Figure 6-8. LFSR with Scrambling Polynomial	6-8
Figure 6-9. Gen 2 Serialization and Deserialization Order	6-9
Figure 6-10. Gen 2 Bit Transmission Order and Framing	6-9
Figure 6-11. LFSR for use in Gen 2 operation	6-11
Figure 6-12. Jitter Filtering – “Golden PLL” and Jitter Transfer Functions	6-23
Figure 6-13. “Golden PLL” and Jitter Transfer Functions for Gen 1 Operation.....	6-24
Figure 6-14. “Golden PLL” and Jitter Transfer Functions for Gen 2 Operation.....	6-24
Figure 6-15. Example of Period Modulation from Triangular SSC	6-26
Figure 6-16. Eye Masks.....	6-27
Figure 6-17. Single-ended and Differential Voltage Levels.....	6-28
Figure 6-18. Device Termination Schematic	6-29
Figure 6-19. Tx Normative Setup with Reference Channel.....	6-32
Figure 6-20. De-Emphasis Waveform	6-33
Figure 6-21. 3-tap Transmit Equalizer Structure	6-34
Figure 6-22. Example Output Waveform for 3-tap Transmit Equalizer.....	6-34
Figure 6-23. Frequency Spectrum of TSEQ	6-36
Figure 6-24. Gen 1 Tx Compliance Rx EQ Transfer Function.....	6-37
Figure 6-25. Gen 2 Compliance Rx EQ Transfer Function	6-38
Figure 6-26. Gen 2 reference DFE Function	6-39
Figure 6-27. Rx Tolerance Setup.....	6-42
Figure 6-28. Jitter Tolerance Curve	6-42
Figure 6-29. LFPS Signaling.....	6-44
Figure 6-30. U1 Exit, U2 Exit, and U3 Wakeup LFPS Handshake Timing Diagram	6-46
Figure 6-31. Example of Warm Reset Out of U3	6-48
Figure 6-32. Example of Binary Representation based on Polling.LFPS	6-49
Figure 6-33. SCD1/SCD2 transmission.....	6-50
Figure 6-34. Logic Representation of LBPS	6-51
Figure 6-35. LBPM Transmission Examples	6-52
Figure 6-36. Rx Detect Schematic	6-54
Figure 7-1. Link Layer	7-1
Figure 7-2. Byte Ordering.....	7-2

Figure 7-3. Enhanced SuperSpeed Header Packet with HPSTART, Packet Header, and Link Control Word	7-4
Figure 7-4. SuperSpeedPlus DPH Format	7-4
Figure 7-5. Packet Header	7-5
Figure 7-6. CRC-16 Remainder Generation	7-6
Figure 7-7. Link Control Word	7-7
Figure 7-8. CRC-5 Remainder Generation	7-8
Figure 7-9. Data Packet Payload with CRC-32 and Framing	7-8
Figure 7-10. CRC-32 Remainder Generation	7-9
Figure 7-11. Data Packet with Data Packet Header Followed by Data Packet Payload. (a) SuperSpeed DP; (b). SuperSpeedPlus DP	7-11
Figure 7-12. Link Command Structure	7-12
Figure 7-13. Link Command Word Structure	7-13
Figure 7-14. State Diagram of the Link Training and Status State Machine	7-48
Figure 7-15. eSS.Disabled Substate Machine	7-50
Figure 7-16. eSS.Inactive Substate Machine	7-52
Figure 7-17. Rx.Detect Substate Machine	7-55
Figure 7-18. Polling Substate Machine	7-67
Figure 7-19. U1	7-71
Figure 7-20. U2	7-72
Figure 7-21. U3	7-73
Figure 7-22. Recovery Substate Machine	7-77
Figure 7-23. Loopback Substate Machine	7-79
Figure 7-24. Hot Reset Substate Machine	7-81
Figure 8-1. Protocol Layer Highlighted	8-1
Figure 8-2. Example Transaction Packet	8-4
Figure 8-3. Link Control Word Detail	8-6
Figure 8-4. Link Management Packet Structure	8-7
Figure 8-5. Set Link Function LMP	8-8
Figure 8-6. U2 Inactivity Timeout LMP	8-9
Figure 8-7. Vendor Device Test LMP	8-10
Figure 8-8. Port Capability LMP	8-11
Figure 8-9. Port Configuration LMP	8-12
Figure 8-10. Port Configuration Response LMP	8-13
Figure 8-11. Link Delay Measurement Protocol	8-15
Figure 8-12. PTM ITP Protocol	8-16
Figure 8-13. LDM State Machine Notation	8-17
Figure 8-14. LDM Requester State Machine	8-18
Figure 8-15. LDM Responder State Machine	8-21
Figure 8-16. PTM Path Performance Contributors	8-26
Figure 8-17. LDM LMP	8-29
Figure 8-18. ACK Transaction Packet	8-31
Figure 8-19. NRDY Transaction Packet	8-34
Figure 8-20. ERDY Transaction Packet	8-34
Figure 8-21. STATUS Transaction Packet	8-35

Figure 8-22. STALL Transaction Packet	8-36
Figure 8-23. Device Notification Transaction Packet.....	8-36
Figure 8-24. Function Wake Device Notification	8-37
Figure 8-25. Latency Tolerance Message Device Notification	8-38
Figure 8-26. Bus Interval Adjustment Message Device Notification.....	8-39
Figure 8-27. Sublink Speed Device Notification	8-42
Figure 8-28. PING Transaction Packet	8-44
Figure 8-29. PING_RESPONSE Transaction Packet.....	8-45
Figure 8-30. Example Data Packet	8-46
Figure 8-31. Isochronous Timestamp Packet.....	8-49
Figure 8-32. Route String Detail	8-51
Figure 8-33. Sample Concurrent BULK IN Transactions	8-55
Figure 8-34. Sample Concurrent BULK and Isochronous IN Transactions.....	8-56
Figure 8-35. Legend for State Machines	8-62
Figure 8-36. Sample BULK IN Sequence	8-64
Figure 8-37. Sample BULK OUT Sequence	8-65
Figure 8-38. General Stream Protocol State Machine (SPSM)	8-66
Figure 8-39. Device IN Stream Protocol State Machine (DISPSM).....	8-70
Figure 8-40. Device IN Move Data State Machine (DIMDSM)	8-73
Figure 8-41. Device OUT Stream Protocol State Machine (DOSPSM).....	8-76
Figure 8-42. Device OUT Move Data State Machine (DOMDSM)	8-79
Figure 8-43. Host IN Stream Protocol State Machine (HISPSM)	8-82
Figure 8-44. Host IN Move Data State Machine (HIMDSM).....	8-85
Figure 8-45. Host OUT Stream Protocol State Machine (HOSPSM)	8-88
Figure 8-46. Host OUT Move Data State Machine (HOMDSM)	8-91
Figure 8-47. Control Read Sequence	8-95
Figure 8-48. Control Write Sequence.....	8-96
Figure 8-49. Host Sends Interrupt IN Transaction in Each Service Interval	8-99
Figure 8-50. Host Stops Servicing Interrupt IN Transaction Once NRDY is Received ..	8-100
Figure 8-51. Host Resumes IN Transaction after Device Sent ERDY	8-100
Figure 8-52. Endpoint Sends STALL TP	8-100
Figure 8-53. Host Detects Error in Data and Device Resends Data	8-101
Figure 8-54. Host Sends Interrupt OUT Transaction in Each Service Interval	8-102
Figure 8-55. Host Stops Servicing Interrupt OUT Transaction Once NRDY is Received	8-103
Figure 8-56. Host Resumes Sending Interrupt OUT Transaction After Device Sent ERDY	8-103
Figure 8-57. Device Detects Error in Data and Host Resends Data	8-104
Figure 8-58. Endpoint Sends STALL TP	8-104
Figure 8-59. Multiple Active Isochronous Endpoints with Aligned Service Interval Boundaries	8-106
Figure 8-60. Enhanced SuperSpeed Isochronous IN Transaction Format	8-107
Figure 8-61. Enhanced SuperSpeed Isochronous OUT Transaction Format.....	8-107
Figure 8-62. Sample Enhanced SuperSpeed Isochronous IN Transaction.....	8-109
Figure 8-63. Sample Enhanced SuperSpeed Isochronous OUT Transaction	8-110
Figure 8-64. Sample Enhanced SuperSpeed Isochronous IN Transaction.....	8-111

Figure 8-65. Sample Enhanced SuperSpeed Isochronous OUT Transaction	8-112
Figure 8-66. Sample Smart Enhanced SuperSpeed Isochronous IN Transaction	8-114
Figure 8-67. Sample Smart Enhanced SuperSpeed Isochronous OUT Transaction	8-115
Figure 8-68. Sample Pipeline Isochronous IN Transactions	8-118
Figure 9-1. Peripheral State Diagram and Hub State Diagram (Enhanced SuperSpeed Portion Only)	9-2
Figure 9-2. wIndex Format when Specifying an Endpoint	9-15
Figure 9-3. wIndex Format when Specifying an Interface	9-15
Figure 9-4. Information Returned by a Standard GetStatus() Request to a Device	9-24
Figure 9-5. Information Returned by a Standard GetStatus() Request to an Interface	9-25
Figure 9-6. Information Returned by a Standard GetStatus() Request to an Endpoint	9-25
Figure 9-7. Information Returned by a PTM GetStatus() Request to an Endpoint	9-26
Figure 9-8. Example of Feedback Endpoint Relationships	9-54
Figure 10-1. USB Hub Architecture	10-2
Figure 10-2. SuperSpeed Portion of the USB Hub Architecture	10-3
Figure 10-3. SuperSpeedPlus Portion of the Hub Architecture	10-4
Figure 10-4. Simple USB Topology	10-5
Figure 10-5. Route String Example	10-7
Figure 10-6. SuperSpeed Hub Signaling Connectivity	10-8
Figure 10-7. Resume Connectivity	10-10
Figure 10-8. Typical SuperSpeed Hub Header Packet Buffer Architecture	10-11
Figure 10-9. SuperSpeed Hub Data Buffer Traffic (Header Packet Buffer Only Shown for DS Port 1)	10-12
Figure 10-10. Downstream Facing Hub Port State Machine	10-15
Figure 10-11. Downstream Facing Hub Port Power Management State Machine	10-23
Figure 10-12. Upstream Facing Hub Port State Machine	10-28
Figure 10-13. Hub Connect (HCONNECT) State Machine	10-30
Figure 10-14. Upstream Facing Hub Port Power Management State Machine	10-32
Figure 10-15. Example SS Hub Header Packet Buffer Architecture - Downstream Traffic	10-37
Figure 10-16. Example SS Hub Header Packet Buffer Architecture - Upstream Traffic	10-37
Figure 10-17. Logical Representation of Upstream Flowing Buffers	10-39
Figure 10-18. Logical Representation of Downstream Flowing Buffers	10-40
Figure 10-19. Port Transmit State Machine	10-45
Figure 10-20. Upstream Facing Port Rx State Machine	10-47
Figure 10-21. Example Hub Controller Organization	10-55
Figure 10-22. Relationship of Status, Status Change, and Control Information to Device States	10-56
Figure 10-23. Port Status Handling Method	10-57
Figure 10-24. Hub and Port Status Change Bitmap	10-58
Figure 10-25. Example Hub and Port Change Bit Sampling	10-59
Figure 10-26. Peripheral Upstream Device Port State Machine	10-90
Figure 11-1. Compound Self-powered Hub	11-4
Figure 11-2. Low-power Bus-powered Function	11-5
Figure 11-3. High-power Bus-powered Function	11-5