

	DIN IEC 62258-1 (VDE 0884-101)	DIN
	Diese Norm ist zugleich eine VDE-Bestimmung im Sinne von VDE 0022. Sie ist nach Durchführung des vom VDE-Präsidium beschlossenen Genehmigungsverfahrens unter der oben angeführten Nummer in das VDE-Vorschriftenwerk aufgenommen und in der „etz Elektrotechnik + Automation“ bekannt gegeben worden.	VDE
ICS 31.200 Einsprüche bis 2007-11-30 Vorgesehen als Ersatz für DIN EN 62258-1:2006-04 Entwurf Halbleiter-Chip-Erzeugnisse – Teil 1: Anforderungen für Beschaffung und Anwendung (IEC 47/1913/CD:2007) Semiconductor die products – Part 1: Requirements for procurement and use (IEC 47/1913/CD:2007) Produits de matrice de semi-conducteur – Partie 1: Exigences pour l'acquisition et l'utilisation (CEI 47/1913/CD:2007) Anwendungswarnvermerk Dieser Norm-Entwurf wird der Öffentlichkeit zur Prüfung und Stellungnahme vorgelegt. Weil die beabsichtigte Norm von der vorliegenden Fassung abweichen kann, ist die Anwendung dieses Entwurfes besonders zu vereinbaren. Stellungnahmen werden erbeten – vorzugsweise als Datei per E-Mail an dke@vde.com in Form einer Tabelle. Die Vorlage dieser Tabelle kann im Internet unter www.dke.de/stellungnahme abgerufen werden – oder in Papierform an die DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE, Stresemannallee 15, 60596 Frankfurt am Main. Die Empfänger dieses Norm-Entwurfs werden gebeten, mit ihren Kommentaren jegliche relevante Patentrechte, die sie kennen, mitzuteilen und unterstützende Dokumentationen zur Verfügung zu stellen. Gesamtumfang 75 Seiten DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE		

– Entwurf –

E DIN IEC 62258-1 (VDE 0884-101):2007-10

Beginn der Gültigkeit

Diese Norm gilt ab ...

Nationales Vorwort

Das internationale Dokument IEC 47/1913/CD:2007 „Semiconductor die products – Part 1: Requirements for procurement and use“ (CD, en: Committee Draft) ist unverändert in diesen Norm-Entwurf übernommen worden. Dieser Norm-Entwurf enthält eine noch nicht autorisierte deutsche Übersetzung.

Um Zweifelsfälle in der Übersetzung auszuschließen, ist die englische Originalfassung des CD entsprechend der diesbezüglich durch die IEC erteilten Erlaubnis beigefügt. Die Nutzungsbedingungen für den deutschen Text des Norm-Entwurfes gelten gleichermaßen auch für den englischen IEC-Text.

Im Originaldokument IEC 47/1913/CD sind die Nummern für die Begriffe durch einen offensichtlichen Übertragungsfehler nicht eindeutig gefasst. Dies wurde in der deutschen Übersetzung nicht verändert, um bei Stellungnahmen zum Norm-Entwurf den Bezug eindeutig nachvollziehen zu können. In der Stellungnahme an das zuständige IEC/TC 47 wird das Deutsche Komitee darauf aufmerksam machen.

Das internationale Dokument wurde vom TC 47 „Semiconductor devices“ der Internationalen Elektrotechnischen Kommission (IEC) erarbeitet und den nationalen Komitees zur Stellungnahme vorgelegt.

Die IEC und das Europäische Komitee für Elektrotechnische Normung (CENELEC) haben vereinbart, dass ein auf IEC-Ebene erarbeiteter Entwurf für eine Internationale Norm zeitgleich (parallel) bei IEC und CENELEC zur Umfrage (CDV-Stadium) und Abstimmung als FDIS (en: Final Draft International Standard) bzw. Schluss-Entwurf für eine Europäische Norm gestellt wird, um eine Beschleunigung und Straffung der Normungsarbeit zu erreichen. Dokumente, die bei CENELEC als Europäische Norm angenommen und ratifiziert werden, sind unverändert als Deutsche Normen zu übernehmen.

Da der Abstimmungszeitraum für einen FDIS bzw. Schluss-Entwurf prEN nur 2 Monate beträgt, und dann keine sachlichen Stellungnahmen mehr abgegeben werden können, sondern nur noch eine „JA/NEIN“-Entscheidung möglich ist, wobei eine „NEIN“-Entscheidung fundiert begründet werden muss, wird bereits der CD als DIN-Norm-Entwurf veröffentlicht, um die Stellungnahmen aus der Öffentlichkeit frühzeitig berücksichtigen zu können.

Für diesen Norm-Entwurf ist das nationale Arbeitsgremium K 631 „Halbleiterbauelemente“ der DKE Deutsche Kommission Elektrotechnik Elektronik Informationstechnik im DIN und VDE (<http://www.dke.de>) zuständig.

Änderungen

Gegenüber DIN EN 62258-1:2006-04 wurden folgende Änderungen vorgenommen:

- a) Das Dokument soll auf Grund der Festlegungen im Abschnitt 10 in das VDE-Vorschriftenwerk aufgenommen werden,
- b) die Normativen Verweisungen wurden aktualisiert,
- c) zusätzliche Begriffe wurden aufgenommen,
- d) das Dokument wurde vollständig überarbeitet und neu strukturiert.

Nationaler Anhang NA (informativ)

Zusammenhang mit Europäischen und Internationalen Normen

Für den Fall einer undatierten Verweisung im normativen Text (Verweisung auf eine Norm ohne Angabe des Ausgabedatums und ohne Hinweis auf eine Abschnittsnummer, eine Tabelle, ein Bild usw.) bezieht sich die Verweisung auf die jeweils neueste gültige Ausgabe der in Bezug genommenen Norm.

Für den Fall einer datierten Verweisung im normativen Text bezieht sich die Verweisung immer auf die in Bezug genommene Ausgabe der Norm.

Eine Information über den Zusammenhang der zitierten Normen mit den entsprechenden Deutschen Normen ist in Tabelle NA.1 wiedergegeben.

Tabelle NA.1

Europäische Norm	Internationale Norm	Deutsche Norm	Klassifikation im VDE-Vorschriftenwerk
–	IEC 60050	DIN IEC 60050	–
EN 60191-4:1999 + A1:2002 + A2: 2002	IEC 60191-4:1999 + A1:2001 + A2:2002	DIN EN 60191-4:2003	–
EN 61340-5- 1:2001 + Corrigendum 2001	IEC 61340-5-1:1998 + Corrigendum 1999	DIN EN 61340-5-1 (VDE 0300-5-1):2001	VDE 0300-5-1
EN 61340-5-2:2001 + Corrigendum 2001	IEC 61340-5-2:1999	DIN EN 61340-5-2 (VDE 0300-5-2):2002	VDE 0300-5-2
EN 61360-1	IEC 61360-1	DIN EN 61360-1	–
EN 62258-2	IEC 62258-2	DIN EN 62258-2	–
–	IEC 62258-4	–	–
EN 62258-5	IEC 62258-5	DIN EN 62258-5	–
EN 62258-6	IEC 62258-6	DIN EN 62258-6	–
–	IEC 62258-7	–	–
–	IEC 62258-8	–	–
EN ISO 14644-1:1999	ISO 14644-1:1999	DIN EN ISO 14644-1:1999	–

Nationaler Anhang NB (informativ)

Literaturhinweise

DIN IEC 60050, *Internationales Elektrotechnisches Wörterbuch*.

DIN EN 60191-4:2003, *Mechanische Normung von Halbleiterbauelementen – Teil 4: Codierungssystem für Gehäuse und Eingruppierung der Gehäuse nach der Gehäuseform für Halbleiterbauelemente* (IEC 60191-4:1999 + A1:2001 + A2:2002); Deutsche Fassung EN 60191- 4:1999 + A1:2002 + A2:2002.

DIN EN 61340-5-1 (VDE 0300-5-1):2001, *Elektrostatik – Teil 5-1: Schutz von elektronischen Bauelementen gegen elektrostatische Phänomene; Allgemeine Anforderungen* (IEC 61340-5-1:1998 + Corrigendum 1999); Deutsche Fassung EN 61340-5- 1:2001 + Corrigendum 2001.

DIN EN 61340-5-2 (VDE 0300-5-2):2002, *Elektrostatik – Teil 5-2: Schutz von elektronischen Bauelementen gegen elektrostatische Phänomene; Benutzerhandbuch* (IEC 61340-5-2:1999); Deutsche Fassung EN 61340-5-2:2001 + Corrigendum 2001.

DIN EN 61360-1, *Genormte Datenelementtypen mit Klassifikationsschema für elektrische Bauteile – Teil 1: Definitionen – Regeln und Methoden*.

DIN EN 62258-2, *Halbleiter-Chip-Erzeugnisse – Teil 2: Datenaustausch-Formate*.

DIN EN 62258-5, *Halbleiter-Chip-Erzeugnisse – Teil 5: Anforderungen für Angaben hinsichtlich der elektrischen Simulation*.

DIN EN 62258-6, *Halbleiter-Chip-Erzeugnisse – Teil 6: Anforderungen für Angaben hinsichtlich der thermischen Simulation*.

DIN EN ISO 14644-1:1999, *Reinräume und zugehörige Reinraumbereiche – Teil 1: Klassifizierung der Luftreinheit* (ISO 14644-1:1999); Deutsche Fassung EN ISO 14644-1:1999.

Halbleiter-Chip-Erzeugnisse – Teil 1: Anforderungen für Beschaffung und Anwendung

Einleitung

Diesem Dokument liegt die Arbeit des vierten ESPRIT-Rahmen-Projektes „GOOD-DIE“ zugrunde, das zur Veröffentlichung der Reihe Europäischer Spezifikationen ES 59008 führte. An der Erarbeitung dieses Dokumentes waren das europäische IST-ENCASIT-Projekt sowie die Organisationen JEITA, JEDEC und ZVEI beteiligt.

Diese Internationale Norm wird nach den derzeitigen Vorstellungen wie folgt strukturiert sein:

- Part 1: Requirements for procurement and use
- Part 2: Exchange data formats
- Part 3: Recommendations for good practice in handling, packing and storage (Technical Report)
- Part 4: Questionnaire for die users and suppliers (Technical Report) (in preparation)
- Part 5: Requirements for information concerning electrical simulation
- Part 6: Requirements for information concerning thermal simulation
- Part 7: XML schema for data exchange (Technical Report) (in preparation)
- Part 8: EXPRESS model schema for data exchange (Technical report) (in preparation)

Weitere Teile können, falls erforderlich, hinzugefügt werden.

– Entwurf –

E DIN IEC 62258-1 (VDE 0884-101):2007-10

Inhalt

	Seite
Einleitung	5
1 Anwendungsbereich	8
2 Normative Verweisungen	8
3 Begriffe	9
3.1 Grundbegriffe	9
3.11 Allgemeine Begriffe	10
3.27 Begriffe für die Herstellung von Halbleiterbauelementen und für die Anschluss- und Verbindungstechnologien	12
4 Allgemeine Anforderungen	13
5 Datenaustausch	13
6 Anforderungen an alle Bauelemente	14
6.1 Datensatz	14
6.2 Bezeichnung und Bezugsquelle	14
6.3 Funktion	14
6.4 Physikalische Kenngrößen	15
6.5 Kennwerte und begrenzende Bedingungen	15
6.6 Verbindungen	15
6.7 Dokumentation	16
6.8 Form der Anlieferung	16
6.9 Simulation und Modellierung	16
7 Anforderungen an Nacktchips und Wafer mit oder ohne Anschluss- und Verbindungsstrukturen	16
7.1 Bezeichnung	16
7.2 Werkstoffe	17
7.3 Geometrische Kenngrößen	17
7.4 Waferdaten	19
8 Bauelemente in minimalen Gehäusen	19
8.1 Anzahl der Anschlüsse	19
8.2 Lage der Anschlüsse	19
8.3 Form und Größe der Anschlüsse	20
8.4 Bauelementgröße	20
8.5 Aufsetzhöhe	20
8.6 Gehäuse- und Verschlusswerkstoff	20
8.7 Feuchteempfindlichkeit	20
8.8 Code der (Gehäuse-)Bauform	20
8.9 Gehäusezeichnung	20
9 Qualität, Prüfung und Zuverlässigkeit	20
9.1 Ausgangs-Qualitätslage	20
9.2 Festlegungen zu elektrischen Kenngrößen	21

	Seite
9.3 Einhaltung von Normen.....	21
9.4 Zusätzliches Bauelemente-Screening	21
9.5 Erzeugnisstatus.....	21
9.6 Prüfbarkeitsmerkmale	21
9.7 Zusätzliche Prüfanforderungen	21
9.8 Zuverlässigkeit	21
10 Handhabung und Transport	22
10.1 Allgemeines.....	22
10.2 Besondere Anforderungen für Nacktchips und Wafer	23
10.3 Besondere Anforderungen für Wafer	23
10.4 Besondere Anforderungen	23
11 Lagerung	24
11.1 Lagerungsdauer und -bedingungen	24
11.2 Langzeitlagerung.....	24
11.3 Einschränkungen zur Lagerung	24
12 Montage	24
12.1 Befestigungsverfahren und -werkstoffe	24
12.2 Bondverfahren und -werkstoffe	25
12.3 Beschränkungen zur Montage	25
12.4 Prozessbeschränkungen.....	25
Anhang A (informativ) Literaturhinweise	26
Anhang B (informativ) Terminologie.....	27
B.1 Begriffe zur Montage.....	27
B.2 Begriffe zur Prüfung	27
B.3 Begriffe zu Halbleiterbauelementen	28
B.4 Montagetechnologie	30
B.5 Begriffe zu Entwurf und Simulation	31
B.6 Begriffe zu Verpackung und Lieferung.....	33
B.7 Begriffe zur Handhabung	34
Anhang C (informativ) Akronyme	35
C.1 Organisationen und Normen	35
C.2 Allgemeine Begriffe	35
C.3 Begriffe zur Herstellung und Prüfung	36
C.4 Halbleiter	37
C.5 Entwurf, Simulation und Datenaustausch	37
C.6 Elektronische Schaltungstechnik	38
C.7 Packaging (Gehäusemontage)	39

1 Anwendungsbereich

Erarbeitet wurde dieses Dokument zur Unterstützung der Fertigung, Lieferung und Anwendung von Halbleiter-Chip-Erzeugnissen, welche einschließen:

- Wafer,
- vereinzelte Nacktchips (Bare-Die),
- Chips und Wafer mit zusätzlichen Anschluss- und Verbindungsstrukturen,
- Chips und Wafer in minimalem bzw. teilweisem Gehäuse.

In diesem Dokument sind die Mindestforderungen zu den Angaben festgelegt, welche erforderlich sind, um solche Chip-Erzeugnisse zu spezifizieren, und es ist zur Unterstützung bei der Entwicklung und der Beschaffung von Baugruppen vorgesehen, in welchen Halbleiter-Chip-Erzeugnisse eingesetzt werden. Die Anforderungen zu den Angaben umfassen:

- Erzeugnisbezeichnung,
- Erzeugniskenngrößen und -eigenschaften,
- mechanische Angaben zum Chip,
- Angaben zu Prüfungen, Qualität, Montage und Zuverlässigkeit,
- Angaben zu Handhabung, Transport und Lagerung.

In diesem Dokument sind die besonderen Anforderungen zu den Angaben festgelegt, welche erforderlich sind, um die geometrischen Eigenschaften der Chips sowie deren physikalische Eigenschaften und die Art und Weise der Aufbau- und Verbindungstechnik zu beschreiben, wenn diese bei der Entwicklung und Fertigung von Erzeugnissen erforderlich sind. Ein Wörterverzeichnis sowie eine Liste allgemeiner Akronyme sind in den Anhängen zu dieser Norm angeführt.

2 Normative Verweisungen

Die folgenden zitierten Dokumente sind für die Anwendung dieses Dokuments erforderlich. Bei datierten Verweisungen gilt nur die in Bezug genommene Ausgabe. Bei undatierten Verweisungen gilt die letzte Ausgabe des in Bezug genommenen Dokuments (einschließlich aller Änderungen).

IEC 60050, *International Electrotechnical Vocabulary*

IEC 60191-4:1999, *Mechanical standardization of semiconductor devices – Part 4: Coding systems and classification into forms of package outlines for semiconductor device packages, einschließlich Amendment 1 (2001) und Amendment 2 (2002)*

IEC 61350-5-1:1998, *Electrostatics – Part 5-1: Protection of electronic devices from electrostatic phenomena – General requirements*

IEC 61350-5-2:1998, *Electrostatics – Part 5-2: Protection of electronic devices from electrostatic phenomena – User guide*

IEC 61360-1, *Standard data element types with associated classification scheme for electric components – Part 1: Definitions – Principles and methods*

IEC 62258-2, *Semiconductor die products – Part 2: Exchange data formats*

IEC 62258-4, *Semiconductor die products – Part 4: Questionnaire for die users and suppliers (Technical Report)*

IEC 62258-5, *Semiconductor die products – Part 5: Requirements for information concerning electrical simulation*

IEC 62258-6, *Semiconductor die products – Part 6: Requirements for information concerning thermal simulation*

IEC 62258-7, *Semiconductor die products – Part 7: XML schema for data exchange (Technical Report)*

IEC 62258-8, *Semiconductor die products – Part 8: EXPRESS model schema for data exchange (Technical Report)*

ISO 14644-1:1999, *Cleanrooms and associated controlled environments – Part 1: Classification of air cleanliness*

3 Begriffe

Für die Anwendung dieser internationalen Norm gelten die folgenden Begriffe. Alle hier festgelegten Begriffe gelten zusätzlich zu den Begriffen, welche in IEC 60050 „International Electrotechnical Vocabulary“ festgelegt sind. Weitere Begriffe und Akronyme sind zur Information in den Anhängen B und C angegeben.

3.1 Grundbegriffe

3.2 3.1.1

Chip, Chips

Die (Singular und Plural)

vereinzelt (vereinzelte) Teil (Teile) aus einem Halbleiter-Wafer, welches (welche) ein Einzel-Halbleiterbauelement oder eine ganze integrierte Schaltung bildet (bilden)

3.3 3.1.2

Wafer

eine Scheibe oder eine flache Platte, welche aus halbleitendem Material oder aus einem auf ein Substrat auf-gebrachten halbleitenden Material besteht und in der Bauelemente oder Schaltungen gleichzeitig gefertigt und anschließend in Chips vereinzelt werden können

3.4 3.1.3

Einzelchip

einzelnes voneinander unterscheidbares Chip, welches aus einem Wafer herausgetrennt (vereinzelt) wurde

3.5 3.1.3

Wafertrennen

(Chip-)Vereinzelung

Begriff zur Beschreibung des Trennens von einem Wafer in einzelne Chipbauelemente einschließlich Sägen, Ritzen und Vereinzeln

3.6 3.1.5

Nacktchip

Bare-Die

Einzel-Halbleiterbauelement oder integrierte Schaltung ohne Gehäuse mit (Anschluss-)Pads auf der Oberfläche, welche für die elektrische Verbindung mit dem Substrat oder dem Gehäuse geeignet sind

3.7 3.1.6

Nacktchip mit zusätzlichen Anschluss- und Verbindungsstrukturen

Chip ohne Gehäuse mit zusätzlichen Bumps (Kontakthügeln, Lothöcker), Trägerstreifen (Lead-Frames) oder anderen Bauelementeanschlüssen, um den Chip elektrisch zu verbinden

ANMERKUNG Das können üblicherweise Chips sein, welche neben den metallisierten (Anschluss-)Pads zusätzliche Lot- oder andere metallische Bumps auf dem Chip in der Art von peripheren Bumps oder Arrays haben (auch als Flip-Chip bekannt), oder Chips, welche mit den metallisierten Pads auf dem Chip verbundene Feinstleiter haben und als TAB (en: tape-automated bonding) bekannt sind.

3.8 3.1.7

Chip in minimalem Gehäuse

MPD (en: minimally packaged die)

Chip, welcher zum Schutz und der Verbesserung der Handhabung im geringen Maße ein äußeres Gehäuse-medium sowie Anschluss- und Verbindungsstrukturen hat

– Entwurf –

E DIN IEC 62258-1 (VDE 0884-101):2007-10

ANMERKUNG Diese Definition schließt solche Gehäusetechnologien (Packaging) wie Chip-Scale-Package (CSP) und Wafer-Level-Packaging (WLP) ein, bei welchen die Grundfläche des Gehäuses nicht signifikant größer als die Fläche des Nacktchips ist.

3.9 3.1.8

Chipbauelement

Chip-Device

Nacktchip mit oder ohne Anschluss- und Verbindungsstrukturen oder ein Chip in einem minimalen Gehäuse

3.10 3.1.9

Datenpaket

Data-Package

Datencontainer

Zusammenstellung von Daten zu einem Chipbauelement, das in Übereinstimmung mit dieser Norm hergestellt wurde

3.11 Allgemeine Begriffe

3.12 3.2.1

Chip

allgemeine Benennung für Die

3.13 3.2.2

Chip-Scale-Package

Chip-Size-Package

CSP

generischer Begriff für Gehäusetechnologien, mit welchen ein Bauelement in einem Gehäuse montiert wird, welches nur geringfügig größer ist als der innen liegende Chip

3.14 3.2.3

Wafer-Level-Package

WLP

generischer Begriff für Gehäusetechnologien, mit denen die Gehäusemontage und irgendwelche Verbindungsstrukturen auf dem Wafer zusätzlich ausgeführt werden, bevor der Wafer in einzelne Chips getrennt wird

3.15 3.2.4

Einzel-Halbleiterbauelement

einzelnes Halbleiterbauelement mit zwei, drei oder vier Anschlüssen

ANMERKUNG Einzel-Halbleiterbauelemente sind Bauelemente wie Einzeldioden, -transistoren und -thyristoren.

3.16 3.2.5

Hybrid(-schaltung)

Modul oder in einem Gehäuse verkappte Baugruppe mit Halbleiterchips sowie passiven Bauelementen, welche leiterplattenmäßig oder anderweitig verbunden sind

ANMERKUNG Siehe auch Multi-Chip-Modul und Multi-Chip-Package.

3.17 3.2.6

Known-Good-Die

KGD

Qualifikation eines Halbleiterchips, in deren Ergebnis angegeben wird, dass der Chip hinsichtlich einer festgelegten oder geforderten Qualitätslage oder „Anspruchsklasse“ geprüft wurde

ANMERKUNG Eine allgemein akzeptierte Definition für ein KGD ist ein Chip, welcher so geprüft und/oder Screens unterzogen wurde, dass die entsprechenden Qualitätslagen in der gleichen Bewertungsstufe sind wie die von äquivalenten Bauelementen in Gehäusen.

3.18 3.2.7

Gehäuse

Package

gesamter konstruktiver Aufbau, welcher ein oder mehrere Bauelemente der Elektronik während der Betriebslebensdauer vor mechanischer, umgebungsspezifischer oder elektrischer Beschädigung schützt und der Anschluss- und Verbindungselemente hat

3.19 3.2.8

Gehäusemontage

Packaging

Häusen

Verkappen

Montageprozess von einem oder mehreren Bauelementen der Elektronik in einem Gehäuse

ANMERKUNG Die Verwendung (im Englischen) von „packaging“ als ein Partizip (z. B. „when packaging ICs into dual-in-line packages ...“) wird abgelehnt.

3.20 3.2.9

Verpackung

Verpackungsmaterial

3.21 Material, welches verwendet wird, um Bauelemente der Elektronik vor mechanischer, umgebungsspezifischer und elektrischer Beschädigung während des Transports oder der Lagerung zu schützen, und welches vor dem Einbau des Bauelementes in seine endgültige Anwendung beiseite getan wird

3.22 3.2.10

Multi-Chip-Modul

MCM

Modul, welches zwei bzw. mehr Chips und/oder Chips in minimalen Gehäusen enthält

ANMERKUNG Siehe auch Hybridschaltung und Multi-Chip-Package.

3.23 3.2.11

Multi-Chip-Package

MCP

Multi-Chip-Gehäuse

Gehäuse, welches zwei bzw. mehr Chips und/oder Chips in minimalen Gehäusen enthält

ANMERKUNG Siehe auch Hybridschaltung und Multi-Chip-Modul.

3.24 3.2.12

System-in-Package

SiP

System-Bauelement

Funktionalsystem oder Subsystem in einem einzelnen Gehäuse, das zwei oder mehr Chipbauelemente enthält, welche eigene separate Systemfunktionen leisten

3.25 3.2.12

Multi-Device-Baugruppe

MDS (en: multi-device sub-assembly)

Baugruppe, welche aus elektronischen Mehrfach-Bauelementen besteht, die mindestens eine integrierte Schaltung haben

ANMERKUNG Dies ist ein generischer Begriff und schließt unter anderem Hybridschaltung, MCM, MCP und SiP ein.

3.26 3.2.14

Pad

Anschlussfläche

elektrisch leitender Teil auf einem Chipbauelement, welcher einen Bauelementeanschluss bildet, mit dem elektrische Verbindungen nach außen realisiert werden

E DIN IEC 62258-1 (VDE 0884-101):2007-10

ANMERKUNG Bei Nackchips ohne äußere Verbindungen wirkt das Pad selber als Bauelementanschluss. Bei Chips mit Bumps wird der Bauelementanschluss in Form von leitendem Werkstoff zusätzlich auf dem Pad angebracht, während für ein Chip mit angebrachtem Trägerstreifen der Bauelementanschluss in Form eines (Draht-)Leiters mit dem Pad verbunden wird und somit über den Chip hinausgeht.

3.27 Begriffe für die Herstellung von Halbleiterbauelementen und für die Anschluss- und Verbindungstechnologien

3.28 3.3.1

Maske

- a) optisch wirkende Abdeckung, welche beim fotolithografischen Ätzen während der Fertigung von Halbleiterbauelementen verwendet wird
- b) allgemeiner Begriff, der sich auf die wichtigsten einzelnen Fertigungsschritte der Strukturierung bezieht, welche während der Fertigung angewendet werden

3.29 3.3.2

Schicht

Layer

nicht exakter topologischer Begriff zum Beschreiben des Herstellungsprozesses von Halbleiterbauelementen

ANMERKUNG Eine Schicht besteht aus einem bestimmten Werkstoff und ein Halbleiterbauelement besteht aus vielen Schichten.

3.30 3.3.3

Passivierung

Oberflächen- oder Endbearbeitung und Beschichtung auf einem Chip, welche üblicherweise aus Halbleitertoxid oder -nitrid besteht und welche die aktiven Bereiche des Chips vor weiteren äußeren chemischen und mechanischen Verunreinigungen schützt und dicht verschließt

ANMERKUNG Bond-Pads erfordern ein Öffnen dieser Passivierung, um eine elektrische Kontaktierung zu ermöglichen.

3.31 3.3.4

Ritzgraben

Ritzrahmen

Trennlinie

Bereich um den Chip, welcher auf dem Wafer vorgesehen ist, um den Chip aus dem Wafer mittels Ritzens und Brechens bzw. Sägens herauszutrennen

ANMERKUNG Dieser Bestandteil darf mit vielen anderen Benennungen belegt werden wie z. B. Scribe-Street, Sägelinie, Brechlinie usw.

3.32 3.3.5

(Chip-)Vereinzelung

(Chip-)Trennen

Chipdicing

Verfahren, bei dem einzelne Chips aus dem Wafer herausgetrennt werden

ANMERKUNG Chipvereinzelung wird üblicherweise mittels einer Präzisionstrennscheibe durchgeführt.

3.33 3.3.6

Drahtbonden

Verfahren zum Befestigen von Verbindungsdrähten oder -flachdrähten auf einem Chip

3.34 3.3.7

Bond-Pad

metallisierte Flächen auf dem Chip, welche für zeitlich begrenzte oder dauerhafte elektrische Verbindungen (Bonds) verwendet werden

3.35 3.3.8

Bumps

Kontakthügel

Lothöcker

erhöhte metallisierte Bereiche auf dem Chip, welche für zeitlich begrenzte oder dauerhafte elektrische Verbindungen verwendet werden

3.36 3.3.9

Trägerstreifen

Lead-Frame

Verdrahtungsträger

strukturierter Träger, auf dem ein Chip montiert wird und der auch die Anschluss- und Verbindungsstruktur beinhaltet, mit welcher der Chip mittels Bonddrähten verbunden wird

3.37 3.3.10

Chip-Bonden

Die-Attach

Chipmontage

Verfahren und Werkstoffe, welche verwendet werden, um den Chip auf einem Substrat zu befestigen

3.38 3.3.11

Flip-Chip

Halbleiterchip, welcher elektrisch und/oder mechanisch so mit einer Anschluss- und Verbindungsstruktur verbunden ist, dass der aktive Chipbereich zur Anschlussstruktur zeigt

3.39 3.3.12

Interposer

Zwischenschicht

Werkstoff, welcher zwischen zwei Oberflächen gebracht wird und eine elektrische Isolierung, eine mechanische Verstärkung und/oder eine kontrollierte mechanische Trennung zwischen den beiden Flächen ergibt

ANMERKUNG Ein Interposer darf als Mittel zur Redistribution elektrischer Anschlüsse verwendet werden und/oder ermöglicht unterschiedliche Wärmeausdehnungen zwischen benachbarten Flächen.

3.40 3.3.13

Redistribution

Verfahren zum Verlagern von Anschlüssen auf dem Chip zu vorteilhafteren Stellen durch zusätzliche Verdrahtungsschichten oder durch Anwendung eines Interposers

4 Allgemeine Anforderungen

Lieferanten von Chipbauelementen müssen Angaben in einem Datencontainer zur Verfügung stellen, die für Anwender der Bauelemente auf allen Stufen in der Entwicklung, bei der Beschaffung, der Herstellung und der Prüfung von Produkten, die diese Bauelemente enthalten, erforderlich und ausreichend sind. Nachfolgend und in anderen Teilen der vorliegenden Norm sind diese Anforderungen im Einzelnen aufgeführt.

Obwohl zu erwarten ist, dass ein Großteil der Informationen, welche entsprechend der vorliegenden Internationalen Norm anzugeben sind, aus solchen Quellen wie Hersteller-Datenblättern öffentlich zugänglich und verfügbar sein werden, gibt es in dieser Festlegung keine ausdrückliche Verpflichtung für einen Lieferanten, diese Informationen zu veröffentlichen. Alle Informationen, die ein Lieferant eigentums- oder handelsrechtlich als sensibel betrachtet, dürfen im Rahmen einer Vertraulichkeitsvereinbarung erfolgen.

Weitere Einzelheiten zu Anforderungen in den Abschnitten 6 bis 12.

5 Datenaustausch

Falls Daten für den Austausch auf elektronischer Basis vorgesehen sind, sollten sie möglichst nach den Festlegungen entsprechend IEC 62258-2, -7 und -8 formatiert werden. Der Fragebogen in Teil 4 von

E DIN IEC 62258-1 (VDE 0884-101):2007-10

IEC C62258 und das entsprechende Spreadsheet sind als Hilfsmittel gedacht, die Übereinstimmung mit den Anforderungen dieses Teils der Norm mit der Möglichkeit der Übertragung des Spreadsheet-Inhaltes in eines der Austausch-Formate zu überprüfen.

6 Anforderungen an alle Bauelemente

6.1 Datensatz

Informationen zum Datensatz selbst einschließlich der Informationsquelle, seiner Version und der dazugehörigen Daten müssen angegeben werden.

6.1.1 Informationsquelle

Die Adresse der Organisation oder Einzelperson, welche für die Erstellung des Datensatzes verantwortlich ist, muss angegeben werden.

6.1.2 Version (Ausgabe) des Datensatzes

Die Version (Ausgabe) und/oder das Erstellungsdatum des Datensatzes müssen angegeben werden.

6.1.3 Datenaustauschformate

Falls die Daten in einer geeigneten Form für den Datenaustausch zur Verfügung gestellt werden und dabei ein festgelegtes Format verwendet wird, muss die Bezeichnung und Version des Formats festgelegt werden. Falls die Daten mit einer Paketiersoftware erzeugt werden, sollte zusätzlich die Bezeichnung und Version der Software angegeben werden.

ANMERKUNG Zur weiteren Information über geeignete festgelegte Formate siehe die Teile 2, 7 und 8 dieser Norm.

6.2 Bezeichnung und Bezugsquelle

Die Bezeichnung und Bezugsquelle der Chipbauelemente müssen mit ausreichenden Informationen für den Kunden angegeben werden, um eine angemessene Kommunikation mit dem Lieferanten zu ermöglichen.

6.2.1 Bauartnummer (Bauartcode)

Die vom Hersteller und/oder Lieferanten vergebene Bauartnummer oder die Referenzbezeichnung zur Kennzeichnung des Chipbauelements im Lieferzustand an den Kunden muss angegeben werden. Die Bauartnummer eines Bauelementes, bei dem der gleiche Chip in einem anderen entsprechenden Gehäuse verwendet wird, sollte zusätzlich angegeben werden.

6.2.2 Hersteller

Die Adresse des Unternehmens, welches für die Chip- bzw. Waferherstellung verantwortlich ist, muss angegeben werden.

6.2.3 Lieferant

Wenn der Hersteller nicht zugleich auch der Lieferant ist, muss auch die Adresse des Lieferanten angegeben werden.

6.3 Funktion

Es muss eine Beschreibung der elektrischen Funktion und der Varianten des Betriebsverhaltens aller Chipbauelemente angegeben werden.

6.4 Physikalische Kenngrößen

6.4.1 Halbleitermaterial

Es sollte die Art des zur Herstellung des Chipbauelementes verwendeten aktiven Halbleitermaterials angegeben werden.

6.4.2 Basistechnologie

Die Herstellungstechnologie des Chipbauelementes wie z. B. CMOS, BiCMOS, bipolar usw. muss angegeben werden.

6.5 Kennwerte und begrenzende Bedingungen

6.5.1 Verlustleistung

Es ist entweder die Verlustleistung innerhalb des Chips oder der Betriebsversorgungsstrom bei Nennbetriebsspannung unter den festgelegten bestimmungsgemäßen Betriebsbedingungen anzugeben.

ANMERKUNG Falls Werte sowohl für die übliche als auch die größte Verlustleistung vorliegen, sollten beide angegeben werden.

6.5.2 Betriebstemperatur

Für den Chip muss der Betriebstemperaturbereich angegeben werden, in dem das Bauelement nach seiner veröffentlichten Spezifikationen arbeiten wird.

6.6 Verbindungen

Die elektrische Funktionsbeschreibung aller Anschlüsse muss so angegeben werden, dass die Beziehung zwischen der elektrischen Funktion und der geometrischen Lage aller Anschlüsse vollständig festgelegt ist.

6.6.1 Anzahl der Anschlüsse

Die Anzahl der einzelnen Anschlüsse, Pads oder anderer Verbindungen auf dem Chipbauelement müssen angegeben werden.

6.6.2 Angaben zu den Anschlüssen

Für jeden Anschlusspad auf dem Chip müssen folgende Angaben gegeben werden:

- a) **Lage** (Position) – Koordinaten des geometrischen Mittelpunktes des Anschlusses in Bezug auf den geometrischen Referenzpunkt;
- b) **Form** – Form und zugehörige Abmessungen des Anschlusses in dieser Lage;
- c) **Ausrichtung** – Ausrichtung des Anschlusses in Bezug auf eine Referenzrichtung auf dem Chipbauelement;
- d) **Signalbezeichnung** – Bezeichnung der Signal- oder Versorgungsverbindung, welche mit diesem Anschluss realisiert wird.
- e) **Signalart** – die Art jeder Signal-, Versorgungs- oder anderen Verbindung (Eingang, Ausgang, Versorgungsspannung, keine Belegung (no connect) usw.)

6.6.3 Austauschbarkeit

Falls anwendbar, sollten Informationen angegeben werden, welche notwendig sind, um eine logische und/oder physikalische Austauschbarkeit von Anschlüssen und Funktionaleinheiten eines Chipbauelementes festzulegen.

6.7 Dokumentation

Datenblätter mit allen hier festgelegten Angaben müssen zur Verfügung gestellt werden. Sie dürfen in gedruckter oder in elektronischer Form geliefert werden.

6.8 Form der Anlieferung

6.8.1 Physische Form

Es muss die körperliche Form angegeben werden, in welcher die Anlieferung der Chips oder Wafer erfolgt, ob als vereinzelte Chips, getrennte oder nicht getrennte Wafer und mit bzw. ohne Anschlussstrukturen oder im minimalen Gehäuse.

6.8.2 Verpackung

Informationen zur Verpackung, welche zum Schutz des Chips bzw. Wafers bei der Handhabung, dem Transport und der Lagerung verwendet wird, müssen angegeben werden.

6.9 Simulation und Modellierung

Angaben zu Simulationsmodellen und den entsprechenden verfügbaren Simulatoren für die Simulation und Modellierung des elektrischen und thermischen Verhaltens sollten gegeben werden.

6.9.1 Elektrische Simulation und Modellierung

Es sollten Informationen zur Verfügbarkeit jeglicher Modelle sowohl zur Simulation als auch zur Prüfung des Chipbauelementes angegeben werden und zusammen mit den Angaben über die Simulatoren (Simulator-Packages) für die Modelle vorgesehen sind.

ANMERKUNG Weitergehende Festlegungen im Teil 5 dieser Norm.

6.9.2 Thermische Daten und Modellierung

Für die thermische Modellierung müssen die benötigten thermischen Eigenschaften angegeben werden.

ANMERKUNG Weitergehende Festlegungen im Teil 6 dieser Norm.

7 Anforderungen an Nacktchips und Wafer mit oder ohne Anschluss- und Verbindungsstrukturen

Dieser Abschnitt enthält die Anforderungen zusätzlich zu denen im Abschnitt 6 für Nacktchips und Wafer mit und ohne Anschluss- und Verbindungsstrukturen.

7.1 Bezeichnung

Alle Chipbauelemente müssen eine Bezeichnung haben, die aus einem oder mehreren Bauartbezeichnern besteht, mit der man jedes Chipbauelement von allen anderen Chipbauelementen und von äquivalenten Bauelementen in Gehäusen unterscheiden kann. Diese Bezeichnungen müssen die Fähigkeit einer Unterscheidung zwischen verschiedenen Versionen der Chips mit gleichen oder ungleichen Funktionen sicherstellen.

7.1.1 Chipbezeichnung

Die vom Hersteller zur Identifizierung des Chips vergebene Bezeichnung muss angegeben werden.

7.1.2 Chipversion

Der Revision- oder Stepcode, welcher in der Fertigung zur Identifizierung der Maskenversion oder -revision verwendet wird, muss angegeben werden

7.2 Werkstoffe

7.2.1 Substratmaterial

Falls bei Chipherstellung ein anderes Material als Substrat, um das aktive Halbleitermaterial mechanisch zu tragen, verwendet wird, dann sollte die Art des Substratmaterials angegeben werden.

7.2.2 Substratverbindung

Es sind sämtliche Anforderungen an die Verbindung zum Substrat des Chips anzugeben, um sicherzustellen, dass das Substratmaterial mit der richtigen Spannung (Vorspannung) verbunden wird, und es muss eindeutig angegeben werden, ob eine Substratverbindung erforderlich, wahlfrei oder verboten ist.

7.2.3 Rückseitenbearbeitung (Backside-Finish)

Für einen Chip, der zum Drahtbonden vorgesehen ist, müssen alle Einzelheiten für die Oberflächenbearbeitung und Beschichtung angegeben werden, die für die Chipoberfläche anzuwenden sind, die auf der Montagefläche befestigt wird (Chip-Bonding).

7.2.4 Passivierungsmaterial

Das Material, welches für die letzte Passivierungsschicht auf der Oberfläche des Chips zum Schutz und zur Isolation verwendet wird, sollte angegeben werden.

7.2.5 Metallisierung

Das Material sollte angegeben werden, welches für die Metallisierung auf dem Chip über dem Teil der Oberfläche verwendet wird, der die Bondpads beinhaltet.

7.2.6 Material für Anschlüsse

Für Chips mit Bumps und Chips mit angefügten Verbindungselementen muss der Werkstoff für die Anschlussverbindungen angegeben werden und zwar einschließlich jeglicher Oberflächenbehandlung (Finishing).

7.2.7 Struktur der Anschlüsse

Für Chips mit Bumps oder angefügten Verbindungselementen sollten Informationen zur Struktur der Anschlussverbindungen einschließlich irgendwelcher Redistributionen angegeben werden. Diese Angaben sollten bei Chips mit Bumps eine Beschreibung des Montageverfahrens der Bumps und Einzelheiten zu Werkstoffen von irgendwelchen Under-Bumps einschließen.

7.3 Geometrische Kenngrößen

Alle physikalischen Abmessungen müssen angegeben werden, welche sowohl für das Layout als auch die Montage eines Produktes erforderlich sind, das Chipbauelemente enthält. Dazu gehören die Chipabmessungen sowie Größe, Form und Lage aller Bauelementeanschlüsse.

7.3.1 Maßeinheiten

Die Maßeinheiten müssen festgelegt werden, in der die Abmessungen der Chips und Anschlusspads angegeben werden. Für den Datenaustausch nach IEC 61360 müssen alle Abmessungen in Meter angegeben werden.

7.3.2 Ansicht

Es muss angegeben werden, ob die Ansicht des Chips von oben (aktive Seite nach oben) oder von unten (aktive Seite nach unten) erfolgt. Die bevorzugte Ansicht ist von oben.

7.3.3 Chipgröße

Die größte Länge und die größte Breite des Chips müssen angegeben werden:

- a) Bei Chips ohne Gehäuse sind dies die Größtmaße nach dem Trennen;

ANMERKUNG Falls diese nicht verfügbar sind, müssen die Step-and-Repeat-Maße angegeben werden.

- b) bei Wafern sind dies die Step-and-Repeat-Maße.

7.3.4 Dicke des Chips

Die Dicke des endbearbeiteten Chips muss angegeben werden.

7.3.5 Grenzabweichungen der Maße

Die Grenzabweichungen für die Chipgröße, die Chipdicke sowie für die Maße und die Position der Anschlusspads sollten angegeben werden.

7.3.6 Geometrischer Referenzpunkt

Die Koordinaten einer Referenzposition auf dem Chip in Bezug auf den geometrischen Mittelpunkt der Fläche müssen angegeben werden. Diese bilden den Ursprung des Koordinatensystems, auf den die Positionen der Chipmerkmale wie die Lage der Anschlusspads und Justiermarken (Fiducials) bezogen werden.

7.3.7 Form und Größe der Anschlüsse

Für Chips mit Verbindungselementen wie Bumps, Balls oder ähnlichen Formen muss die Höhe der Anschlüsse senkrecht zur Chipoberfläche angegeben werden. Zusätzlich sollten die Grenzabweichungen zur Anschlusshöhe sowie der Form und den Abmessungen der Anschlüsse parallel zur Chipoberfläche angegeben werden. Es sollten außerdem, falls anwendbar, eine Zeichnung oder ein Diagramm der Anschlüsse mitgeliefert werden und zwar als ein Dokument oder in elektronischer Form im geeigneten Grafikformat.

7.3.8 Chip-Justiermarken (Chip-Fiducials)

Es sollten Angaben über Markierungen auf dem Chip gegeben werden, die zur Unterscheidung von anderen Chips und zur Ausrichtung bei der Montage verwendet werden. Diese Angaben sollten Bilder der Justiermarken zusammen mit der Größe und der Lageposition einer jeden Marke einschließen und als ein Dokument oder in elektronischer Form im geeigneten Grafikformat mitgeliefert werden.

7.3.9 Chip-Abbildung

Vom Chip sollte eine Zeichnung oder eine Fotografie, welche die relative Lage der Anschlusspads, der Bumps oder des Trägerstreifens zeigen, mitgeliefert werden und zwar als ein Dokument oder in elektronischer Form im geeigneten Grafikformat.

7.4 Waferdaten

Falls die Chipbauelemente in der Form des getrennten bzw. nicht getrennten Wafers geliefert werden, müssen folgende Angaben, sofern erforderlich, gemacht werden.

7.4.1 Wafergröße

Falls die Chips im Wafer geliefert werden, müssen vom Wafer Durchmesser und Dicke angegeben werden und die Grenzwerte der Waferdicke sollten ebenfalls angegeben werden.

7.4.2 Wafer-Index/Kennzeichnung

Form und Orientierung irgendeines Index sollten angegeben werden, falls die Chips im Wafer geliefert werden.

7.4.3 Chipanzahl und Chipabstand auf dem Wafer

Falls die Chips im Wafer geliefert werden, sollte die Gesamtanzahl sowie der Abstand der Chips auf dem Wafer angegeben werden.

7.4.4 Wafermasken

Falls die Chips im Wafer einschließlich der Lithografiemasken geliefert werden, sollte die Gesamtanzahl sowie der Abstand der Chips für jede Maske angegeben werden.

8 Bauelemente in minimalen Gehäusen

Die Angaben entsprechend den folgenden Abschnitten werden zusätzlich zu den entsprechenden Festlegungen im Abschnitt 6 und den zutreffenden im Abschnitt 7 gefordert. Falls anwendbar, sollte eine Verweisung auf die normierten Typen von Gehäusezeichnungen nach IEC 60191 oder in entsprechenden nationalen Normen erfolgen.

8.1 Anzahl der Anschlüsse

Sowohl die Anzahl der Anschlusspositionen als auch die Anzahl der tatsächlichen Anschlüsse muss angegeben werden. Falls die Anschlüsse über ein rechteckiges Array oder entlang der Kanten eines rechteckigen Gehäuses angeordnet sind, muss auch die Anzahl der Anschlussstellen in jeder der Längen- und Breitenorientierung des Gehäuses angegeben werden.

8.2 Lage der Anschlüsse

Es sind Angaben bereitzustellen, mit denen der Anwender die Lage aller Anschlüsse am Bauelement bestimmen kann.

Wenn die Anschlüsse nicht in einem regelmäßigen rechteckigen Array angeordnet sind, muss diese Information in einem Koordinatenverzeichnis der geometrischen Mittelpunkte aller Anschlüsse in Bezug auf den geometrischen Referenzpunkt bestehen.

Wenn keine Informationen dieser Art angegeben sind und die Anschlüsse in einem regelmäßigen rechteckigen Array angeordnet sind, müssen die Angaben so gegeben werden, dass sie ausreichen, um die geometrische Lage jedes Anschlusses im Array abzuleiten.

- a) Anschlussraster (Pitch) – Abstand zwischen den Mittellinien benachbarter Anschlüsse. Ist das Raster für Längs- und Breitenorientierung verschieden, müssen beide Werte angegeben werden;
- b) Anschlussstruktur (Anschlusspattern) – die Struktur der belegten Anschlusspositionen muss entweder mit einer zugehörigen Zeichnung oder in einer anderen Darstellungsart angegeben werden.

– Entwurf –

E DIN IEC 62258-1 (VDE 0884-101):2007-10

8.3 Form und Größe der Anschlüsse

Die Art des Anschlusses muss angegeben werden, zum Beispiel Ball-Grid-Array, einschließlich der folgenden Angaben:

- a) bei Ball- und Column-Grid-Arrays muss die Höhe der Anschlüsse senkrecht zur Chipoberfläche angegeben werden. Zusätzlich sollten die Grenزابweichungen zur Anschlusshöhe sowie die Form und Maße der Anschlüsse parallel zur Chipoberfläche angegeben werden. Es sollte außerdem, falls anwendbar, eine Zeichnung oder ein Diagramm der Anschlüsse mitgeliefert werden und zwar als ein Dokument oder in elektronischer Form im geeigneten Grafikformat.
- b) bei Gehäusen in Non-leaded-Technologie müssen die Maße der wirksamen Footprint-Fläche auf der Montageoberfläche angegeben werden.

8.4 Bauelementgröße

Die größte Länge und die größte Breite des Minimalgehäuses müssen angegeben werden. Dazugehörige Grenزابweichungen sollten ebenfalls angegeben werden.

8.5 Aufsetzhöhe

Die größte Aufsetzhöhe des Bauelementes im Minimalgehäuse für die Montage muss angegeben werden. Dazugehörige Grenزابweichungen sollten ebenfalls angegeben werden.

8.6 Gehäuse- und Verschlusswerkstoff

Die Art des für die äußere Schicht oder das Packaging verwendeten Werkstoffs sollte angegeben werden.

8.7 Feuchteempfindlichkeit

Die Feuchteempfindlichkeitsklasse (MSL; en: moisture sensitivity level) des Gehäuses einschließlich der referenzierten Norm sollte angegeben werden.

8.8 Code der (Gehäuse-)Bauform

Der Code der (Gehäuse-)Bauform nach IEC 60191-4 muss angegeben werden.

8.9 Gehäusezeichnung

Falls zutreffend, sollte eine bemaßte Gehäusezeichnung des Bauelementes mitgeliefert werden und zwar als ein Dokument oder in elektronischer Form im geeigneten Grafikformat.

9 Qualität, Prüfung und Zuverlässigkeit

Angaben zur erwarteten Ausgangs-Qualitätslage und zur Bauelementezuverlässigkeit müssen gemacht werden.

ANMERKUNG Angaben über Prüfungen, Qualität und Zuverlässigkeit dürfen, wenn sie als vertraulich angesehen werden, Gegenstand einer Vertraulichkeitsvereinbarung (NDA; en: non-disclosure agreement) zwischen Lieferant und Kunde sein.

9.1 Ausgangs-Qualitätslage

Angaben über die Ausgangs-Qualitäts-Lage des Chipzeugnisses müssen gegeben werden. Diese dürfen z. B. als Fehler je Million (dpm; en: defects per million), annehmbare Qualitätsgrenzlage (AQL; en: acceptable quality level) oder in einer anderen Maßgröße angegeben werden.

9.1.1 Beschreibung der Ausgangs-Qualitätslage

Hersteller oder Lieferant müssen eine Beschreibung des Verfahrens, der Kenngrößen und der zugehörigen Werte, welche zur Berechnung der Ausgangs-Qualitätslage nach 9.1 verwendet werden, angeben.

9.2 Festlegungen zu elektrischen Kenngrößen

Hersteller oder Lieferant müssen die Bedingungen angeben, bei welchen die elektrischen Kenngrößen festgelegt sind; allerdings liegt es in der Verantwortung des Kunden, alle angegebenen Daten auf die Eignung seines Moduls hinsichtlich der Anforderungen von Entwurf und Entwicklung als auch Endanwendung zu überprüfen.

9.3 Einhaltung von Normen

Es muss angegeben werden, inwieweit die Chipbauelemente irgendwelchen bestimmten Normen entsprechen.

9.4 Zusätzliches Bauelemente-Screening

Das Bestehen eines zusätzlichen Screenings speziell für Chipserzeugnisse, welches vom Hersteller oder Lieferanten zur Einhaltung von Normen oder zur Erhöhung der gelieferten Zuverlässigkeit vorgenommen wurde, sollte angegeben werden.

9.5 Erzeugnisstatus

Der Hersteller muss auf Anfrage Angaben über die Verfügbarkeit und den Status des Erzeugnisses zur Verfügung stellen, beispielsweise eine bevorstehende elektrische/mechanische Änderung des Chipbauelementes wie z. B. ein Chip-Shrinking oder die geplante Beendigung der Fertigung des Bauelementes.

9.6 Prüfbarkeitsmerkmale

Es sollten Angaben über direkt im Bauelement realisierte (designed-in) Prüfbarkeitsmerkmale (z. B. Redundanzen, Prüfsicherungen, Fehlerkorrekturen, ad-hoc strukturiertes Boundary-Scan, Built-in-Selbstprüfung usw.) gegeben werden, und zwar mit Beschreibungen und Erläuterungen zu jedem Merkmal, wo es für das Prüfen beim Kunden erforderlich ist und es keine patentrechtlichen Verletzungen gibt.

9.7 Zusätzliche Prüfanforderungen

Es sollten irgendwelche anderen erzeugnispezifischen Angaben gegeben werden, wenn sie für das elektrische Prüfen durch den Kunden zutreffend sind, wie beispielsweise besondere Prüfstrategien oder Spannungsbeanspruchungen um Qualitätsziele zu erreichen.

9.8 Zuverlässigkeit

Es muss eine Zuverlässigkeitsabschätzung für die Bauart des Chipserzeugnisses gegeben werden. Der entsprechende Zuverlässigkeitswert muss als FIT-Rate, MTTF oder in einer anderen Maßgröße angegeben werden, und zwar zusammen mit den Bedingungen, unter denen die Schätzung durchgeführt wurde.

ANMERKUNG Die endgültige Zuverlässigkeit des Moduls ist eine Kombination aus der Zuverlässigkeit der einzelnen Chipbauarten, der Anzahl der Chips im Modul, der Signalführung auf dem Substrat, der thermischen Verlustleistungseigenschaften und vieler anderer Variablen. Sämtliche vom Hersteller oder Lieferanten derart zur Verfügung gestellten Zuverlässigkeitsdaten gelten nur für eine einzige Chipbauart und nur „im Anlieferzustand“ und nicht „im Einbaustand“.

9.8.1 Zuverlässigkeitsberechnungen

Das Verfahren, die Kenngrößen und die Daten, auf denen die Zuverlässigkeitsschätzung beruht, müssen angegeben werden.

10 Handhabung und Transport

10.1 Allgemeines

Angaben, welche für die Handhabung der Chipserzeugnisse notwendig sind, müssen gegeben werden, wobei Einzelheiten der Chipanlieferung, der Lieferverpackung und Empfehlungen für ESD-Schutzmaßnahmen einzuschließen sind, falls das erforderlich ist.

Alle Transport- und Handhabungsverfahren müssen ein System zur Codierung und Einhaltung der Rückverfolgbarkeit eines jeden Chips auf sein Waferlos beinhalten.

Die in diesem Abschnitt festgelegten Angaben müssen sich entweder auf dem Bauelement, auf der Primär- oder Sekundärverpackung oder in einem Begleitdokument einschließlich der Rechnung, sofern zweckdienlich, befinden.

Der Anwender sollte sich darüber im Klaren sein, dass bei nicht eindeutiger Kennzeichnung jedes Chips für die Einhaltung der Rückverfolgbarkeit zusätzliche Verfahren und Dokumentationen erforderlich werden, nachdem das Chipbauelement aus der Primärverpackung genommen wurde.

Sämtliche Transportverfahren müssen Schutz vor mechanischer Beschädigung, elektrostatischer Entladung (ESD) und Verunreinigungen bieten, solange der Chip nicht entnommen wird. Wenn in einer Verpackung mehrere Einheiten transportiert werden, müssen Einrichtungen wie Waffle-Packs oder Wafer-Boote eingesetzt werden, um eine Lageveränderung zu verhindern, welche physikalische Beschädigungen verursachen könnte.

Jedes Transportverfahren sollte außerdem Einrichtungen zur Verhinderung großer Bewegungen oder Verdrehungen der Erzeugnisse besitzen, die eine Beschädigung verursachen oder die automatische Handhabung der Erzeugnisse beeinträchtigen können.

ANMERKUNG Die in diesem Abschnitt geforderten Angaben sind mit dem gelieferten Produkt beizustellen und sind nicht Teil eines Datencontainers.

ANMERKUNG Für weitergehende Informationen zu den Festlegungen dieses Abschnitts wird auf Teil 3 dieser Norm verwiesen.

10.1.1 Kunden-Teilenummer

Die vom Kunden festgelegte und benötigte Teilenummer muss angegeben werden, wenn sich diese von der Bauartnummer oder der Teilenummer des Herstellers unterscheidet.

10.1.2 Bauart-Nummer

Die Bauartnummer oder die Bauelementebezeichnung, welche vom Hersteller zur Identifizierung des endbearbeiteten Chips im Lieferzustand an den Kunden vergeben wurde, muss die angegebene sein.

10.1.3 Lieferant

Der Name des Lieferanten muss angegeben werden.

10.1.4 Hersteller

Der Name des Herstellers ist anzugeben, falls dieser nicht zugleich der Lieferant ist.

10.1.5 Rückverfolgbarkeit

Es sind die Losnummer des Lieferanten oder jede andere Angabe zugeben, die das Chipbauelement oder die Bauelementecharge eindeutig mit der entsprechenden Dokumentation über das Waferfertigungslos und/oder das Prüflös verknüpfen.

10.1.6 Liefermenge

Es sind die Gesamtmenge an Chips in der Transportverpackung und die Aufteilung der Mengen in jede Verpackungseinheit wie z. B. Waffle-Pack, Gurtverpackungen (Reels) oder Wafer anzugeben. Bei Wafern darf diese Menge die Anzahl guter Chips auf dem Wafer sein.

10.1.7 Anforderungen zum Umweltschutz

Der Lieferant muss eine Erklärung abgeben, dass nationale oder regionale gesetzliche Forderungen eingehalten werden, und die entsprechenden Maßnahmen zum Umweltschutz erläutern.

ANMERKUNG Dabei sollten auch die Wiederverwertung (Recycling) und die Wiederverwendung (Re-use) von Verpackungsmaterialien sowie die Überwachung von Giftstoffen berücksichtigt werden.

10.2 Besondere Anforderungen für Nacktchips und Wafer

10.2.1 Chipversion

Der Revisions- oder Stepcode zur Identifizierung der Maskenversion/-revision muss angegeben werden.

10.3 Besondere Anforderungen für Wafer

10.3.1 Wafer-Mapping

Wenn die Chips im geprüften Wafer geliefert werden, müssen die Angaben gegeben werden, mit denen der Anwender die einzelnen guten und verworfenen Chipbauelemente oder die Qualitätsklasse der Bauelemente erkennen kann. Diese Angabe darf in Form eines Wafer-Mappings bereitgestellt werden, welche die Ergebnisse der Prüfungen darstellt und die ausgewählten Chips auf dem Wafer eindeutig kennzeichnet, und zwar in gedruckter oder elektronischer Form. Alternativ dazu darf der Wafer selbst physikalisch gekennzeichnet werden, z. B. durch Markierung von verworfenen Chips oder Chips der Anspruchsklasse zwei mit einem Farbpunkt; in diesem Fall muss die Bedeutung der Markierung angegeben werden.

10.4 Besondere Anforderungen

Wenn besondere Anforderungen an das Auspacken und an die Handhabung der Erzeugnisse bestehen, muss auf der Primär- und Sekundärverpackung ein geeigneter Hinweis angebracht sein, um die Personen, welche die Transportbehältnisse handhaben, zu warnen.

10.4.1 Besondere Schutzmaßnahmen

Es muss eine Beschreibung jedes einzelnen Materials oder jeder freiliegenden Oberfläche angegeben werden, welche bei der Handhabung einen besonderen Schutz erfordern. Beispielsweise dürfen manche Chipbauelemente nicht auf der Oberseite berührt werden oder andere dürfen nicht UV-Licht ausgesetzt werden.

10.4.2 Warnhinweise bei Chips ohne Gehäuse

Wenn die Primärverpackung Chips oder Wafer ohne Gehäuse enthält, muss eine Information erfolgen, die angibt, dass das Transportbehältnis in einer kontrollierten Umgebung entsprechend der Klasse nach ISO 14644-1 zu öffnen ist. Diese Information muss in Form eines Warnhinweises erfolgen, der auf der Primärverpackung angebracht ist.

10.4.3 Warnung vor Giftstoffen

Wenn die Verpackung Giftstoffe enthält, muss in Übereinstimmung mit den gesetzlichen Forderungen und Vorschriften ein entsprechender Warnhinweis erfolgen, der sich über die gesamte Lieferkette zieht.