

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

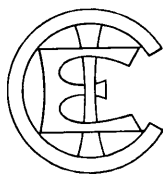
Publication 617-12
Première édition — First edition
1983

Symboles graphiques pour schémas

Douzième partie: Opérateurs logiques binaires

Graphical symbols for diagrams

Part 12: Binary logic elements



© CEI 1983

Droits de reproduction réservés — Copyright - all rights reserved

Bureau Central de la Commission Electrotechnique Internationale
3, rue de Varembe
Genève, Suisse

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**

Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur la page 3 de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**

Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the inside of the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

Publication 617-12

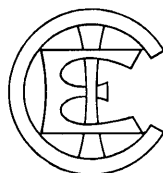
Première édition — First edition
1983

Symboles graphiques pour schémas

Douzième partie: Opérateurs logiques binaires

Graphical symbols for diagrams

Part 12: Binary logic elements



© CEI 1983

Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale
3, rue de Varembe
Genève, Suisse

SOMMAIRE

	Pages
PRÉAMBULE	6
PRÉFACE	6
CHAPITRE I: GÉNÉRALITÉS	10
Section 1 – Introduction	10
Section 2 – Notes générales	10
Section 3 – Explication de termes	12
CHAPITRE II: FORMATION DES SYMBOLES	14
Section 4 – Composition d'un symbole	14
Section 5 – Cadres	15
Section 6 – Emploi et associations de cadres	16
CHAPITRE III: SYMBOLES DISTINCTIFS ASSOCIÉS AUX ACCÈS ET CONNEXIONS INTERNES	23
Section 7 – Négation, polarité logique et entrée dynamique	23
Section 8 – Connexions internes	25
Section 9 – Symboles intérieurs aux cadres, concernant les accès	27
Section 10 – Accès non concernés par une information logique binaire, sens de propagation de l'information	44
CHAPITRE IV: NOTATION DE DÉPENDANCE	46
Section 11 – Exposé	46
Section 12 – Convention	47
Section 13 – Types de dépendance	48
Section 14 – Dépendance ET (dépendance G)	52
Section 15 – Dépendance OU (dépendance V)	54
Section 16 – Dépendance de NÉGATION (dépendance N)	55
Section 17 – Dépendance d'INTERCONNEXION (dépendance Z)	56
Section 18 – Dépendance de COMMANDE (dépendance C)	58
Section 19 – Dépendance MISE À UN (dépendance S) et dépendance MISE À ZÉRO (dépendance R)	60
Section 20 – Dépendance de VALIDATION (dépendance EN)	63
Section 21 – Dépendance de MODE (dépendance M)	64
Section 22 – Comparaison entre les influences C, EN, et M sur les entrées	68
Section 23 – Dépendance ADRESSE (dépendance A)	68
Section 24 – Techniques particulières de symbolisation pour la notation de dépendance	73
Section 25 – Ordre de marquages des accès	77
CHAPITRE V: OPÉRATEURS COMBINATOIRES ET SÉQUENTIELS	83
Section 26 – Notes générales	83
Section 27 – Opérateurs combinatoires	84
Section 28 – Exemples d'opérateurs combinatoires	87
Section 29 – Exemples d'amplificateurs, émetteurs et récepteurs	92
Section 30 – Opérateurs à hystérésis	96
Section 31 – Exemples d'opérateurs à hystérésis	96
Section 32 – Convertisseurs de code, transcodeurs	97
Section 33 – Exemples de transcodeurs	101
Section 34 – Convertisseur de niveau de signal avec ou sans séparation galvanique	106
Section 35 – Exemples de convertisseurs de niveau de signal	107

CONTENTS

	Page
FOREWORD	7
PREFACE	7
CHAPTER I: GENERAL	11
Section 1 – Introduction	11
Section 2 – General notes	11
Section 3 – Explanation of terms	13
CHAPTER II: SYMBOL CONSTRUCTION	14
Section 4 – Composition of the symbol	14
Section 5 – Outlines	15
Section 6 – Use and combination of outlines	16
CHAPTER III: QUALIFYING SYMBOLS ASSOCIATED WITH INPUTS, OUTPUTS AND OTHER CONNECTIONS	23
Section 7 – Negation, logic polarity and dynamic input	23
Section 8 – Internal connections	25
Section 9 – Symbols inside the outline	27
Section 10 – Non-logic connections and signal-flow indicators	44
CHAPTER IV: DEPENDENCY NOTATION	46
Section 11 – General explanation	46
Section 12 – Convention	47
Section 13 – Types of dependency	48
Section 14 – AND dependency (G-dependency)	52
Section 15 – OR dependency (V-dependency)	54
Section 16 – NEGATE dependency (N-dependency)	55
Section 17 – INTERCONNECTION dependency (Z-dependency)	56
Section 18 – CONTROL dependency (C-dependency)	58
Section 19 – SET and RESET dependency (S- and R-dependency)	60
Section 20 – ENABLE dependency (EN-dependency)	63
Section 21 – MODE dependency (M-dependency)	64
Section 22 – Comparison of C-, EN- and M-effects on inputs	68
Section 23 – ADDRESS dependency (A-dependency)	68
Section 24 – Special techniques used in dependency notation	73
Section 25 – The ordering of labels associated with inputs and with outputs	77
CHAPTER V: COMBINATIVE AND SEQUENTIAL ELEMENTS	83
Section 26 – General notes	83
Section 27 – Combinative elements	84
Section 28 – Examples of combinative elements	87
Section 29 – Examples of buffers, drivers and receivers	92
Section 30 – Elements with hysteresis	96
Section 31 – Examples of elements with hysteresis	96
Section 32 – Coders, code converters	97
Section 33 – Examples of code converters	101
Section 34 – Signal-level converters with or without galvanic separation	106
Section 35 – Examples of signal-level converters	107

	Pages
Section 36 – Multiplexeurs et démultiplexeurs	107
Section 37 – Exemples de multiplexeurs et démultiplexeurs	108
Section 38 – Opérateurs arithmétiques	111
Section 39 – Exemples d'opérateurs arithmétiques	113
Section 40 – Opérateurs binaires à retard	118
Section 41 – Opérateurs bistables	120
Section 42 – Exemples d'opérateurs bistables	121
Section 43 – Indication de propriétés particulières d'opérateurs bistables à la mise sous tension	126
Section 44 – Opérateurs monostables	127
Section 45 – Exemples d'opérateurs monostables	128
Section 46 – Opérateurs astables	129
Section 47 – Exemples d'opérateurs astables	131
Section 48 – Registres à décalage et compteurs	133
Section 49 – Exemples de registres à décalage et de compteurs	134
Section 50 – Mémoires	143
Section 51 – Exemples de mémoires	144

Withdrawal

	Page
Section 36 – Multiplexers and demultiplexers	107
Section 37 – Examples of multiplexers and demultiplexers	108
Section 38 – Arithmetic elements	111
Section 39 – Examples of arithmetic elements	113
Section 40 – Binary delay elements	118
Section 41 – Bistable elements	120
Section 42 – Examples of bistable elements	121
Section 43 – Indication of special switching properties of bistable elements	126
Section 44 – Monostable elements	127
Section 45 – Examples of monostable elements	128
Section 46 – Astable elements	129
Section 47 – Examples of astable elements	131
Section 48 – Shift registers and counters	133
Section 49 – Examples of shift registers and counters	134
Section 50 – Memories	143
Section 51 – Examples of memories	144

Withdrawn

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYMBOLES GRAPHIQUES POUR SCHÉMAS

Douzième partie: Opérateurs logiques binaires

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

Cette norme a été établie par le Sous-Comité 3A: Symboles graphiques pour schémas, du Comité d'Etudes n° 3 de la CEI: Symboles graphiques.

Elle est issue en partie de l'ancienne Publication 117 de la CEI que l'on a remaniée entièrement. La Publication 617 de la CEI remplace la Publication 117 de la CEI. Le développement rapide d'un système de conception assistée par ordinateur a aussi joué un rôle dans cette publication. Tous les symboles sont conçus à l'aide d'une grille qu'accompagne un support transparent et qui figure dans la Publication 617-1 de la CEI (en cours d'impression).

Des projets, préparés par le Groupe de Travail 2 du Sous-Comité 3A au cours de dix réunions entre 1973 et 1979, furent discutés lors d'une réunion du Sous-Comité 3A à La Haye en 1979. A la suite de cette réunion, un projet, document 3A(Bureau Central)115, fut soumis à l'approbation des Comités nationaux selon la Règle des Six Mois en avril 1980.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication:

Allemagne	Egypte	Suède
Australie	Israël	Suisse
Autriche	Norvège	Turquie
Canada	Pays-Bas	

Les Comités nationaux des pays ci-après ont voté contre la publication à moins qu'on n'insère des modifications:

Etats-Unis d'Amérique	France	Royaume-Uni
Finlande		

En accord avec la décision prise à la réunion tenue à Baden-Baden en septembre 1980, le document n'a pas été publié; il fut demandé au Groupe de Travail 2 du Sous-Comité 3A de prendre les commentaires en considération et d'aider le Président du Sous-Comité 3A à l'établissement d'un projet contenant des modifications au document 3A(Bureau Central)115. Il en est résulté le document 3A(Bureau Central)131 qui fut soumis à l'approbation des Comités nationaux selon la Procédure des Deux Mois en mai 1981.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication:

Allemagne	Egypte	Pays-Bas
Australie	Espagne	Royaume-Uni
Autriche	Etats-Unis d'Amérique	Suède
Belgique	Finlande	Suisse
Danemark	Japon	

INTERNATIONAL ELECTROTECHNICAL COMMISSION

GRAPHICAL SYMBOLS FOR DIAGRAMS**Part 12: Binary logic elements**

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by Sub-Committee 3A: Graphical Symbols for Diagrams, of IEC Technical Committee No.3: Graphical Symbols.

It is partly derived from the old IEC Publication 117 that has been reorganized thoroughly. IEC Publication 617 replaces IEC Publication 117. Also the fast development of computer aided draughting had its influence upon this publication. All the symbols are (re)designed on a grid. A transparent over-lay with this grid is included in IEC Publication 617-1 (being printed).

Drafts, prepared by Working Group 2 of Sub-Committee 3A during ten meetings between 1973 and 1979, were discussed at a meeting of Sub-Committee 3A held in The Hague in 1979. As a result of this meeting, a draft, Document 3A(Central Office)115, was submitted to the National Committees for approval under the Six Months' Rule in April 1980.

The National Committees of the following countries voted explicitly in favour of publication:

Australia	Germany	Sweden
Austria	Israel	Switzerland
Canada	Netherlands	Turkey
Egypt	Norway	

The National Committees of the following countries voted against publication unless amendments would be inserted:

Finland	United Kingdom	United States of America
France		

In accordance with a decision taken at the meeting held in Baden-Baden in September 1980, the document was not published, but Working Group 2 of Sub-Committee 3A was requested to consider all comments and to assist the Chairman of Sub-Committee 3A with the preparation of a draft, containing amendments to Document 3A(Central Office)115. As a result of this, Document 3A(Central Office)131 was submitted to the National Committees for approval under the Two Months' Procedure in May 1981.

The National Committees of the following countries voted explicitly in favour of publication:

Australia	Finland	Sweden
Austria	Germany	Switzerland
Belgium	Japan	United Kingdom
Denmark	Netherlands	United States of America
Egypt	Spain	

Autres publications de la CEI citées dans cette norme:

- Publications n^{os} 113–7: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.
117–15: Symboles graphiques recommandés, Quinzième partie: Opérateurs logiques binaires.
617–1: Symboles graphiques pour schémas, Première partie: Généralités, index général – Tables de correspondance (en cours d'impression).
617–2: Deuxième partie: Eléments des symboles, symboles distinctifs et autres symboles d'application générale.
617–3: Troisième partie: Conducteurs et dispositifs de connexion.
617–10: Dixième partie: Télécommunications: Transmission.
617–13: Treizième partie: Opérateurs analogiques.

Withdrawn

Other IEC publications quoted in this standard:

- Publications Nos. 113–7: Diagrams, Charts, Tables, Part 7: Preparation of Logic Diagrams.
117–15: Recommended Graphical Symbols, Part 15: Binary Logic Elements.
617–1: Graphical Symbols for Diagrams, Part 1: General Information, General Index – Cross-reference Tables (being printed).
617–2: Part 2: Symbol Elements, Qualifying Symbols and Other Symbols Having General Application.

617–3: Part 3: Conductors and Connecting Devices.
617–10: Part 10: Telecommunications: Transmission.
617–13: Part 13: Analogue Elements.

Withdrawn

SYMBOLES GRAPHIQUES POUR SCHÉMAS

Douzième partie: Opérateurs logiques binaires

CHAPITRE I: GÉNÉRALITÉS

SECTION 1 – INTRODUCTION

- 1.1 La présente norme contient des symboles graphiques établis pour représenter des fonctions logiques. Ces symboles sont également destinés à représenter les dispositifs physiques capables de réaliser lesdites fonctions. Les symboles visent les dispositifs électriques, mais peuvent pour la plupart être appliqués à des dispositifs non électriques, par exemple pneumatiques, hydrauliques ou mécaniques.

SECTION 2 – NOTES GÉNÉRALES

- 2.1 Les symboles conformes à la Publication 117-15 de la CEI: Symboles graphiques recommandés: Quinzième partie: Opérateurs logiques binaires, seront encore nécessaires pour une période transitoire prolongée mais devront être progressivement remplacés par les symboles représentés dans la présente norme. Bien que déconseillé, l'emploi d'autres symboles définis par des normes nationales, notamment les symboles se distinguant par la forme des cadres à la place des symboles 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 et 12-28-04, n'est pas considéré comme contradictoire à la présente norme. Toutefois, l'emploi de tels symboles dans les symboles combinés d'opérateurs complexes (par exemple en figuration imbriquée) est vivement déconseillé.
- 2.2 Les définitions et correspondances entre états logiques et niveaux logiques sont données dans la Publication 113-7 de la CEI: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.
- 2.3 La présente norme utilise les symboles 0 et 1 pour identifier les deux états logiques d'une variable binaire qui sont désignés par «état 0» et «état 1».
- 2.4 Une variable binaire peut s'identifier à une certaine grandeur physique pour laquelle deux domaines distincts peuvent être définis. Dans la présente norme, ces domaines sont identifiés à deux niveaux logiques H et L.
H désigne le niveau le plus positif, L désigne le niveau le moins positif.
- 2.5 Dans le cas de système dans lequel les états logiques sont identifiés par d'autres caractéristiques (impulsions positives et négatives, présence ou absence d'une impulsion), H et L peuvent encore être utilisés ou être remplacés par une désignation mieux appropriée.

GRAPHICAL SYMBOLS FOR DIAGRAMS

Part 12: Binary logic elements

CHAPTER I: GENERAL

SECTION 1 – INTRODUCTION

- 1.1 This standard contains graphical symbols which have been developed to represent logic functions. They are intended also to represent physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but the majority may also be applied to non-electrical devices, for example pneumatic, hydraulic, mechanical.

SECTION 2 – GENERAL NOTES

- 2.1 Symbols in accordance with the superseded IEC Publication 117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, i.e. distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other symbols in combination to form complex symbols (e.g. use as embedded symbols) is discouraged.
- 2.2 For explanation of “logic states”, “logic levels”, etc., see IEC Publication 113-7: Diagrams, Charts, Tables, Part 7: Preparation of Logic Diagrams.
- 2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.
- 2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L.

H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

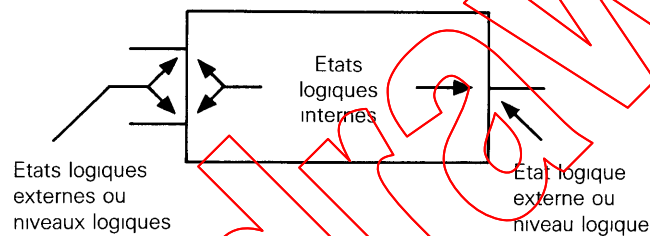
- 2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (e.g. positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

SECTION 3 – EXPLICATION DE TERMES

Pour la compréhension de la suite de la présente norme, les trois notions suivantes sont nécessaires.

- 3.1 Etat logique interne: état logique réputé exister à l'intérieur du symbole à un accès (entrée ou sortie).
- 3.2 Etat logique externe: état logique réputé exister à l'extérieur du symbole:
- sur tout tracé d'entrée, avant tout symbole distinctif attaché à cette entrée, ou
 - sur tout tracé de sortie, après tout symbole distinctif attaché à cette sortie.
- 3.3 Niveau logique: propriété physique réputée représenter un état logique d'une variable binaire (voir articles 2.3 et 2.4).

Illustration

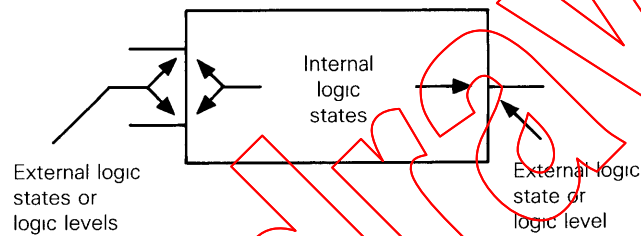


SECTION 3 – EXPLANATION OF TERMS

To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

- 3.1 “Internal logic state” describes a logic state assumed to exist inside a symbol outline at an input or an output.
- 3.2 “External logic state” describes a logic state assumed to exist outside a symbol outline:
- on an input line prior to any external qualifying symbol at that input, or
 - on an output line beyond any external qualifying symbol at that output.
- 3.3 “Logic level” describes the physical quality assumed to represent a logic state of a binary variable (see Clauses 2.3 and 2.4).

Illustration

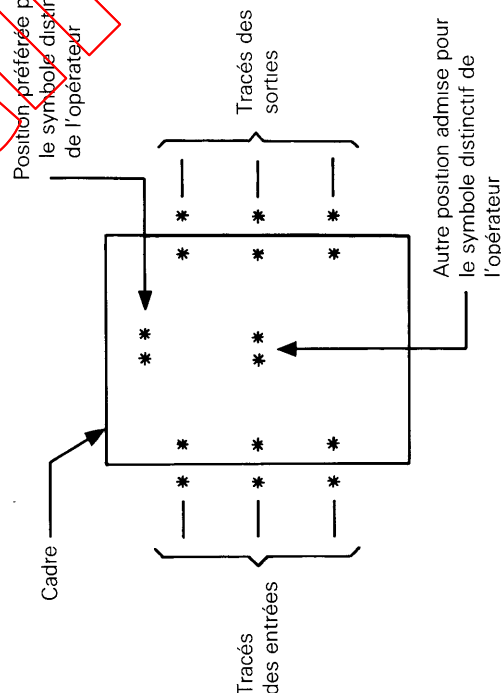


CHAPITRE II: FORMATION DES SYMBOLES

SECTION 4 – COMPOSITION D'UN SYMBOLE

- 4.1 Un symbole comprend un cadre, ou un groupement de cadres, complété de symboles distinctifs.

L'utilisation de ces symboles nécessite en outre le tracé des accès (entrées ou sorties).



Notes 1. – Les astérisques simples (*) indiquent les positions possibles pour les symboles distinctifs intéressant les accès.

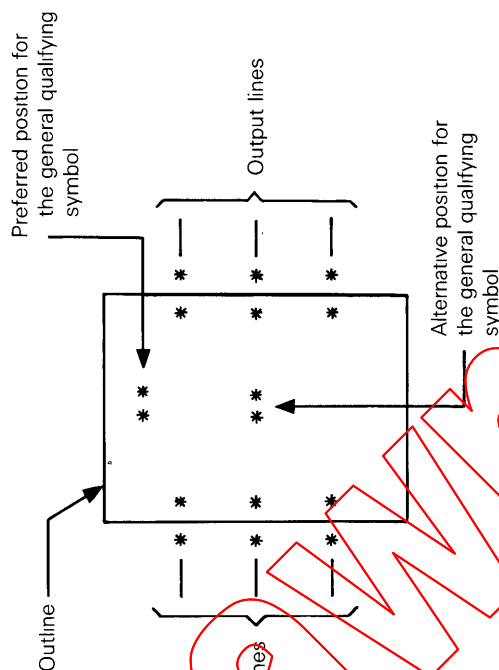
2. – Un symbole distinctif de l'opérateur n'est pas nécessaire si, et seulement si, les symboles distinctifs associés aux accès définissent complètement la fonction de cet opérateur.

CHAPTER II: SYMBOL CONSTRUCTION

SECTION 4 – COMPOSITION OF THE SYMBOL

- 4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols.

Application of the symbols requires in addition the representation of input and output lines.



Notes 1. – The single asterisk (*) denotes possible positions for qualifying symbols relating to inputs and outputs.

2. – If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/or outputs, no general qualifying symbol is needed.

4.2 General additional information may be included in a symbol outline as described in IEC Publication 113-7: Diagrams, Charts and Tables, Part 7: Preparation of Logic Diagrams.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of Clause 6.3.

4.5 In some figures, lower-case letters which are not part of the symbols have been shown outside the outline just to identify the inputs and outputs as referenced in the description.

SECTION 5 – OUTLINES

5.1 The length-width ratio of outlines is arbitrary.

5.2 For combinations of outlines, see Section 6.

4.2 Des informations complémentaires peuvent être insérées dans le cadre comme précisé par la Publication 113-7 de la CEI: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.

4.3 Une information non couverte par la présente norme concernant un accès donné peut être portée entre parenthèses à l'intérieur du cadre au droit de cet accès, à la suite de tout symbole distinctif s'appliquant à cet accès, s'il s'agit d'une entrée, et avant tout symbole distinctif s'il s'agit d'une sortie, comme figuré au symbole 12-28-14.

Une information complémentaire intéressant la fonction de l'opérateur peut être inscrite entre parenthèses à l'intérieur du cadre.

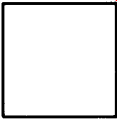
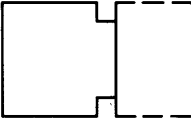
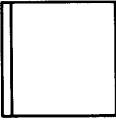
4.4 Toutes les sorties d'un opérateur unitaire ont le même état logique interne, déterminé par la fonction de l'opérateur, à moins d'une indication contraire, fournie par un symbole distinctif associé à une sortie et placée à l'intérieur du cadre. Dans un groupement d'opérateurs, les symboles distinctifs, qu'ils figurent explicitement ou soient seulement impliqués du fait des simplifications prévues à l'article 6.3, sont également à considérer.

4.5 Dans de nombreuses figures, des lettres minuscules qui ne font pas parties du symbole apparaissent à l'extérieur du cadre; elles sont ajoutées dans le seul but d'identifier les accès référencés dans les légendes.

SECTION 5 – CADRES

5.1 Aucun rapport longueur-largeur n'est imposé.

5.2 Pour les combinaisons de cadres, voir la section 6.

No.	Symbole	Symbol	Légende	Description
12-05-01			Cadre d'un opérateur (représenté carré)	Element outline (square shown)
12-05-02			Cadre du symbole des communs	Common control block outline
12-05-03			Cadre d'opérateur commun de sortie	Common output element outline

SECTION 6 – EMPLOI ET ASSOCIATIONS DE CADRES

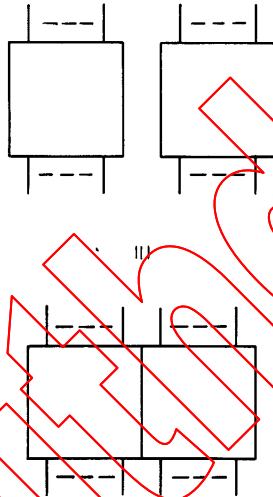
SECTION 6 – USE AND COMBINATION OF OUTLINES

6.1 Pour réduire la place nécessaire à la représentation d'un groupement d'opérateurs associés, les cadres de ces opérateurs peuvent être accolés ou imbriqués entre eux en respectant les prescriptions ci-après.

6.1 To reduce the space required for the representation of a group of associated elements, the outlines of the elements may be joined or embedded provided the following rules are observed.

6.1.1.1 Il n'y a aucune connexion logique entre éléments lorsque le côté commun à leur cadre est parallèle à la direction de propagation des informations.

Illustration



Note. – Cette règle se trouve sans objet pour les groupements d'opérateurs dans lesquels existent deux ou plusieurs directions de propagation, par exemple dans le cas de symbole des communs, d'opérateur commun de sortie, ou de notation de dépendance.

6.1.2 Il y a au moins une connexion logique quand un trait commun à deux cadres est perpendiculaire à la direction de propagation des informations.

Chaque connexion peut être indiquée par des symboles distinctifs placés sur un côté ou de chaque côté du trait commun. S'il peut y avoir doute sur le nombre de connexions logiques, le symbole de connexion interne (symbole 12-08-01) est à utiliser.

Si aucune indication n'est portée de l'un ou de l'autre côté du trait commun, il n'y a qu'une seule connexion logique.

6.1.1 There is no logic connection between elements when the line common to their outlines is in the direction of signal flow.

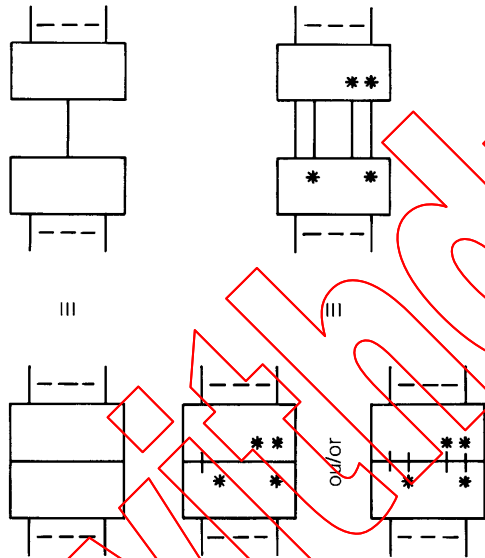
Note. – This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, e.g. indicated by a common control block, a common output element, or by dependency notation.

6.1.2 There is at least one logic connection if the line common to two outlines is perpendicular to the direction of signal flow.

Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion can arise about the number of logic connections, use can be made of the internal connection symbol (symbol 12-08-01).

If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

Illustrations



Chaque astérisque indique une position d'un symbole distinctif.

6.2 Le symbole des communs peut être utilisé dans un groupement d'opérateurs associés pour y placer les accès intéressant plus d'un d'entre eux ou ayant un rôle indépendant. De tels accès doivent être marqués si nécessaire.

6.2.1 Quand une entrée aboutissant au symbole des communs est influente au sens de la notation de dépendance (voir sections 11 et 12), elle concerne les seuls opérateurs du groupement dans lesquels se trouve son numéro d'identification. Quand une telle entrée n'est pas « influente », elle concerne tous les opérateurs du groupement.

Le symbole des communs est placé à une extrémité du groupement.

Sauf indication contraire, l'opérateur jouxtant le symbole des communs est réputé être celui de rang le plus bas.

Each asterisk denotes a position for a qualifying symbol.

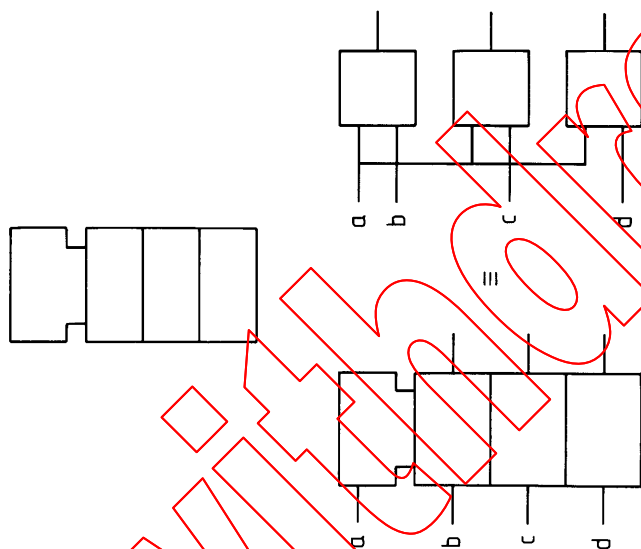
6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

6.2.1 If an input shown at a common control block is an affecting input in the sense of dependency notation (see Sections 11 and 12), it is connected as an input only to those elements of the array in which its identifying number appears. If an input shown at a common control block is not an affecting input in the sense of dependency notation, it is an input common to, or affecting, all elements of the array.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

Illustrations



6.2.2 Une sortie commune, résultant de tous les éléments d'un groupement, peut être représentée comme sortie d'un opérateur commun de sortie. Dans le cas où un quelconque élément du groupement a plus d'une sortie, l'opérateur commun de sortie ne peut être utilisé *que* si ces sorties ont toujours un même état logique interne. Il y a une connexion interne de chaque opérateur à l'opérateur commun de sortie, et ces connexions internes ne doivent pas être représentées. En outre, l'opérateur commun de sortie peut avoir d'autres entrées qui doivent être explicitement représentées. La fonction de l'opérateur commun de sortie doit être indiquée.

L'état logique interne d'une entrée d'un opérateur commun de sortie correspondant à une sortie du groupement est le même que celui de cette sortie.

6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

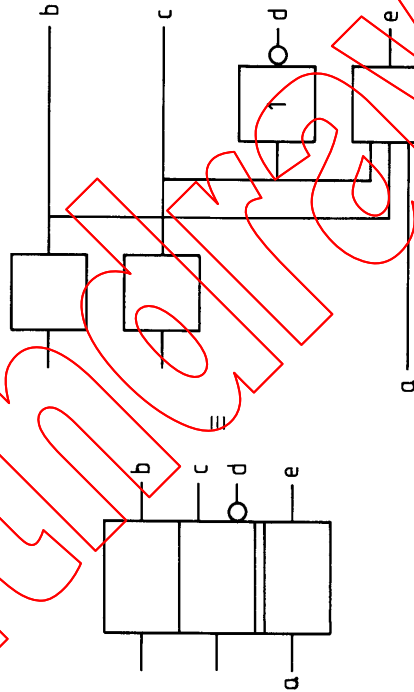
Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

L'opérateur commun de sortie est représenté:

- soit à l'intérieur du symbole des communs,
- soit à l'extrémité du groupement, à l'opposé du symbole des communs.

Lorsqu'il convient de représenter un groupement d'opérateurs communs de sortie il suffit de faire figurer le double trait supérieur une seule fois.

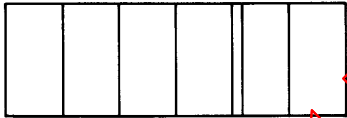
Illustrations



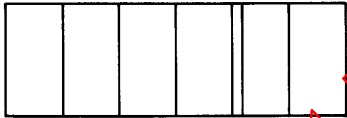
Groupement avec opérateur commun de sortie à l'intérieur du symbole des communs

Array with common output element inside the common control block

Groupement avec deux opérateurs communs de sortie



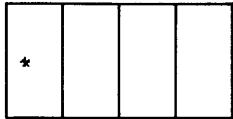
Array with two common output elements



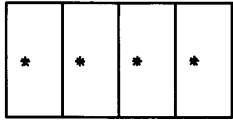
6.3 Pour un groupement d'opérateurs ayant les mêmes symboles distinctifs, il suffit d'inscrire ce symbole une seule fois dans le premier cadre, s'il n'en résulte aucune confusion. De même, dans le cas d'un groupement d'opérateurs comprenant plusieurs sous-ensembles identiques, le premier est représenté en détail et les suivants par un cadre vide. Il est entendu que les numéros d'identification des accès influencés au sens de la notation de dépendance et des accès influencés correspondants diffèrent dans chacun des opérateurs du groupement (pour illustration du concept voir section 14). Voir aussi les simplifications procurées par l'emploi de la notation de dépendance.

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion can arise. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see Section 14). See also the simplifications resulting from the use of dependency notation.

Groupement d'opérateurs ayant le même symbole distinctif d'opérateur



Group of elements with identical general qualifying symbols



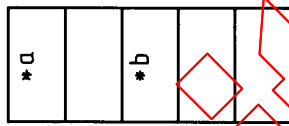
Illustrations

≡

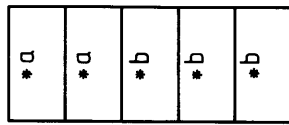
(Continued overleaf)

(Suite à la page suivante)

Deux groupes successifs d'opérateurs

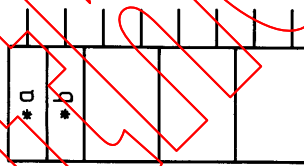


≡

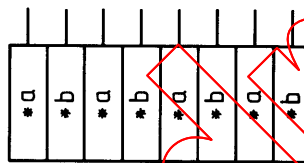


Two successive groups of elements

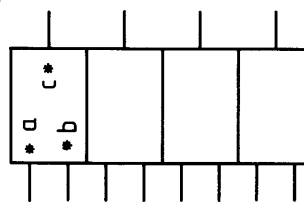
Groupement de quatre paires d'opérateurs



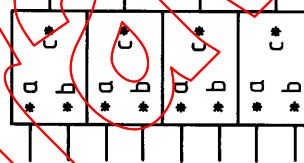
Two interlaced groups of elements



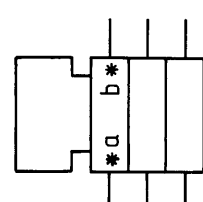
Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré sans symbole des communs



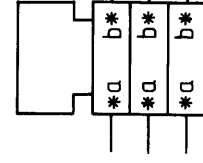
Group of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block



Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré avec symbole des communs



Group of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block



CHAPITRE III: SYMBOLES DISTINCTIFS ASSOCIÉS AUX ACCÈS ET CONNEXIONS INTERNES

CHAPTER III: QUALIFYING SYMBOLS ASSOCIATED WITH INPUTS, OUTPUTS AND OTHER CONNECTIONS

SECTION 7 – NÉGATION, POLARITÉ LOGIQUE ET ENTRÉE DYNAMIQUE

SECTION 7 – NEGATION, LOGIC POLARITY AND DYNAMIC INPUT

7.1 Chacun des symboles de la présente section fixe une relation entre état logique interne et état logique externe ou niveau logique.

7.1 Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

En l'absence de l'un de ces symboles figurant à une entrée ou une sortie, son état interne 1 est réputé correspondre:

If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds with:

- dans un schéma utilisant le symbole de négation logique, à son état logique externe 1, ou
- dans un schéma utilisant le symbole de polarité logique, à son niveau logique H le plus positif.

- the external logic 1-state in a diagram using the symbol for logic negation, or
- the logic H-level in a diagram using the symbol for logic polarity.

Dans ce dernier cas de schéma, les états logiques externes n'existent pas.

In the latter diagram, external logic states do not exist.

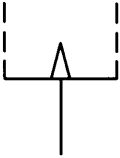
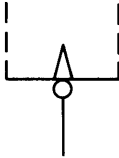
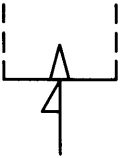
Les symboles de négation logique et de polarité logique ne doivent pas être utilisés sur le même schéma, sauf dans le cas de connexions internes avec négation logique admises dans un schéma utilisant le symbole de polarité logique. Voir les symboles 12-08-02 et 12-08-04.

The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity. See symbols 12-08-02 and 12-08-04.

Voir aussi la Publication 113-7 de la CEI.

See also IEC Publication 113-7.

No.	Symbol	Symbol	Légende	Description
12-07-01			Négation logique, figurée sur une entrée	Logic negation, shown at an input
12-07-02			Négation logique, figurée sur une sortie L'état interne 1 correspond à l'état externe 0. <i>Note.</i> – La ligne de connexion peut traverser le cercle.	Logic negation, shown at an output The internal 1-state corresponds with the external 0-state. <i>Note.</i> – The connecting line may extend through the circle.
12-07-03			Polarité logique, figurée sur une entrée Indicateur de polarité, figuré sur une entrée	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04			Polarité logique, figurée sur une sortie Indicateur de polarité, figuré sur une sortie	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05			Polarité logique Indicateur de polarité } figuré sur une entrée dans le cas de propagation des informations de droite à gauche	Logic polarity } shown at an input in the case of signal flow from right to left Polarity indicator }
12-07-06			Polarité logique Indicateur de polarité } figuré sur une sortie dans le cas de propagation des informations de droite à gauche L'état interne 1 correspond au niveau L sur la ligne de connexion.	Logic polarity } shown at an output in the case of signal flow from right to left Polarity indicator } The internal 1-state corresponds with the L-level on the connecting line.

12-07-07		Entrée dynamique L'état interne 1 (fugitif) apparaît seulement pendant la transition de l'état externe 0 à l'état externe 1. Dans tous les autres cas, l'état interne est 0. Dans le cas de schéma utilisant le symbole de polarité logique, l'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau L au niveau H sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input The (transitory) internal 1-state corresponds with the transition from the external 0-state to the external 1-state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds with the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Entrée dynamique avec négation logique L'état (fugitif) interne 1 apparaît seulement pendant la transition de l'état externe 1 à l'état externe 0. Dans tous les autres cas, l'état interne est 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds with the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Entrée dynamique avec indicateur de polarité L'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau H au niveau L sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds with the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

SECTION 8 – CONNEXIONS INTERNES

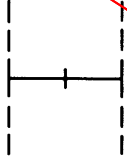
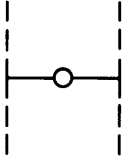
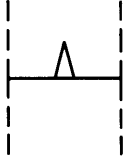
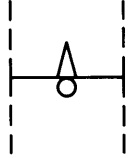
SECTION 8 – INTERNAL CONNECTIONS

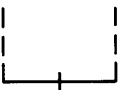
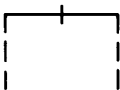
8.1 Les symboles de la présente section indiquent les relations entre états logiques internes des connexions internes.

8.1 The symbols in this section define the relationships between internal logic states at internal connections.

Une connexion interne est une connexion à l'intérieur d'un opérateur. Il est utile de pouvoir symboliser une telle connexion pour figurer les relations entre opérateurs regroupés. Dans beaucoup d'applications, il est bon d'utiliser les symboles de la présente section pour mettre en lumière les fonctions d'éléments complexes. Dans de tels cas, la notation de dépendance est à utiliser pour définir les effets des entrées internes ou des sorties internes.

An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the function of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

No.	Symbol	Symbol	Légende	Description
12-08-01			Connexion interne L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 1 [0] de la sortie de l'opérateur de gauche. <i>Note.</i> – Ce symbole peut être omis s'il n'y a aucun risque de confusion (voir le aussi paragraphe 6.1.2).	Internal connection The internal 1-state [0-state] of the input of the element on the right corresponds with the internal 1-state [0-state] of the output of the element on the left. <i>Note.</i> – This symbol may be omitted if no confusion can arise (see also Sub-clause 6.1.2).
12-08-02			Connexion interne avec négation L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 0 [1] de la sortie de l'opérateur de gauche. <i>Note.</i> – Le trait vertical peut traverser le cercle.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds with the internal 0-state [1-state] of the output of the element on the left. <i>Note.</i> – The vertical line may extend through the circle.
12-08-03			Connexion interne à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 0 à l'état interne 1 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds with the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-04			Connexion interne avec négation, à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 1 à l'état interne 0 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds with the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

12-08-05		Entrée interne (entrée virtuelle) Cette entrée est réputée être à l'état interne 1, à moins que celui-ci ne soit modifié par une dépendance prépondérante ou modifiante (voir les symboles 12-42-12 et 12-49-02). <i>Notes 1.</i> – Les entrées ou sorties internes ont seulement un état logique interne. 2. – A l'exception du symbole 12-07-07, les symboles de la section 7 ne sont pas applicables aux entrées et sorties internes.	Internal input (virtual input) This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). <i>Notes 1.</i> – Internal inputs and outputs have internal logic states only. 2. – Symbols of Section 7 shall not be applied to internal inputs and outputs, except symbol 12-07-07.
12-08-06		Sortie interne (sortie virtuelle) L'action de cette sortie sur une entrée interne à laquelle elle est connectée doit être indiquée par la notation de dépendance. Les notes au symbole 12-08-05 sont applicables.	Internal output (virtual output) The effect of this output on an internal input to which it is connected must be indicated by dependency notation. The notes with symbol 12-08-05 apply.

SECTION 9 – SYMBOLES INTÉRIEURS AUX CADRES,
CONCERNANT LES ACCÈS

SECTION 9 – SYMBOLES INSIDE THE OUTLINE

Règles générales

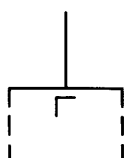
General rules

9.1 Si plusieurs entrées ont le même symbole distinctif fonctionnel, elles sont réputées être liées par une relation OU sauf le cas des entrées à seuils ou d'expansion (voir les symboles 12-09-02 et 12-09-09) pour lesquelles leur relation est à indiquer.

9.1 If two or more inputs have the same qualifying symbol for the function, they are assumed to stand in an OR-relation, except in the cases of bi-threshold and extension inputs (see symbols 12-09-02 and 12-09-09) where the relationship should be appropriately indicated.

9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the wrong impression that these are dynamic inputs. This is not the case, as it must be remembered that the internal logic state as determined by the external logic state or level may possibly be modified by the effect of other inputs (e.g. Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition. See for example symbol 12-47-01.

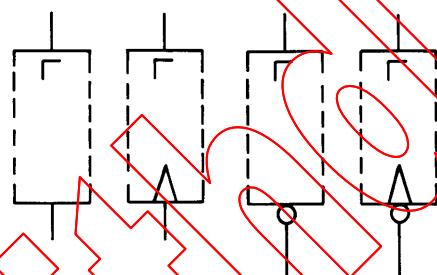
9.2 Les légendes des symboles 12-09-13 à 12-09-22 peuvent donner au lecteur l'impression erronée qu'il s'agit d'entrées dynamiques. Ce n'est pas le cas, car il est rappelé que l'état logique interne, déterminé par l'état ou le niveau logique externe, peut être éventuellement modifié par l'influence d'autres entrées (par exemple: entrées Cm). Si des entrées représentées par les symboles 12-09-13 à 12-09-22 ont un caractère dynamique, il y a lieu d'ajouter le symbole 12-07-07. Voir par exemple le symbole 12-47-01.

No.	Symbole	Symbol	Légende	Description
12-09-01			Effet différé en sortie Sortie dont le changement d'état est différé jusqu'à ce que le signal d'entrée provoquant ce changement retourne à son état externe initial ou à son niveau logique initial. L'état logique interne de toute entrée influençant ce signal d'entrée ou influencée par celui-ci ne doit pas changer pendant que ce signal d'entrée est à l'état interne 1, sinon l'état résultant de la sortie n'est pas spécifié par le symbole. Si le signal d'entrée qui provoque le changement provient d'une connexion interne, ce changement d'état est différé jusqu'à ce que la sortie correspondante de l'opérateur précédent retourne à son état interne initial. Notes 1. – Quand ce symbole est utilisé seul, il est entendu qu'il concerne toutes les entrées de l'un des types $\rightarrow$, $\leftarrow$, $+$, $-$, $\uparrow$ et tout accès Cm (voir les symboles 12-18-01 et 12-18-02); en tout autre cas, on doit faire précéder ce symbole par les numéros d'identification (ou si nécessaire les marquages complets) des accès concernés. Voir le symbole 12-49-15. 2. – L'attention est attirée sur le tracé à angle droit isocèle, qui évite toute confusion, avec le chiffre 7, par exemple. 3. – La section 41 donne des précisions complémentaires pour l'emploi de ce symbole.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. Notes 1. – If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to each $\rightarrow$, $\leftarrow$, $+$, $-$, $\uparrow$-input and to each Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed must be shown as a prefix to this symbol. See symbol 12-49-15. 2. – Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. 3. – For the application of this symbol and additional explanation, see Section 41.

Illustrations

S'il n'y a pas d'autres entrées exerçant une action prépondérante, la transition à la sortie a lieu quand l'entrée passe

- dans un schéma utilisant le symbole de négation logique:



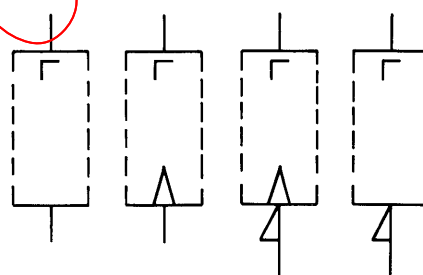
de son état externe 1 à son état externe 0

from its external 1-state to its external 0-state

de son état externe 0 à son état externe 1

from its external 0-state to its external 1-state

- dans un schéma utilisant le symbole de polarité logique:

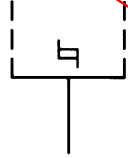
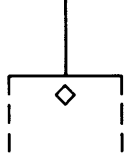


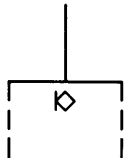
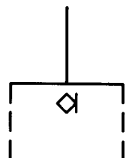
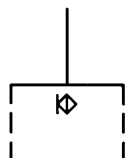
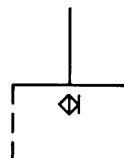
de son niveau H à son niveau L

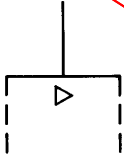
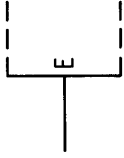
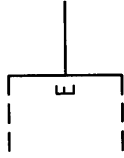
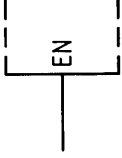
from its H-level to its L-level

de son niveau L à son niveau H

from its L-level to its H-level

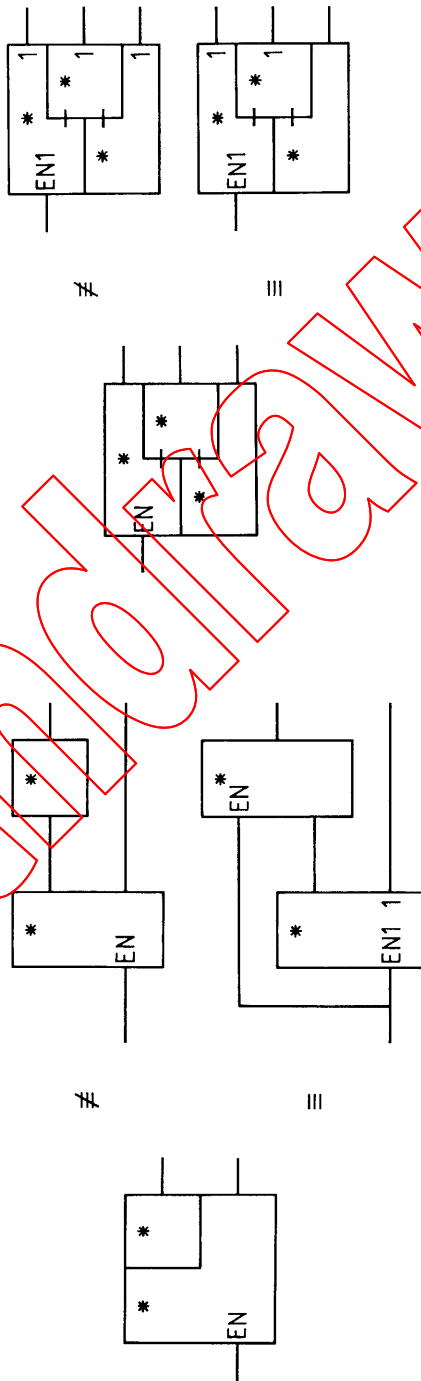
No.	Symbole	Légende	Description
12-09-02		Entrée à seuils Entrée à hystérésis L'entrée prend l'état interne 1 quand le niveau externe du signal atteint une valeur de seuil V1 et conserve cet état jusqu'à ce que ce niveau repasse en sens inverse par V1 et attribue une autre valeur de seuil V2. Sauf spécification contraire, quand ce symbole figure, sans symbole de négation ou de polarité, dans un schéma utilisant soit le symbole de polarité logique, soit la convention de logique positive, V1 est plus positif que V2. S'il figure sur un schéma utilisant la convention logique négative, V1 est plus négatif que V2. Si un symbole de négation ou de polarité affecte cette entrée, les relations liant V1 et V2 sont inversées. Note. – Si le marquage de l'entrée nécessite d'autres symboles, symbole 12-09-02 doit jouxter le tracé de l'entrée.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V1. It maintains this state until the external signal level has returned through V1 and reaches another threshold value V2. If this symbol (without the negation symbol or polarity symbol for logic polarity or the positive-logic convention, V1 is more positive than V2. If it appears on a diagram that uses the negative-logic convention, V1 is more negative than V2. If the negation or polarity symbol is present at the input, then the relationship between V1 and V2 is reversed. Note. – If the label at the input line includes other symbols, symbol 12-09-02 shall be drawn adjacent to the input line.
12-09-03		Sortie à circuit ouvert (par exemple collecteur ouvert, émetteur ouvert) L'un des deux états logiques internes possibles de ce type de sortie correspond à une condition externe de haute impédance. Pour produire un niveau logique correct en cette condition, cette sortie doit être connectée à un composant extérieur, souvent une résistance. Ce type de sortie est généralement capable de participer à une fonction fantôme. Notes 1. – Ce symbole doit jouxter le tracé de la sortie sauf lorsqu'il est fait usage du symbole de groupement numérique (symbole 12-09-25) de la manière définie à la section 25, qui autorise une autre position. 2. – Bien que ce symbole figure à l'intérieur du cadre, il se rapporte seulement aux états logiques externes et aux niveaux logiques. 3. – S'il est nécessaire d'indiquer le niveau logique qui correspond à la basse impédance, l'un des symboles 12-09-04 ou 12-09-05 peut être utilisé.	Open-circuit output (e.g. open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds with an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed condition. Notes 1. – This symbol shall be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in Section 25, where an alternative position is permitted. 2. – Although this symbol is shown inside the outline, it refers to external states and levels only. 3. – If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.

12-09-04		Sortie à circuit ouvert du type H, par exemple: PNP à collecteur ouvert, NPN à émetteur ouvert, canal de type P de «drain ouvert», canal de type N de «source ouverte» Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau H à relativement basse impédance. Voir aussi le symbole 12-27-13. Les notes 1 et 2 du symbole 12-09-03 sont applicables. Note. — La signification de ce symbole n'est pas modifiée par la présence d'un symbole de négation logique ou de polarité logique.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel "open-drain", N-channel "open-source" When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. Notes 1 and 2 with symbol 12-09-03 apply. Note. — The meaning of this symbol is not altered by the presence of a negation or polarity indicator.
12-09-05		Sortie à circuit ouvert du type L, par exemple: NPN à collecteur ouvert, PNP à émetteur ouvert, canal de type N de «drain ouvert», canal de type P de «source ouverte» Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau L à relativement basse impédance. Voir aussi le symbole 12-27-13. Les notes 1 et 2 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel "open-drain", P-channel "open-source" When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. Notes 1 and 2 with symbol 12-09-03 and the note with symbol 12-09-04 apply.
12-09-06		Sortie à circuit ouvert directe du type H Cette sortie est analogue à la sortie à circuit ouvert du type H (symbole 12-09-04) et peut, comme celle-ci, participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. La note 1 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. Note 1 with symbol 12-09-03 and the note with symbol 12-09-04 apply.
12-09-07		Sortie à circuit ouvert directe du type L Cette sortie est analogue à la sortie à circuit ouvert du type L (symbole 12-09-05) et peut comme celle-ci participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. La note 1 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. Note 1 with symbol 12-09-03 and the note with symbol 12-09-04 apply.

No.	Symbole	Symbol	Légende	Description
12-09-08			Sortie 3 états Cette sortie peut prendre un troisième état externe, à haute impédance, n'ayant plus de signification logique. Comme exemple d'application, voir le symbole 12-29-04. La note 1 du symbole 12-09-03 est applicable.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. For an example of use, see symbol 12-29-04. Note 1 with symbol 12-09-03 applies.
12-09-09			Entrée d'expansion Entrée d'un opérateur à laquelle doit être connectée la sortie d'un circuit extenseur (voir le symbole 12-09-10). Note. — Les caractéristiques des relations entre les états logiques externes d'une grandeur et les grandeurs physiques correspondantes ne sont généralement pas valables pour les entrées d'expansion ou sorties d'extenseur.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). Note. — The description which characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.
12-09-10			Sortie d'un extenseur Sortie d'un opérateur qui est connectée à l'entrée d'expansion d'un autre opérateur afin d'augmenter le nombre d'entrées de cet opérateur. La note du symbole 12-09-09 est applicable.	Extender output An output of a binary element which may be connected to the extension input of another binary element in order to extend the number of inputs of that element. The note with symbol 12-09-09 applies.
12-09-11			Entrée de validation Quand cette entrée est à l'état interne 1, toutes les sorties de l'opérateur ont l'état logique interne normal. L'action conséquente sur les opérateurs réels ou fantômes auxquels elles sont connectées pourvu qu'aucun autre accès n'exerce une action prépondérante. Quand cette entrée est à l'état interne 0, toutes les sorties des types 12-09-03, 12-09-04 ou 12-09-05 sont à l'état externe «haute impédance», toutes les sorties à circuit ouvert directes du type H sont à leur niveau L «haute impédance», toutes les sorties à circuit ouvert directes du type L sont à leur niveau H «haute impédance», toutes les sorties 3 états sont à leur état interne normalement défini et à l'état externe «haute impédance» et toutes les autres sorties sont à l'état interne 0.	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impedance H-levels, all 3-state outputs stand at their normally defined internal logic states and are in their external high-impedance conditions, and all other outputs stand at their internal 0-states.

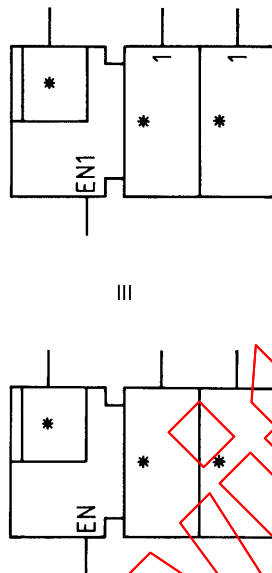
	<i>Note.</i> – Cette entrée n'influence que les sorties externes. Toutefois, lorsqu'elle concerne un opérateur utilisant l'une des connexions internes des symboles 12-08-01 à 12-08-04, même si la note du symbole 12-08-01 est appliquée, cette entrée est aussi une entrée de validation EN pour la sortie de cet opérateur. Dans le cas où une ambiguïté est possible, il y a lieu d'utiliser la dépendance EN définie à la section 20.	<i>Note.</i> – This input only affects outputs shown as external outputs. If it is an input of an element having an internal connection indicated by one of the symbols 12-08-01 to 12-08-04, even when the note to symbol 12-08-01 is applied, the input is also an EN-input of the element to which the internal connection is connected. If ambiguity can arise, for example in the case of embedded outlines, EN-dependency as defined in Section 20 should be used.
--	--	---

Illustrations

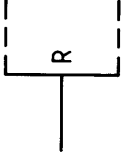
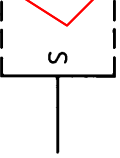
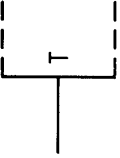
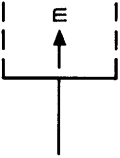


(Suite à la page suivante)

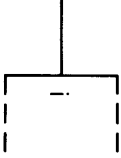
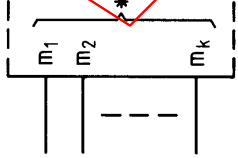
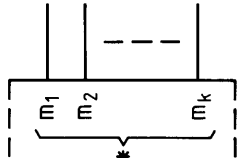
(Continued overleaf)



No.	Symbole	Légende	Description
12-09-12		Entrée D L'état logique interne de cette entrée est mémorisé par l'opérateur. Voir le symbole 12-42-02. Note. - L'état logique interne de cette entrée est toujours dépendant d'un accès influençant.	D-input The internal logic state of the D-input is stored by the element. See symbol 12-42-02. Note. - The internal logic state of this input is always subject to an affecting input or output.
12-09-13		Entrée J Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état 0, elle n'a aucun effet sur l'opérateur.	J-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-14		Entrée K Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'apparition de la combinaison $J = K = 1$ provoque un unique changement de l'état interne de la sortie de l'opérateur à son état complémentaire. L'article 9.2 est applicable.	K-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. Each occurrence of the combination $J = K = 1$ causes a single change of the internal state of the output to its complement. Clause 9.2 applies.

12-09-15		Entrée R Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur.	R-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-16		Entrée S Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'effet de la combinaison $R = S = 1$ peut être précisé par l'emploi de la dépendance R ou S (voir la section 19). L'article 9.2 est applicable.	S-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. The effect of the combination $R = S = 1$ is not specified by the symbol; this effect may be indicated by means of SET-/RESET-dependency (see Section 19). Clause 9.2 applies.
12-09-17		Entrée T Chaque fois que cette entrée prend l'état interne 1, il se produit un unique changement de l'état interne de la sortie à son état complémentaire. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable.	T-input Each time this input takes on its internal 1-state, a single change of the internal state of the output to its complement takes place. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies.
12-09-18		Entrée de décalage de gauche à droite ou du haut en bas Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la gauche vers la droite ou du haut vers le bas, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. Note. – m est à remplacer par sa valeur effective. Si $m = 1$ cette indication peut être omise.	Shifting input, left to right or top to bottom Each time this input takes on its internal 1-state, the information contained in the element will be shifted once in positions from left to right or from top to bottom, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. Note. – m shall be replaced by the relevant value. If $m = 1$, the 1 may be omitted.

No.	Symbole	Symbol	Légende	Description
12-09-19		Entrée de décalage de droite à gauche ou du bas en haut Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la droite vers la gauche ou du bas vers le haut, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Shifting input, right to left or bottom to top Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from right to left or from bottom to top, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.	
12-09-20		Entrée de comptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur croît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Counting-up input Each time this input takes on its internal 1-state, the count of the element is increased once by m units. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.	
12-09-21		Entrée de décomptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur décroît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Counting-down input Each time this input takes on its internal 1-state, the count of the element is decreased once by m units. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.	
12-09-22		Entrée d'interrogation d'une mémoire associative Quand cette entrée prend l'état interne 1, l'opérateur est interrogé. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable.	Query input of an associative memory Interrogate input of an associative memory If this input takes on its internal 1-state, an interrogation of the content of the element takes place. If the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies.	

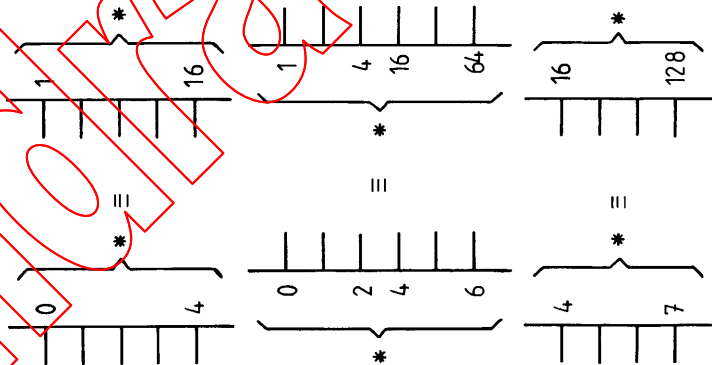
12-09-23		Sortie de comparaison d'une mémoire associative L'état interne 1 de cette sortie indique une exactitude de comparaison.	Compare output of an associative memory Match output of an associative memory The internal 1-state at this output indicates a match.
12-09-24		Groupement numérique d'entrée à plusieurs bits, symbole général Les entrées groupées par ce symbole déterminent un nombre qui est la somme des poids individuels des entrées qui sont à l'état interne 1. Les entrées individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente: – soit un nombre sur lequel une opération mathématique est effectuée; – soit un nombre d'identification dans le sens de la notation de dépendance (voir l'article 24.2), – soit une valeur destinée à devenir le contenu de l'opérateur. $m_1, \dots, m_k$ sont remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1, \dots, m_k$ peuvent être remplacés par les exposants de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque est remplacé par une identification appropriée de l'opérande sur lequel l'opération mathématique est effectuée (par exemple P ou Q), par une indication appropriée au sens de la notation de dépendance ou par CT. Dans ce dernier cas, le nombre déterminé par les entrées est la valeur du contenu qui est imposé à l'opérateur.	Bit grouping for multibit input, general symbol Inputs grouped by this symbol produce a number that is the sum of the individual weights of the inputs standing at their internal 1-states. The individual inputs shall be shown in ascending or descending order by weight. This number can be regarded: – as a number on which a mathematical function is performed, or – as defining an identifying number in the sense of dependency notation (according to Clause 24.2), or – as a value to become the content of the element. $m_1, \dots, m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1, \dots, m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion can arise. The asterisk must be replaced by an appropriate indication of the operand on which the mathematical function is performed (e.g. P or Q), by an appropriate indication in the sense of dependency notation or by CT. In the latter case, the number produced by the inputs is the value that is loaded into the element.
12-09-25		Groupement numérique de sortie à plusieurs bits, symbole général Les sorties groupées par ce symbole représentent un nombre qui est la somme des poids individuels des sorties qui sont à l'état interne 1. Les sorties individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente: – soit le résultat d'une opération mathématique effectuée, – soit la valeur du contenu de l'opérateur.	Bit grouping for multibit output, general symbol Outputs grouped by this symbol represent a number that is the sum of the individual weights of the outputs standing at their internal 1-states. The individual outputs shall be shown in ascending or descending order by weight. This number can be regarded: – as the result of a mathematical function, or – as the value of the content of the element.

(Continued overleaf)

(Suite à la page suivante)

No.	Symbole	Symbol	Légende (suite)	Description (continued)
			$m_1 \dots m_k$ sont remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1 \dots m_k$ peuvent être remplacés par les exposants de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque est remplacé par une indication appropriée du résultat de l'opération mathématique effectuée ou par CT. Dans ce dernier cas, le nombre représenté par les sorties qui sont à l'état interne 1 est la valeur du contenu de l'opérateur.	$m_1 \dots m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1 \dots m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion can arise. The asterisk must be replaced by an appropriate indication of the result of the performance of the mathematical function or by CT. In the latter case, the number represented by the outputs standing at their internal 1-states is the actual value of the content of the element.

Illustrations

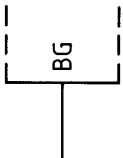
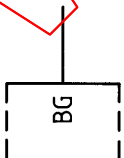
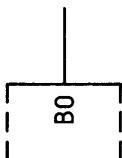
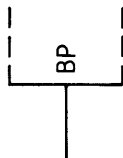
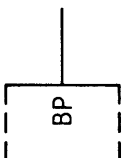
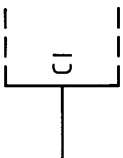


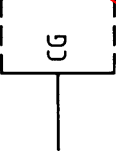
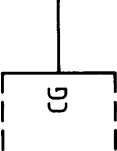
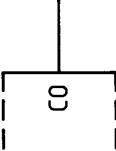
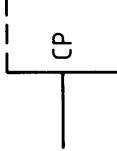
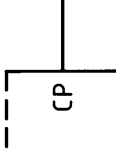
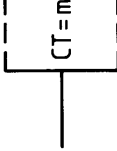
Voir aussi les exemples de la section 39.

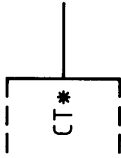
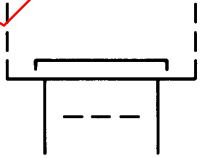
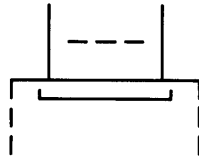
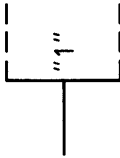
See also examples in Section 39.

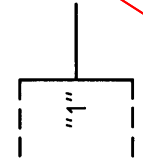
No.	Symbole	Symbol	Légende	Description
12-09-26		Entrée opérande (entrée Pm figurée) Cette entrée représente un bit d'un opérande sur lequel une ou plusieurs opérations mathématiques sont effectuées. <i>Notes 1.</i> – m est remplacé par la valeur décimale équivalente au poids de ce bit. Si les poids de toutes les entrées Pm de l'opérateur sont des puissances de 2, m peut être remplacé à chaque entrée Pm par l'exposant de la puissance de 2. <i>2.</i> – Si un opérande est constitué de deux ou plusieurs bits représentés sur des entrées, situées côte à côte, le symbole de groupement numérique (12-09-24) peut être utilisé. <i>3.</i> – Les symboles préférés pour les opérandes sont les lettres P et Q. Quand ces lettres ne conviennent pas ou si plus de deux opérandes sont impliqués, d'autres caractères peuvent être utilisés pourvu qu'il n'en résulte aucune confusion.	Operand input (Pm-input shown) This input represents one bit of an operand on which one or more mathematical functions are performed. <i>Notes 1.</i> – m shall be replaced by the decimal equivalent of the weight of the bit. If the weights of all Pm-inputs of the element are powers of 2, at each Pm-input m may be replaced by the exponent of the power of 2. <i>2.</i> – If an operand consists of two or more bits represented by adjacent input lines, the bit grouping symbol (12-09-24) may be used. <i>3.</i> – Preferred letters for operands are P and Q. If these letters are not suitable or if more than two operands are involved, other characters may be used providing no confusion can arise.	
12-09-27		Entrée «PLUS GRAND QUE» d'un comparateur numérique <i>Notes 1.</i> – Ce symbole est destiné au montage en cascade de comparateurs. Comme exemple d'application, voir le symbole 12-39-08. <i>2.</i> – Les symboles 12-09-27, 12-09-28 et 12-09-29 peuvent être combinés pour symboliser d'autres entrées, par exemple: $\geq$, $\leq$, $\neq$. <i>3.</i> – Ce symbole doit être détaché du cadre pour éviter la confusion avec le symbole de l'entrée dynamique (12-07-07).	Greater-than input of a magnitude comparator <i>Notes 1.</i> – This symbol is intended for use when representing cascaded comparators. For an example of use, see symbol 12-39-08. <i>2.</i> – Symbols 12-09-27, 12-09-28 and 12-09-29 may be combined to qualify inputs as follows: $\geq$, $\leq$, $\neq$. <i>3.</i> – This symbol should not be drawn adjacent to the outline, to avoid confusion with the dynamic input indicator symbol (12-07-07).	
12-09-28		Entrée «PLUS PETIT QUE» d'un comparateur numérique Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Less-than input of a magnitude comparator <i>Notes 1 and 2 with symbol 12-09-27 apply.</i>	

No.	Symbole	Symbol	Légende	Description
12-09-29			Entrée d'«ÉGALITÉ» d'un comparateur numérique Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Equal input of a magnitude comparator Notes 1 and 2 with symbol 12-09-27 apply.
12-09-30			Sortie «PLUS GRAND QUE» d'un comparateur numérique Notes 1. – Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. 2. – Les symboles 12-09-30, 12-09-31 et 12-09-32 peuvent être combinés pour symboliser d'autres sorties, par exemple: $\geq^*$, $\leq^*$, $\geq$. 3. – Dans une chaîne de comparateurs, toute sortie marquée de ce symbole est affectée non seulement par les opérandes mais également par les entrées du même opérateur marquées de l'un des symboles 12-09-27, 12-09-28 ou 12-09-29.	Greater-than output of a magnitude comparator Notes 1. – The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. 2. – Symbols 12-09-30, 12-09-31 and 12-09-32 may be combined to qualify outputs as follows: $\geq^*$, $\leq^*$, $\geq$. 3. – If this symbol appears in one element of a series of cascaded comparators, the output marked with this symbol is affected not only by the operands, but also by the inputs marked with the symbols 12-09-27, 12-09-28 or 12-09-29.
12-09-31			Sortie «PLUS PETIT QUE» d'un comparateur numérique Les notes du symbole 12-09-30 sont applicables.	Less-than output of a magnitude comparator The notes with symbol 12-09-30 apply.
12-09-32			Sortie d'«ÉGALITÉ» d'un comparateur numérique Les notes du symbole 12-09-30 sont applicables. Note. – Si ce symbole n'est pas combiné avec l'un des symboles 12-09-30 ou 12-09-31, les désignations des opérandes peuvent être omises, pourvu qu'il n'en résulte aucune confusion.	Equal output of a magnitude comparator The notes with symbol 12-09-30 apply. Note. – If this symbol is not combined with symbol 12-09-30 or symbol 12-09-31, the designations of the operands may be omitted providing no confusion can arise.
12-09-33			Entrée recevant la retenue d'une opération arithmétique de soustraction Note. – L'exposant de la puissance de 2 exprimant le poids du bit intéressé peut être ajouté en suffixe au symbole.	Borrow-in input of an arithmetic element Note. – A number may be added as a suffix to this label; this number is the exponent of the power of 2 which is the weight of the bit involved.

12-09-34		Entrée recevant la retenue engendrée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-generate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-35		Sortie fournissant la retenue engendrée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-generate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-36		Sortie fournissant la retenue d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-out output of an arithmetic element Ripple-borrow output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-37		Entrée recevant la retenue propagée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-propagate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-38		Sortie fournissant la retenue propagée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-propagate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-39		Entrée recevant la retenue d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-in input of an arithmetic element The note with symbol 12-09-33 applies.

No.	Symbole	Symbol	Légende	Description
12-09-40			Entrée recevant la retenue engendrée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-generate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-41			Sortie fournissant la retenue engendrée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-generate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-42			Sortie fournissant la retenue d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-out output of an arithmetic element Ripple-carry output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-43			Entrée recevant la retenue propagée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-propagate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-44			Sortie fournissant la retenue propagée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-propagate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-45			Entrée imposant un contenu m est remplacé par une indication appropriée du contenu imposé à l'opérateur tel qu'un compteur chaque fois que cette entrée est portée à l'état interne 1. Quand cette entrée est à l'état interne 0, elle n'a aucun effet sur l'opérateur. Comme exemple d'application, voir le symbole 12-49-16.	Content input m shall be replaced by an appropriate indication of the content of the element (e.g. a counter) that results whenever this input takes on its internal 1-state. If this input stands at its internal 0-state, it has no effect on the element. For an example of use, see symbol 12-49-16.

12-09-46		Sortie indiquant le CONTENU L'astérisque doit être remplacé par une indication appropriée des valeurs du contenu de l'opérateur tel qu'un compteur pour lesquelles la sortie est à l'état interne 1. Comme exemple d'application, voir le symbole 12-49-12.	Content output The asterisk shall be replaced by an appropriate indication of those values of the content of the element (e.g. a counter) for which the output stands at its internal 1-state. For an example of use, see symbol 12-49-12.
12-09-47		Groupement de liaison d'entrée Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. Comme exemple d'application, voir le symbole 12-28-06. <i>Notes 1.</i> – Les niveaux logiques sur les connexions groupées sous ce symbole peuvent différer de ceux des autres connexions d'accès. <i>2.</i> – Comme exemple d'application de la note 1, voir le symbole 12-29-07.	Line grouping at the input side This symbol indicates that two or more connections are needed to implement a single logic input. For an example of use, see symbol 12-28-06. <i>Notes 1.</i> – The logic levels on connections grouped by this symbol may differ from those on the other input and output pins. <i>2.</i> – For an example of use of Note 1, see symbol 12-29-07.
12-09-48		Groupement de liaison de sortie Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. Comme exemple d'application, voir le symbole 12-28-07. La note 1 du symbole 12-09-47 est applicable.	Line grouping at the output side This symbol indicates that two or more connections are needed to implement a single logic output. For an example of use, see symbol 12-28-07. Note 1 with symbol 12-09-47 applies.
12-09-49		Entrée de mode fixe Si un opérateur peut accomplir plusieurs fonctions dont un nombre restreint présente un intérêt, cette symbolisation peut être utilisée pour identifier une entrée qui doit être maintenue à l'état interne 1 pour que l'opérateur accomplisse la fonction indiquée. L'entrée de mode fixe ne peut avoir d'autres fonctions et la notation de dépendance ne lui est pas applicable. Comme exemples d'application, voir les symboles 12-49-07 et 12-49-08.	Fixed-mode input If an element can perform several functions but only a restricted number of functions is of interest, this representation can be used to identify an input that must be in the internal 1-state for the element to perform the functions of interest indicated by the symbol. A fixed-mode input must not be affected by dependency notation nor have other functions. For examples of use, see symbols 12-49-07 and 12-49-08.

No.	Symbole	Symbol	Légende	Description
12-09-50			Sortie d'état fixe Cette symbolisation peut être utilisée pour représenter une sortie qui reste en permanence à l'état interne 1. La sortie d'état fixe ne peut avoir d'autres fonctions et la notation de dépendance ne lui est pas applicable. Comme exemple d'application, voir le symbole 12-33-10.	Fixed-state output This representation may be used to identify an output that always stands at its internal 1-state. A fixed-state output must not be affected by dependency notation nor have other functions. For an example of use, see symbol 12-33-10.

SECTION 10 – ACCÈS NON CONCERNÉS PAR UNE INFORMATION LOGIQUE BINAIRE, SENS DE PROPAGATION DE L'INFORMATION

SECTION 10 – NON-LOGIC CONNECTIONS AND SIGNAL-FLOW INDICATORS

- 10.1 L'un des symboles 13-02-01 ou 13-02-02 de la Publication 617-13 de la CEI peut être utilisé pour indiquer un accès intéressé par un signal analogique ou par un signal numérique.
- 10.2 Pour des entrées d'alimentation ayant des caractéristiques particulières, le symbole 13-03-11 de la Publication 617-13 de la CEI peut être utilisé.
- 10.3 En principe, le sens de propagation de l'information est de la gauche vers la droite et du haut vers le bas. Si cette règle ne peut pas être appliquée ou si le sens de propagation n'est pas évident, celui-ci peut être indiqué par des flèches orientant les trajets de signaux, ces flèches ne doivent toucher aucun cadre ni aucun symbole distinctif. Voir, par exemple, le symbole 12-29-03.
- 10.1 Symbol 13-02-01 or 13-02-02 of IEC Publication 617-13 may be used to denote an input or an output carrying analogue or digital signals respectively.
- 10.2 For supply voltage inputs having special effects, use symbol 13-03-11 of IEC Publication 617-13.
- 10.3 In principle, the direction of signal flow is from left to right and from top to bottom. If this rule cannot be maintained or the direction of signal flow is not obvious, then the signal lines should be marked with arrowheads pointing in the direction of signal flow. These arrowheads shall not touch the outline or any qualifying symbol. See for example symbol 12-29-03.