

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60617-12

Troisième édition
Third edition
1997-12

Symboles graphiques pour schémas –

**Partie 12:
Opérateurs logiques binaires**

Graphical symbols for diagrams –

**Part 12:
Binary logic elements**



Numéro de référence
Reference number
CEI/IEC 60617-12:1997

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
Accès en ligne*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement (Accès en ligne)*

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
On-line access*
- **Catalogue of IEC publications**
Published yearly with regular updates (On-line access)*

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60617-12

Troisième édition
Third edition
1997-12

Symboles graphiques pour schémas –

**Partie 12:
Opérateurs logiques binaires**

Graphical symbols for diagrams –

**Part 12:
Binary logic elements**

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembe Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XF**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	6
INTRODUCTION	8
 Chapitre I : Généralités	
1 Domaine d'application	10
1A Références normatives	10
2 Notes générales	10
3 Explication de termes	12
 Chapitre II : Formation des symboles	
4 Composition d'un symbole	14
5 Cadres	18
6 Emploi et associations de cadres	19
 Chapitre III : Symboles distinctifs associés aux accès et connexions internes	
7 Négation, polarité logique et entrée dynamique	28
8 Connexions internes	31
9 Symboles intérieurs aux cadres	38
10 Accès non concernés par une information logique binaire, sens de propagation de l'information	69
 Chapitre IV : Notation de dépendance	
11 Exposé	72
12 Convention	72
13 Types de dépendances	74
14 Dépendance ET	78
15 Dépendance OU	81
16 Dépendance de NÉGATION	82
17 Dépendance d'INTERCONNEXION	83
17A Dépendance de TRANSMISSION	85
18 Dépendance de COMMANDE	88
19 Dépendance MISE À UN et dépendance MISE À ZÉRO	90
20 Dépendance de VALIDATION	93
21 Dépendance de MODE	94
22 Comparaison entre les influences C, EN, et M sur les entrées	98
23 Dépendance ADRESSE	98
24 Techniques particulières de symbolisation pour la notation de dépendance	104
25 Ordre de marquages des accès	107

CONTENTS

	Page
FOREWORD	7
INTRODUCTION	9
Chapter I : General	
1 Scope	11
1A Normative references	11
2 General notes	11
3 Explanation of terms	13
Chapter II : Symbol construction	
4 Composition of the symbol	15
5 Outlines	18
6 Use and combination of outlines	19
Chapter III : Qualifying symbols associated with inputs, outputs, and other connections	
7 Negation, logic polarity and dynamic input	28
8 Internal connections	31
9 Symbols inside the outline	38
10 Non-logic connections and signal-flow indicators	69
Chapter IV : Dependency notation	
11 General explanation	72
12 Convention	72
13 Types of dependency	74
14 AND dependency	78
15 OR dependency	81
16 NEGATE dependency	82
17 INTERCONNECTION dependency	83
17A TRANSMISSION dependency	85
18 CONTROL dependency	88
19 SET and RESET dependency	90
20 ENABLE dependency	93
21 MODE dependency	94
22 Comparison of C-, EN- and M-effects on inputs	98
23 ADDRESS dependency	98
24 Special techniques used in dependency notation	104
25 The ordering of labels associated with inputs and with outputs	107

Chapitre V : Opérateurs combinatoires et séquentiels

26	Notes générales	115
27	Opérateurs combinatoires	116
28	Exemples d'opérateurs combinatoires	120
29	Exemples d'amplificateurs, émetteurs, récepteurs et commutateurs électroniques ..	126
30	Opérateurs à hystérésis	131
31	Exemples d'opérateurs à hystérésis	131
32	Convertisseurs de code, transcodeurs	133
33	Exemples de transcodeurs	144
34	Convertisseur de niveau de signal avec ou sans séparation électrique	150
35	Exemples de convertisseurs de niveau de signal	150
36	Multiplexeurs et démultiplexeurs	151
37	Exemples de multiplexeurs et démultiplexeurs	153
38	Opérateurs arithmétiques	157
39	Exemples d'opérateurs arithmétiques	159
40	Opérateurs binaires à retard	165
41	Opérateurs bistables	167
42	Exemples d'opérateurs bistables	169
43	Indication de propriétés particulières d'opérateurs bistables à la mise sous tension ..	173
44	Opérateurs monostables	174
45	Exemples d'opérateurs monostables	175
46	Opérateurs astables	176
47	Exemples d'opérateurs astables	178
48	Registres à décalage et compteurs	179
49	Exemples de registres à décalage et de compteurs	181
50	Mémoires	191
51	Exemples de mémoires	193
52	Afficheurs	203
53	Exemples d'afficheurs	205

Chapitre VI : Opérateurs pour fonctions complexes

54	Symbole général et règles de base	209
55	Indicateurs de bus et représentation de voies de données	216
56	Exemples d'opérateurs de fonctions complexes	220

Annexes

A	Index alphabétique français	222
B	Index alphabétique anglais	237
C	Index des dispositifs où sont figurés les symboles	243

Chapter V : Combinative and sequential elements

26	General notes	115
27	Combinative elements	116
28	Examples of combinative elements	120
29	Examples of buffers, drivers, receivers, and bidirectional switches	126
30	Elements with hysteresis	131
31	Examples of elements with hysteresis	131
32	Coders, code converters	133
33	Examples of code converters	144
34	Signal-level converters with or without electrical isolation	150
35	Examples of signal-level converters	150
36	Multiplexers and demultiplexers	151
37	Examples of multiplexers and demultiplexers	153
38	Arithmetic elements	157
39	Examples of arithmetic elements	159
40	Binary delay elements	165
41	Bistable elements	167
42	Examples of bistable elements	169
43	Indication of special switching properties of bistable elements	173
44	Monostable elements	174
45	Examples of monostable elements	175
46	Astable elements	176
47	Examples of astable elements	178
48	Shift registers and counters	179
49	Examples of shift registers and counters	181
50	Memories	191
51	Examples of memories	193
52	Display elements	203
53	Examples of display elements	205

Chapter VI : Complex-function elements

54	General symbol and basic rules	209
55	Bus indicators and data path representation	216
56	Examples of complex-function elements	220

Annexes

A	French alphabetical index	222
B	English alphabetical index	237
C	Index of devices for which symbols are shown	243

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYMBOLES GRAPHIQUES POUR SCHÉMAS –

Partie 12 : Opérateurs logiques binaires

AVANT-PROPOS

- 1) La CEI (Commission Électrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant des questions techniques, représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales; ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60617-12 a été établie par le sous-comité 3A : Symboles graphiques pour schémas, du comité d'études 3 de la CEI : Documentation et symboles graphiques.

Cette troisième édition annule et remplace la deuxième édition parue en 1991, l'amendement 1 (1992) et l'amendement 2 (1994). Cette troisième édition constitue une révision technique.

Le texte de la présente norme est issu des documents suivants :

FDIS	Rapports de vote
3A/407/FDIS	3A/429/RVD
3A/431/FDIS	3A/463/RVD

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Les annexes A, B et C sont données uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

GRAPHICAL SYMBOLS FOR DIAGRAMMS –**Part 12: Binary logic elements**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60617-12 has been prepared by sub-committee 3A: Graphical symbols for diagrams, of IEC technical committee 3: Documentation and graphical symbols.

This third edition cancels and replaces the second edition, published in 1991, amendment 1 (1992), and amendment 2 (1994). This third edition constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Reports on voting
3A/407/FDIS	3A/429/RVD
3A/431/FDIS	3A/463/RVD

Full information on the voting for the approval of this standard can be found in the reports on voting indicated in the above table.

Annexes A, B and C are for information only.

INTRODUCTION

La présente Norme internationale constitue un élément d'une série qui traite de symboles graphiques pour schémas.

Cette série comporte les parties suivantes :

Partie 1 : Généralités, index général. Tables de correspondance

Partie 2 : Eléments de symboles, symboles distinctifs et autres symboles d'application générale

Partie 3 : Conducteurs et dispositifs de connexion

Partie 4 : Composants passifs

Partie 5 : Semiconducteurs et tubes électroniques

Partie 6 : Production, transformation et conversion de l'énergie électrique

Partie 7 : Appareillage et dispositifs de commande et de protection

Partie 8 : Appareils de mesure, lampes et dispositifs de signalisation

Partie 9 : Télécommunications: Commutation et équipements périphériques

Partie 10 : Télécommunications: Transmission

Partie 11 : Schémas et plans d'installation, architecturaux et topographiques

Partie 12 : Opérateurs logiques binaires

Partie 13 : Opérateurs analogiques

INTRODUCTION

This International Standard forms an element of a series which deals with graphical symbols for diagrams.

The series consists of the following parts:

- Part 1: General information, general index. Cross-reference tables
- Part 2: Symbol elements, qualifying symbols and other symbols having general application
- Part 3: Conductors and connecting devices
- Part 4: Passive components
- Part 5: Semiconductors and electron tubes
- Part 6: Production and conversion of electrical energy
- Part 7: Switchgear, controlgear and protective devices
- Part 8: Measuring instruments, lamps and signalling devices
- Part 9: Telecommunications: Switching and peripheral equipment
- Part 10: Telecommunications: Transmission
- Part 11: Architectural and topographical installation plans and diagrams
- Part 12: Binary logic elements
- Part 13: Analogue elements

SYMBOLES GRAPHIQUES POUR SCHÉMAS –

Partie 12 : Opérateurs logiques binaires

Chapitre I : Généralités

1 Domaine d'application

La présente partie de la CEI 60617 contient des symboles graphiques établis pour représenter des fonctions logiques. Ces symboles sont également destinés à représenter les dispositifs physiques capables de réaliser lesdites fonctions. Les symboles visent les dispositifs électriques mais peuvent pour la plupart être appliqués à des dispositifs non électriques, par exemple pneumatiques, hydrauliques ou mécaniques.

1A Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 60617. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente partie de la CEI 60617 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

- CEI 60617-2 : 1996, *Symboles graphiques pour schémas – Partie 2 : Eléments de symboles, symboles distinctifs et autres symboles d'application générale*
- CEI 60617-3 : 1996, *Symboles graphiques pour schémas – Partie 3 : Conducteurs et dispositifs de liaison*
- CEI 60617-10 : 1996, *Symboles graphiques pour schémas – Partie 10 : Télécommunications : Transmission*
- CEI 60617-13 : 1993, *Symboles graphiques pour schémas – Partie 13 : Opérateurs analogiques*
- CEI 61082-1 : 1991, *Etablissement des documents utilisés en électrotechnique – Partie 1 : Prescriptions générales*
- CEI 61082-2 : 1993, *Etablissement des documents utilisés en électrotechnique – Partie 2 : Schémas adaptés à la fonction*
- ISO 31-11 : 1992, *Grandeurs et unités – Partie 11 : Signes et symboles mathématiques à employer dans les sciences physiques et dans la technique*

2 Notes générales

2.1 Les symboles conformes à la CEI 60617-15 : Symboles graphiques recommandés : Quinzième partie: Opérateurs logiques binaires, seront encore nécessaires pour une période transitoire prolongée mais devraient être progressivement remplacés par les symboles représentés dans la présente norme. Bien que déconseillé, l'emploi d'autres symboles définis par des normes nationales, notamment les symboles se distinguant par la forme des cadres à la place des symboles 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 et 12-28-04, n'est

GRAPHICAL SYMBOLS FOR DIAGRAMS – Part 12: Binary logic elements

Chapter I: General

1 Scope

This part of IEC 60617 contains graphical symbols that have been developed to represent logic functions. They are intended also to represent physical devices or combinations of physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but many can also be applied to non-electrical devices, for example pneumatic, hydraulic or mechanical.

1A Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60617. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60617 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60617-2: 1996, *Graphical symbols for diagrams – Part 2: Symbol elements, qualifying symbols and other symbols having general application*

IEC 60617-3: 1996, *Graphical symbols for diagrams – Part 3: Conductors and connecting devices*

IEC 60617-10: 1996, *Graphical symbols for diagrams – Part 10: Telecommunication: Transmission*

IEC 60617-13: 1993, *Graphical symbols for diagrams – Part 13: Analogue elements*

IEC 61082-1: 1991, *Preparation of documents used in electrotechnology – Part 1: General requirements*

IEC 61082-2: 1993, *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*

ISO 31-11: 1992, *Quantities and units – Part 11: Mathematical signs and symbols for use in the physical sciences and technology*

2 General notes

2.1 Symbols in accordance with the superseded IEC 60117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, that is distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other

pas considéré comme contradictoire à la présente norme. Toutefois, l'emploi de tels symboles dans les symboles combinés d'opérateurs complexes (par exemple en figuration imbriquée) est vivement déconseillé.

2.2 Les définitions et correspondances entre états logiques et niveaux logiques sont données dans la CEI 61082-2.

2.3 La présente norme utilise les symboles 0 et 1 pour identifier les deux états logiques d'une variable binaire qui sont désignés par «état 0» et «état 1».

2.4 Une variable binaire peut s'identifier à une certaine grandeur physique pour laquelle deux domaines distincts peuvent être définis. Dans la présente norme, ces domaines sont identifiés à deux niveaux logiques H et L. H désigne le niveau le plus positif, L désigne le niveau le moins positif.

2.5 Dans le cas de système dans lequel les états logiques sont identifiés par d'autres caractéristiques (impulsions positives et négatives, présence ou absence d'une impulsion), H et L peuvent encore être utilisés ou être remplacés par une désignation mieux appropriée.

3 Explication de termes

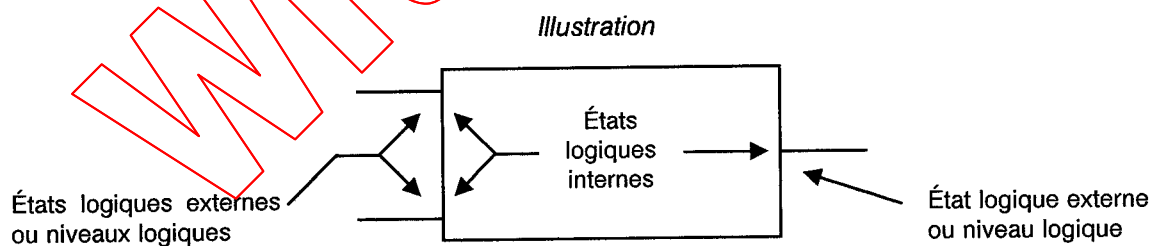
Pour la compréhension de la suite de la présente norme, les trois notions suivantes sont nécessaires.

3.1 État logique interne : état logique réputé exister à l'intérieur du symbole à un accès (entrée ou sortie).

3.2 État logique externe : état logique réputé exister à l'extérieur du symbole:

- sur tout tracé d'entrée, avant tout symbole distinctif attaché à cette entrée, ou
- sur tout tracé de sortie, après tout symbole distinctif attaché à cette sortie.

3.3 Niveau logique : propriété physique réputée représenter un état logique d'une variable binaire (voir articles 2.3 et 2.4).



symbols in combination to form complex symbols (for example, use as embedded symbols) is discouraged.

2.2 For explanation of “logic states”, “logic levels”, etc., see IEC 61082-2.

2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.

2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L. H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (for example positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

3 Explanation of terms

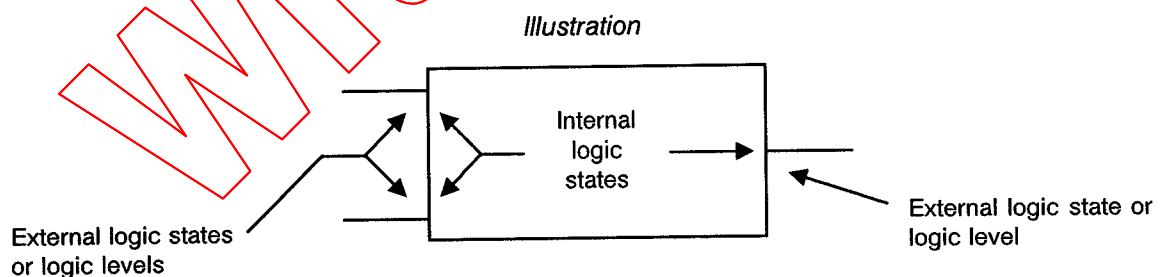
To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

3.1 “Internal logic state” describes a logic state assumed to exist inside a symbol outline at an input or an output.

3.2 “External logic state” describes a logic state assumed to exist outside a symbol outline:

- on an input line prior to any external qualifying symbol at that input, or
- on an output line beyond any external qualifying symbol at that output.

3.3 “Logic level” describes the physical quality assumed to represent a logic state of a binary variable (see clauses 2.3 and 2.4).

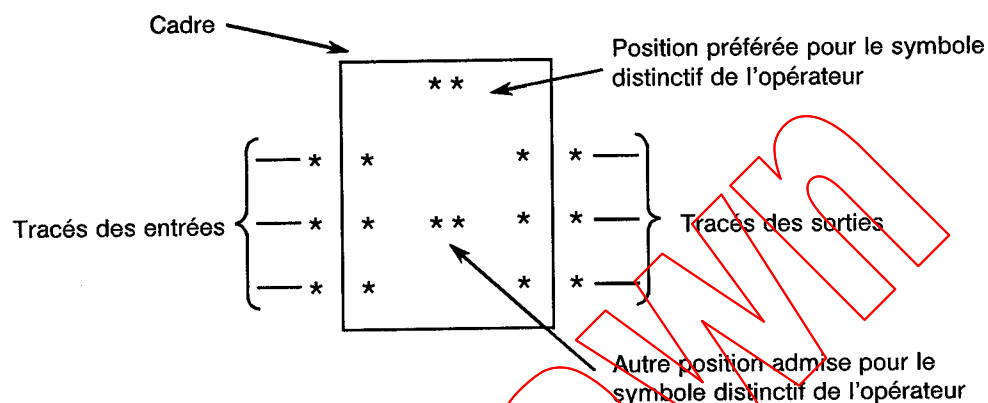


Chapitre II : Formation des symboles

4 Composition d'un symbole

4.1 Un symbole comprend un cadre, ou un groupement de cadres, complété de symboles distinctifs.

L'utilisation de ces symboles nécessite en outre le tracé des accès (entrées ou sorties).



Les astérisques simples (*) indiquent les positions possibles pour les symboles distinctifs intéressant les accès.

Un symbole distinctif de l'opérateur n'est pas nécessaire si et seulement si les symboles distinctifs associés aux accès définissent complètement la fonction de cet opérateur.

4.2 Des informations complémentaires peuvent être insérées dans le cadre comme précisé par la CEI 61082-1.

4.3 Une information non couverte par la présente norme concernant un accès donné peut être portée entre crochets à l'intérieur du cadre au droit de cet accès, à la suite de tout symbole distinctif s'appliquant à cet accès, s'il s'agit d'une entrée, et avant tout symbole distinctif s'il s'agit d'une sortie, comme figuré au symbole 12-28-14.

Une information complémentaire intéressant la fonction de l'opérateur peut être inscrite entre crochets à l'intérieur du cadre.

4.4 Toutes les sorties d'un opérateur unitaire ont le même état logique interne, déterminé par la fonction de l'opérateur, à moins d'une indication contraire, fournie par un symbole distinctif associé à une sortie et placée à l'intérieur du cadre. Dans un groupement d'opérateurs, les symboles distinctifs, qu'ils figurent explicitement ou soient seulement impliqués du fait des simplifications prévues à l'article 6.3, sont également à considérer.

4.5 Dans de nombreuses figures, des lettres minuscules qui ne font pas partie du symbole apparaissent à l'extérieur du cadre; elles sont ajoutées dans le seul but d'identifier les accès référencés dans les légendes.

4.6 Dans la présente norme, les symboles et légendes sont destinés à une direction de propagation de l'information de la gauche vers la droite. Si, au contraire, un symbole est destiné à une direction de propagation de l'information de la droite vers la gauche, ce fait est indiqué explicitement dans la légende du symbole ou par le symbole lui-même.

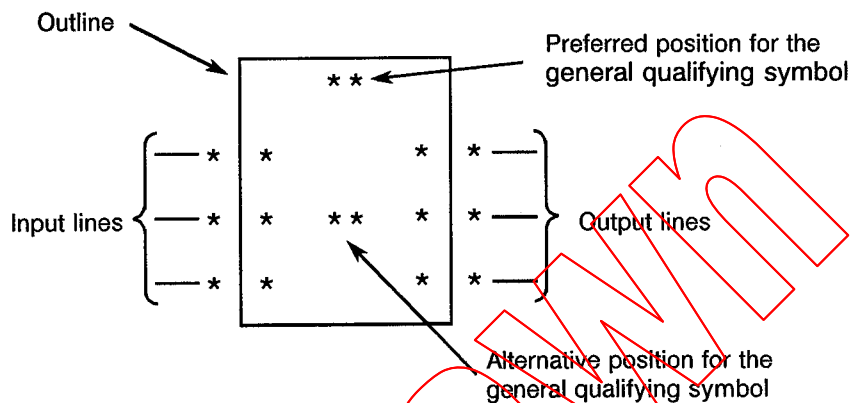
En interprétant un symbole, on doit supposer, sauf indication contraire, qu'un accès figuré à gauche par rapport au sens normal de lecture des notations à l'intérieur d'un symbole est une entrée, et

Chapter II: Symbol construction

4 Composition of the symbol

4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols.

Application of the symbols requires in addition the representation of input and output lines.



The single asterisks (*) denote possible positions for qualifying symbols relating to inputs and outputs.

If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/ or outputs, no general qualifying symbol is needed.

4.2 General additional information may be included in a symbol outline as described in IEC 61082-1.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in square brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in square brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of clause 6.3.

4.5 In some figures, lowercase letters which are not part of the symbols have been shown outside the outline just to identify the inputs [outputs] as referred to in the description.

4.6 The symbols and descriptions in this standard are intended for signal flow from left to right. If a symbol is instead intended for right-to-left flow, this is explicitly stated in the description of the symbol or indicated in the symbol itself.

When interpreting a symbol, one should assume, unless otherwise indicated, that a terminal shown on the left with respect to the normal reading orientation of the labels inside the symbol is an input,

qu'un accès figuré à droite est une sortie. Il est permis de figurer des entrées à droite et des sorties à gauche si cette représentation sert la mise en pages du schéma ou est une meilleure expression de la structure de l'opérateur.

La direction de propagation de l'information doit être impliquée ou représentée clairement. L'indication explicite peut être donnée par l'utilisation de symboles distinctifs qui sont propres à l'indication de la direction de propagation de l'information (tels que les symboles définis uniquement pour des entrées ou pour des sorties, ou des symboles distinctifs de l'opérateur qui indiquent la direction de propagation de l'information) ou par d'autres symboles connectés à l'accès sur le schéma.

Si la direction de propagation de l'information sur une ligne terminale n'est pas claire, cette ligne doit être marquée par une flèche (symbole 02-05-01 de la CEI 60617-2) indiquant la direction de propagation de l'information ou par le symbole pour la propagation bilatérale de l'information (symbole 12-10-02), selon l'application. Aucune flèche ne doit toucher le cadre ni aucun autre symbole distinctif. Voir, par exemple, le symbole 12-29-06.

4.7 Les symboles suivants doivent être orientés comme il est décrit ou indiqué dans la présente norme en ce qui concerne les entrées, sorties et cadres des éléments représentés, c'est-à-dire que ces symboles, conjointement avec leurs lignes terminales associées, doivent être renversés quand la direction de propagation de l'information est renversée :

10-15-01	Amplificateur, symbole général (voir la CEI 60617-10)
12-07-01	Négation logique, figurée sur une entrée
à	
12-07-09	Entrée dynamique avec indicateur de polarité
inclus	
12-08-01	Connexion interne
à	
12-08-06	Sortie interne (sortie virtuelle)
inclus	
12-09-08A	Sortie avec amplification particulière
12-09-08B	Entrée avec amplification particulière
12-09-24	Groupe ment numérique d'entrée à plusieurs bits
12-09-25	Groupe ment numérique de sorties à plusieurs bits
12-09-47	Groupe ment de liaison d'entrée
12-09-48	Groupe ment de liaison de sortie
12-55-01	Indicateur de bus, unilatéral

Voir, par exemple, le symbole 12-07-03 et sa version renversée 12-07-05.

Tout autre symbole distinctif doit être orienté comme représenté dans la présente norme en ce qui concerne le texte à l'intérieur de l'élément.

Pour des informations supplémentaires concernant l'orientation des symboles, voir 4.3.4 de la CEI 1082-1.

and that one shown on the right is an output. Inputs may also be shown on the right and outputs on the left if it aids the layout of the diagram or better conveys the structure of the device.

The direction of signal flow shall be clearly implied or indicated. Explicit indication may be done by using qualifying symbols that inherently indicate the direction of signal flow (such as qualifying symbols defined only for inputs or only for outputs, or general qualifying symbols that indicate flow direction) or by other symbols on the diagram that are connected to the terminal.

If the direction of signal flow on a terminal line is not otherwise obvious, that line shall be marked with an arrowhead (symbol 02-05-01 of IEC 60617-2) pointing in the direction of signal flow or with the symbol for bidirectional signal flow (symbol 12-10-02), whichever applies. No arrowhead shall touch the outline or any other qualifying symbol. See, for example, symbol 12-29-06.

4.7 The following symbols shall be oriented as described or shown within this standard with respect to the inputs, outputs and outlines of the elements in which they appear. That is, these symbols, together with any associated terminal lines, shall be mirrored when the direction of signal flow is reversed:

10-15-01	Amplifier, general symbol (see IEC 60617-10)
12-07-01	Logic negation, shown at an input
up to and including 12-07-09	Dynamic input with polarity indicator
12-08-01	Internal connection
up to and including 12-08-06	Internal output (virtual output)
12-09-08A	Output with special amplification
12-09-08B	Input with special amplification
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-47	Line grouping at the input side
12-09-48	Line grouping at the output side
12-55-01	Bus indicator, unidirectional

See, for example, symbol 12-07-03 and its mirrored version 12-07-05.

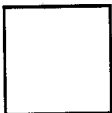
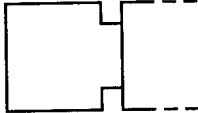
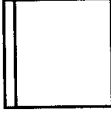
All other qualifying symbols shall be oriented as shown with respect to the text inside the element.

For more information about the orientation of symbols, see 4.3.4 of IEC 61082-1.

5 Outlines

5 Cadres

- 5.1 Aucun rapport longueur-largeur n'est imposé.
- 5.2 Pour les combinaisons de cadres, voir la section 6.

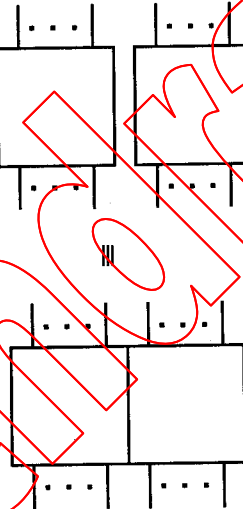
No.	Symbole	Légende	Description
12-05-01		Cadre d'un opérateur (représenté carré)	Element outline (square shown)
12-05-02		Cadre du symbole des communs	Common control block outline
12-05-03		Cadre d'opérateur commun de sortie	Common output element outline

6 Emploi et associations de cadres

6.1 Pour réduire la place nécessaire à la représentation d'un groupement d'opérateurs associés, les cadres de ces opérateurs peuvent être accolés ou imbriqués entre eux en respectant les prescriptions ci-après.

6.1.1 Il n'y a aucune connexion logique entre éléments lorsque le côté commun à leur cadre est parallèle à la direction de propagation des informations.

Illustration



NOTE — Cette règle se trouve sans objet pour les groupements d'opérateurs dans lesquels existent deux ou plusieurs directions de propagation, par exemple dans le cas de symbole des communs, d'opérateur commun de sortie, ou de notation de dépendance.

6.1.2 Il y a au moins une connexion logique entre des opérateurs si le trait commun aux deux cadres est perpendiculaire à la direction de propagation des informations.

Puisque les symboles des communs ne sont pas des opérateurs, il n'existe pas de connexion logique en direction ou provenant d'un symbole des communs, à l'exception de celles allant vers le groupe-ment attaché et les connexions qui sont figurées explicitement.

6 Use and combination of outlines

6.1 To reduce the space required for the representation of a group of associated elements, the outlines of the elements may be joined or embedded provided the following rules are observed.

6.1.1 There is no logic connection between elements when the line common to their outlines is in the direction of signal flow.

NOTE — This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, for example indicated by a common control block, a common output element, or by dependency notation.

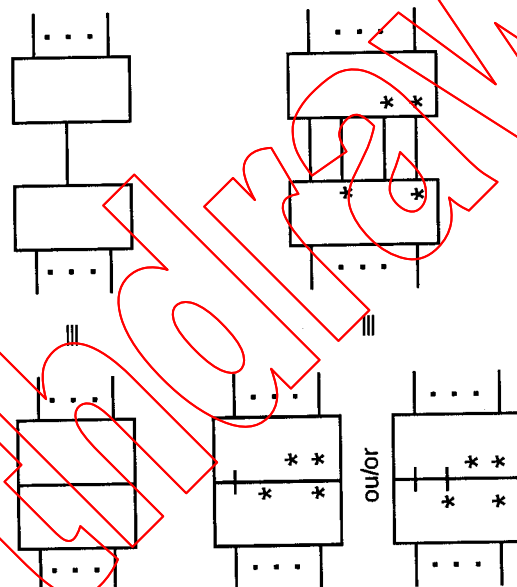
6.1.2 There is at least one logic connection between elements if the line common to the two outlines is perpendicular to the direction of signal flow.

Because common control blocks are not elements, no logic connections to or from a common control block exist except those to the attached array and connections that are explicitly shown.

Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion is likely about the number of logic connections, use should be made of the internal connection symbol (symbol 12-08-01).

If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

Illustrations

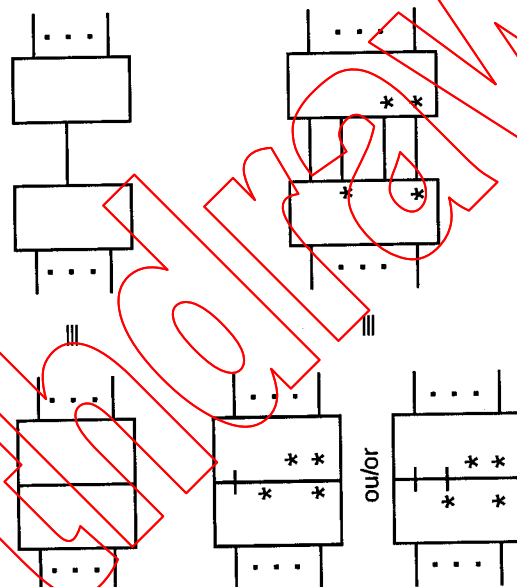


Each asterisk denotes a position for a qualifying symbol

Chaque connexion peut être indiquée par des symboles distinctifs placés sur un côté ou de chaque côté du trait commun. S'il peut y avoir doute sur le nombre de connexions logiques, le symbole de connexion interne (symbole 12-08-01) doit être utilisé.

Si aucune indication n'est portée de l'un ou de l'autre côté du trait commun, il n'y a qu'une seule connexion logique.

Illustrations



Chaque astérisque indique une position d'un symbole distinctif

6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

6.2 Le symbole des communs peut être utilisé dans un groupement d'opérateurs associés pour y placer les accès intéressant plus d'un d'entre eux ou ayant un rôle indépendant. De tels accès doivent être marqués si nécessaire.

6.2.1 Quand une entrée aboutissant au symbole des communs est influençante au sens de la notation de dépendance (voir sections 11 et 12), elle concerne les seuls opérateurs du groupement dans lesquels se trouve son numéro d'identification. Quand une telle entrée n'est pas influençante, elle concerne tous les opérateurs du groupement.

Le symbole des communs est placé à une extrémité du groupement.

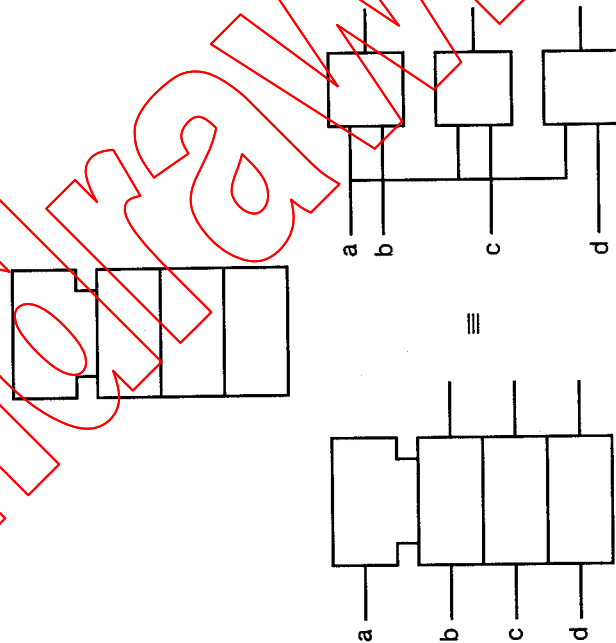
Sauf indication contraire, l'opérateur jouxtant le symbole des communs est réputé être celui de rang le plus bas.

6.2.1 If an input shown at a common control block is an affecting input in the sense of dependency notation (see sections 11 and 12), it is connected as an input only to those elements of the array in which its identifying number appears. If an input shown at a common control block is not an affecting input in the sense of dependency notation, it is an input common to, or affecting, all elements of the array.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

Illustrations



6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

A common output element is shown

- inside the common control block, or
- at the end of the array, opposite the common control block if there is one.

Where it is appropriate to show an array of common output elements, the double line needs to be shown only once.

6.2.2 Une sortie commune, résultant de tous les éléments d'un groupement, peut être représentée comme sortie d'un opérateur commun de sortie. Dans le cas où un quelconque élément du groupement a plus d'une sortie, l'opérateur commun de sortie ne peut être utilisé que si ces sorties ont toujours un même état logique interne. Il y a une connexion interne de chaque opérateur à l'opérateur commun de sortie, et ces connexions internes ne doivent pas être représentées. En outre, l'opérateur commun de sortie peut avoir d'autres entrées qui doivent être explicitement représentées. La fonction de l'opérateur commun de sortie doit être indiquée.

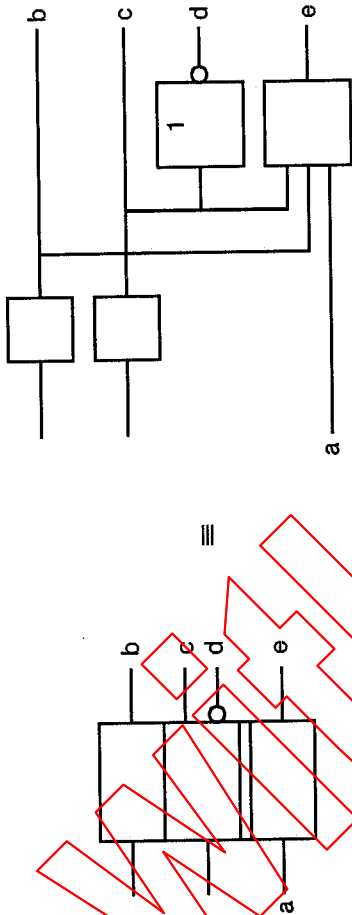
L'état logique interne d'une entrée d'un opérateur commun de sortie correspondant à une sortie du groupement est le même que celui de cette sortie.

L'opérateur commun de sortie est représenté

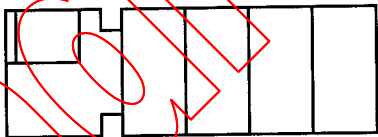
- soit à l'intérieur du symbole des communs,
- soit à l'extrémité du groupement, à l'opposé du symbole des communs.

Lorsqu'il convient de représenter un groupement d'opérateurs communs de sortie, il suffit de faire figurer le double trait supérieur une seule fois.

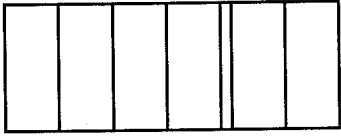
Illustrations



Groupement avec opérateur commun de sortie à l'intérieur du symbole des communs



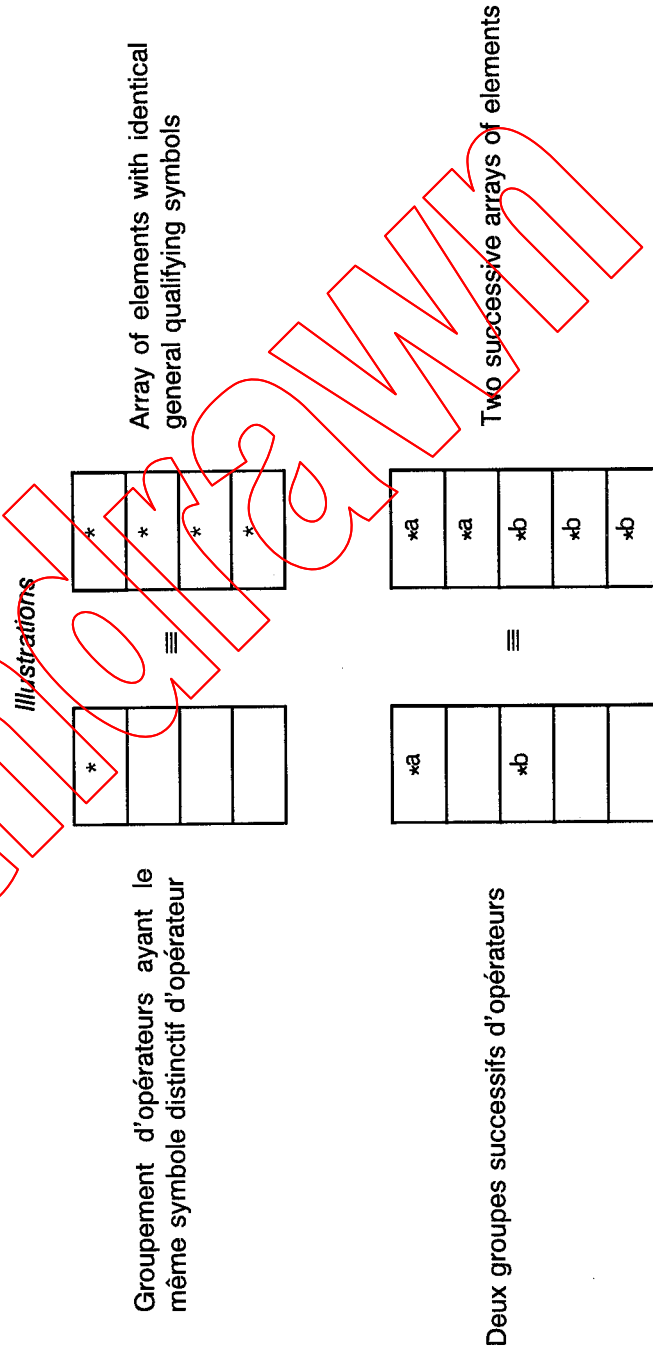
Array with common output element inside the common control block



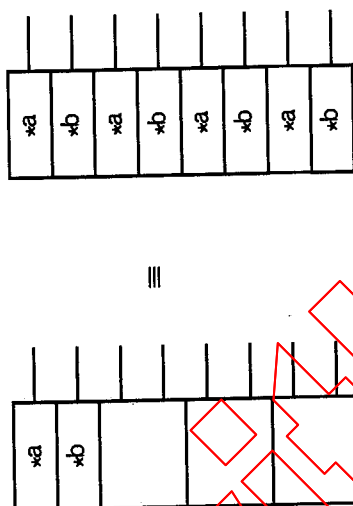
Array with two common output elements

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion is likely. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see section 14). See also the simplifications resulting from the use of dependency notation.

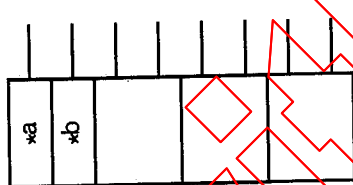
6.3 Pour un groupement d'opérateurs ayant les mêmes symboles distinctifs, il suffit d'inscrire ces symboles une seule fois dans le premier cadre, s'il n'en résulte aucune confusion. De même, dans le cas d'un groupement d'opérateurs comprenant plusieurs sous-ensembles identiques, le premier est représenté en détail et les suivants par un cadre vide. Il est entendu que les numéros d'identification des accès influençants au sens de la notation de dépendance et des accès influencés correspondants diffèrent dans chacun des opérateurs du groupement (pour illustration du concept, voir section 14). Voir aussi les simplifications procurées par l'emploi de la notation de dépendance.



Two interlaced arrays of elements



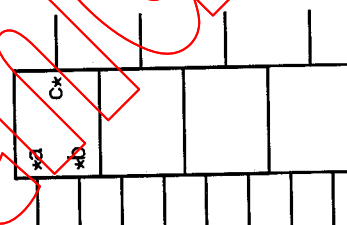
Groupement de quatre paires d'opérateurs



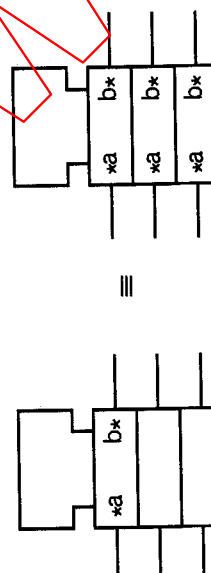
Array of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block



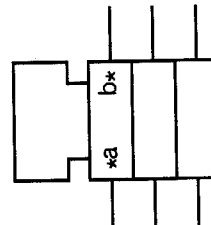
Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré sans symbole des communs



Array of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block



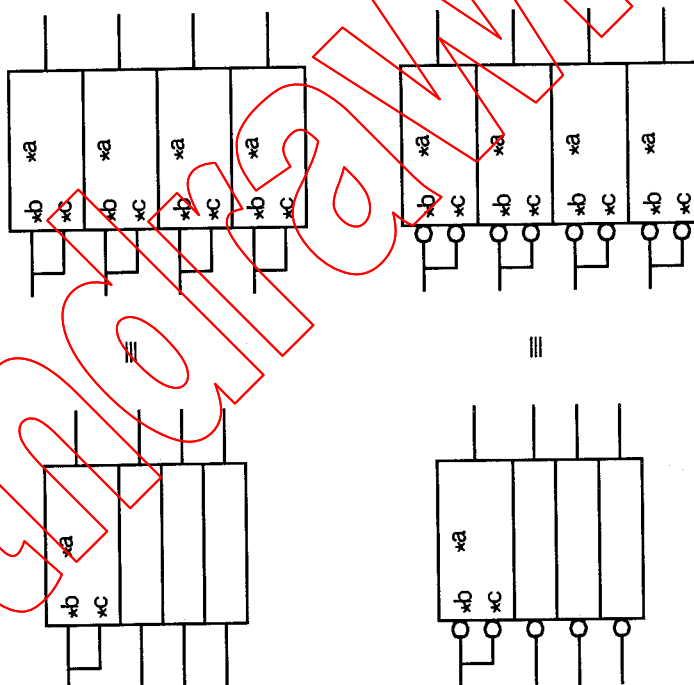
Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré avec symbole des communs

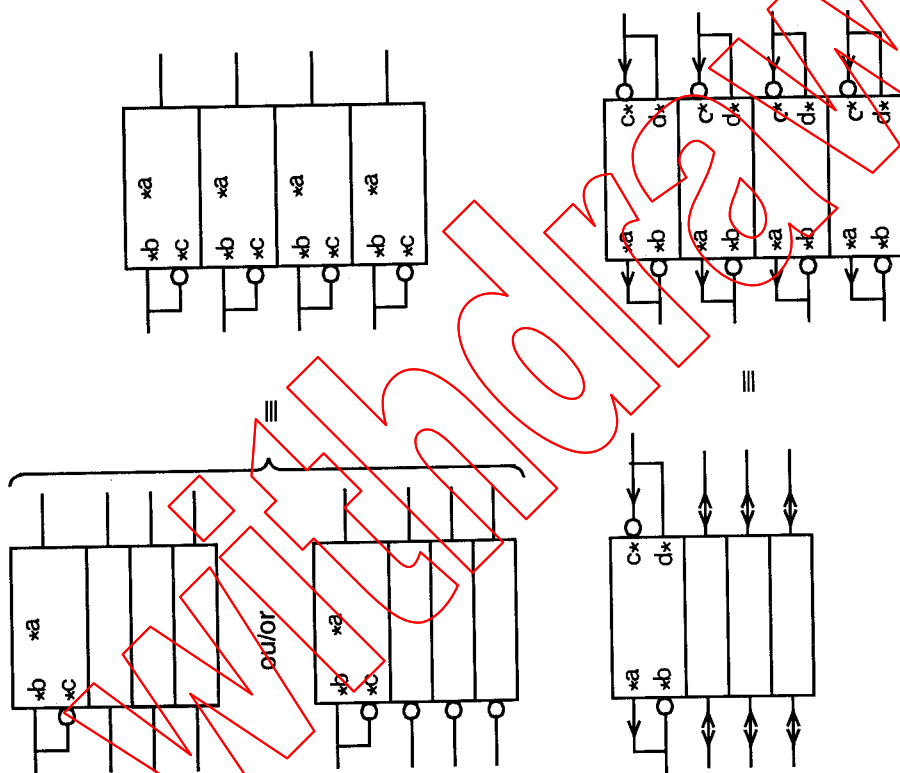


6.4 If in a simplified array of identical elements the representation of the functions of a terminal requires two or more lines connected together outside the outline, it is sufficient to show these lines only with the first element and represent them with each simplified element by a single line. Symbols outside the outline common to all lines connected together shall be shown with this single line. Symbols outside the outline not common to all lines connected together may be omitted, or the most suitable set may be shown.

6.4 Si, dans un groupement simplifié d'opérateurs identiques, la représentation des fonctions d'un accès nécessite deux ou plusieurs traits connectés en dehors du cadre, il suffit de figurer ces traits seulement avec le premier opérateur et de les représenter avec chaque opérateur simplifié par un trait unique. Des symboles extérieurs au cadres communs à tous les traits connectés doivent figurer avec ce trait unique. Des symboles extérieurs qui ne sont pas communs à tous les traits connectés peuvent être omis, ou l'ensemble le plus convenable peut figurer.

Illustrations





Chapitre III : Symboles distinctifs associés aux accès et connexions internes

7 Négation, polarité logique et entrée dynamique

Chacun des symboles de la présente section fixe une relation entre état logique interne et état logique externe ou niveau logique.

En l'absence de l'un de ces symboles figurant à une entrée ou une sortie, son état interne 1 est réputé correspondre

- dans un schéma utilisant le symbole de négation logique, à son état logique externe 1, ou
- dans un schéma utilisant le symbole de polarité logique, à son niveau logique H le plus positif.

Dans ce dernier cas de schéma, les états logiques externes n'existent pas.

Les symboles de négation logique et de polarité logique ne doivent pas être utilisés sur le même schéma, sauf dans le cas de connexions internes avec négation logique admises dans un schéma utilisant le symbole de polarité logique. Voir les symboles 12-08-02 et 12-08-04.

Voir aussi la CEI 61082-2.

Chapter III: Qualifying symbols associated with inputs, outputs and other connections

7 Negation, logic polarity and dynamic input

Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds to

- the external logic 1-state in a diagram using the symbol for logic negation, or
- the logic H-level in a diagram using the symbol for logic polarity.

In the latter diagram, external logic states do not exist.

The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity. See symbols 12-08-02 and 12-08-04.

See also IEC 61082-2.

No.	Symbol	Légende	Description
12-07-01		Négation logique, figurée sur une entrée	Logic negation, shown at an input
12-07-02		Négation logique, figurée sur une sortie L'état interne 1 correspond à l'état externe 0. NOTE — La ligne de connexion peut traverser le cercle.	Logic negation, shown at an output The internal 1-state corresponds to the external 0-state. NOTE — The connecting line may extend through the circle.
12-07-03		Polarité logique, figurée sur une entrée Indicateur de polarité, figuré sur une entrée	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04		Polarité logique, figurée sur une sortie Indicateur de polarité, figuré sur une sortie	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05		Polarité logique, figurée sur une entrée dans le cas de propagation des informations de droite à gauche Indicateur de polarité	Logic polarity, shown at an input in the case of signal flow from right to left Polarity indicator
12-07-06		Polarité logique, figurée sur une sortie dans le cas de propagation des informations de droite à gauche Indicateur de polarité L'état interne 1 correspond au niveau L sur la ligne de connexion.	Logic polarity, shown at an output in the case of signal flow from right to left Polarity indicator The internal 1-state corresponds to the L-level on the connecting line.

No.	Symbole Symbol	Légende	Description
12-07-07		Entrée dynamique L'état interne 1 (fugitif) apparaît seulement pendant la transition de l'état externe 0 à l'état externe 1. Dans tous les autres cas, l'état interne est 0. Dans le cas de schéma utilisant le symbole de polarité logique, l'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau L au niveau H sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input The (transitory) internal 1-state corresponds to the transition from the external 0-state to the external 1-state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds to the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Entrée dynamique avec négation logique L'état (fugitif) interne 1 apparaît seulement pendant la transition de l'état externe 1 à l'état externe 0. Dans tous les autres cas, l'état interne est 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds to the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Entrée dynamique avec indicateur de polarité L'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau H au niveau L sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds to the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

8 Connexions internes

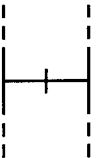
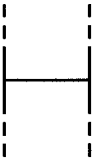
Les symboles de la présente section indiquent les relations entre états logiques internes des connexions internes.

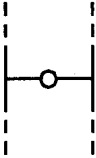
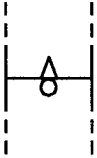
Une connexion interne est une connexion à l'intérieur d'un opérateur. Il est utile de pouvoir symboliser une telle connexion pour figurer les relations entre opérateurs regroupés. Dans beaucoup d'applications, il est bon d'utiliser les symboles de la présente section pour mettre en lumière les fonctions d'éléments complexes. Dans de tels cas, il convient d'utiliser la notation de dépendance est pour définir les effets des entrées internes ou des sorties internes.

8 Internal connections

The symbols in this section define the relationships between internal logic states at internal connections.

An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the functions of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

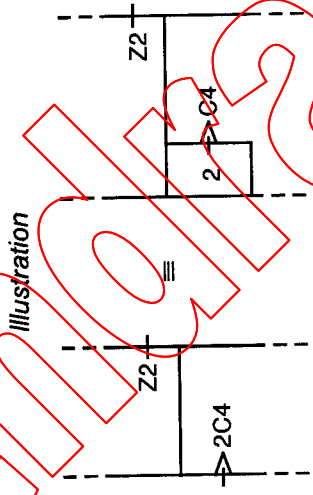
No.	Symbole Symbol	Légende	Description
12-08-01		Connexion interne Le symbole 12-08-01A peut être utilisé s'il n'en résulte pas de confusion au sujet du nombre de connexions logiques. Voir également 6.1.2.	Internal connection Symbol 12-08-01A may be used if no confusion is likely about the number of logic connections. See also 6.1.2.
12-08-01A		L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 1 [0] de la sortie de l'opérateur de gauche. Ces symboles ne peuvent être utilisés pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. En cas contraire, le symbole 12-08-08 doit être utilisé.	The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 1-state [0-state] of the output of the element on the left. These symbols may be used for a signal flow from right to left only if the direction of signal flow is obvious. Otherwise, symbol 12-08-08 shall be used.

No.	Symbole	Légende	Description
12-08-02		Connexion interne avec négation L'état interne 1[0] de l'entrée de l'opérateur de droite correspond à l'état interne 0[1] de la sortie de l'opérateur de gauche. Ce symbole ne peut être utilisé pour une direction de propagation de l'information de la droite vers la gauche que si la direction est évidente. Dans le cas contraire, le symbole 12-08-09 doit être utilisé. NOTE — Le trait vertical peut traverser le cercle.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds to the internal 0-state [1-state] of the output of the element on the left. This symbol may be used for a signal flow from right to left only if the direction of the signal flow is obvious. Otherwise, symbol 12-08-09 shall be used. NOTE — The vertical line may extend through the circle.
12-08-03		Connexion interne à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 0 à l'état interne 1 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-04		Connexion interne avec négation, à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 1 à l'état interne 0 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

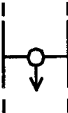
12-08-05		Entrée interne, figurée côté gauche Entrée virtuelle, figurée côté gauche	Internal input, shown on the left-hand side Virtual input, shown on the left-hand side
12-08-05A		Entrée interne, figurée côté droit Entrée virtuelle, figurée côté droit Cette entrée est toujours à l'état interne 1, à moins qu'elle ne soit modifiée par une dépendance prépondérante ou modifiante (voir symboles 12-42-12 et 12-49-02). Ces symboles peuvent être présentés aux limites externes d'un élément pour accentuer le fait qu'aucune ligne externe d'entrée n'a été oubliée. Il convient qu'une entrée virtuelle sur la ligne commune de séparation de deux éléments juxtaposés soit indiquée avec la notation de dépendance, sans ces symboles. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes.	Internal input, shown on the right-hand side Virtual input, shown on the right-hand side This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). These symbols may be shown at the external boundary of an element to emphasize the fact that there is no external input line that has been forgotten. A virtual input at the common boundary of two abutted elements should be indicated by dependency notation without these symbols. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07.
NOTES 1 Les entrées ou sorties internes ont seulement un état logique interne. 2 Il convient de ne pas confondre le symbole 12-08-05 avec le symbole 12-08-01, qui est utilisé pour une connexion entre des éléments aboutés.			

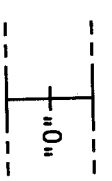
No.	Symbole Symbol	Légende	Description
12-08-06		Sortie interne, figurée côté droit Sortie virtuelle, figurée côté droit	Internal output, shown on the right-hand side Virtual output, shown on the right-hand side
12-08-06A		Sortie interne, figurée côté gauche Sortie virtuelle, figurée côté gauche L'action de cette sortie sur une entrée ou une sortie à laquelle elle est connectée doit être indiquée par la notation de dépendance. Sauf comme représenté par le symbole 12-08-07, les symboles de la section 7 ne doivent pas être appliqués aux entrées et sorties internes. NOTE — Les notes du symbole 12-08-05/12-08-05A sont applicables.	Internal output, shown on the left-hand side Virtual output, shown on the left-hand side The effect of this output on an input or output to which it is connected shall be indicated by dependency notation. The symbols of section 7 shall not be applied to internal inputs and outputs, except as shown in symbol 12-08-07. NOTE — The notes with symbol 12-08-05/12-08-05A apply.
12-08-07		Entrée interne à caractère dynamique, figurée côté gauche Entrée virtuelle à caractère dynamique, figurée côté gauche	Internal input with dynamic character, shown on the left-hand side Virtual input with dynamic character, shown on the left-hand side
12-08-07A		Entrée interne à caractère dynamique, figurée côté droit Entrée virtuelle à caractère dynamique, figurée côté droit L'état 1 interne (transitoire) correspond à la transition de l'état 0 interne à l'état 1 interne qui se produirait si l'entrée n'était pas dynamique.	Internal input with dynamic character, shown on the right-hand side Virtual input with dynamic character, shown on the right-hand side The (transitory) internal 1-state corresponds to the transition from the internal 0-state to the internal 1-state that would occur if this input were not dynamic.

		La source du signal de transition doit être représentée par une notation de dépendance. Le numéro d'identification de cette notation de dépendance doit être le caractère le plus à gauche dans la chaîne de la désignation de l'entrée, que cette entrée soit montrée sur la partie gauche ou sur la partie droite du cadre du symbole. NOTE — Pour un exemple d'utilisation, voir le symbole 12-47-01.	The source of the transitioning signal shall be shown by dependency notation. The identifying number of the transitioning signal shall be the left-most character in the label string at this input. This holds whether this input is shown on the left-hand side or on the right-hand side of the symbol outline. NOTE — For an example of use, see symbol 12-47-01.
--	--	--	---



No.	Symbol	Symbol	Légende	Description
12-08-08			Connexion interne, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 1 [état 0] de la sortie de l'élément de droite. S'il n'y a pas de confusion possible, on peut utiliser les symboles 12-08-01 ou 12-08-01A.	Internal connection for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 1-state [0-state] of the output of the element on the right. If no confusion is likely, symbols 12-08-01 or 12-08-01A may be used instead.

No.	Symbole Symbol	Légende	Description
12-08-09		Connexion interne avec négation logique, montrant une propagation d'information de droite à gauche L'état interne 1 [état 0] de l'entrée de l'élément de gauche correspond à l'état interne 0 [état 1] de la sortie de l'élément de droite. Si aucune confusion n'est possible, le symbole 12-08-02 peut être utilisé. NOTE — La note du symbole 12-08-02 est applicable.	Internal connection with logic negation for signal flow from right to left The internal 1-state [0-state] of the input of the element on the left corresponds to the internal 0-state [1-state] of the output of the element on the right. If no confusion is likely, symbol 12-08-02 may be used instead. NOTE — The note with symbol 12-08-02 applies.
12-08-10		Connexion interne à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l'élément de gauche correspond à la transition de l'état interne 0 à l'état interne 1 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 0-state to the internal 1-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.
12-08-11		Connexion interne avec négation logique à caractère dynamique, montrant une propagation d'information de droite à gauche L'état interne 1 (transitoire) de l'entrée de l'élément de gauche correspond à la transition de l'état interne 1 à l'état interne 0 de la sortie de l'élément de droite. Dans tous les autres cas, l'état logique interne de l'entrée de l'élément de gauche est 0.	Internal connection with logic negation and dynamic character for signal flow from right to left The (transitory) internal 1-state of the input of the element on the left corresponds to the transition from the internal 1-state to the internal 0-state of the output of the element on the right. At all other times, the internal logic state of the input of the element on the left is 0.

12-08-12		Sortie fixée à l'état 1, figurée sur une connexion interne Voir légende du symbole 12-09-50.	Fixed 1-state output, shown at an internal connection See description of symbol 12-09-50.
12-08-13		Sortie fixée à l'état 0, figurée sur une connexion interne Voir légende du symbole 12-09-51.	Fixed 0-state output, shown at an internal connection See description of symbol 12-09-51.

9 Symboles intérieurs aux cadres

Règles générales

9.1 Si des symboles distinctifs identiques définis dans cette section sont représentés sur deux ou plusieurs entrées pour indiquer les fonctions de ces entrées, les entrées sont considérées comme étant liées par une relation OU. Comme exemple, voir le symbole 12-42-06. Afin de respecter cette règle, les symboles suivants n'indiquent pas de fonctions et toute relation entre les entrées doit être spécifiée d'une autre manière :

12-09-02	Entrée à seuils
12-09-08B	Entrée avec amplification particulière
12-09-09	Entrée d'expansion
12-09-24	Groupe ment numérique d'entrée à plusieurs bits
12-09-25	Groupe ment numérique de sortie à plusieurs bits
12-09-25A	Groupe ment de marquage
12-09-47	Groupe ment de liaison d'entrée
12-09-49	Entrée de mode fixe

9.2 Les légendes des symboles 12-09-13 à 12-09-22 peuvent donner au lecteur l'impression qu'il s'agit d'entrées dynamiques. Ce n'est pas toujours le cas, car il est rappelé que l'état logique interne, déterminé par l'état ou le niveau logique externe, peut être éventuellement modifié par l'influence d'autres entrées (par exemple : entrées Cm). Si des entrées représentées par les symboles 12-09-13 à 12-09-22 ont un caractère dynamique, il y a lieu d'ajouter le symbole 12-07-07. Voir par exemple le symbole 12-47-01.

9 Symbols inside the outline

General rules

9.1 If identical qualifying symbols defined in this section are shown at two or more inputs to indicate the functions of those inputs, the inputs are assumed to stand in an OR relationship. For example, see symbol 12-42-06. For the purpose of this rule, the following do not indicate a function, and any relationship between the inputs shall be specified by some other means:

12-09-02	Bi-threshold input
12-09-08B	Input with special amplification
12-09-09	Extension input
12-09-24	Bit grouping for multibit input
12-09-25	Bit grouping for multibit output
12-09-25A	Label grouping
12-09-47	Line grouping at the input side
12-09-49	Fixed-mode input

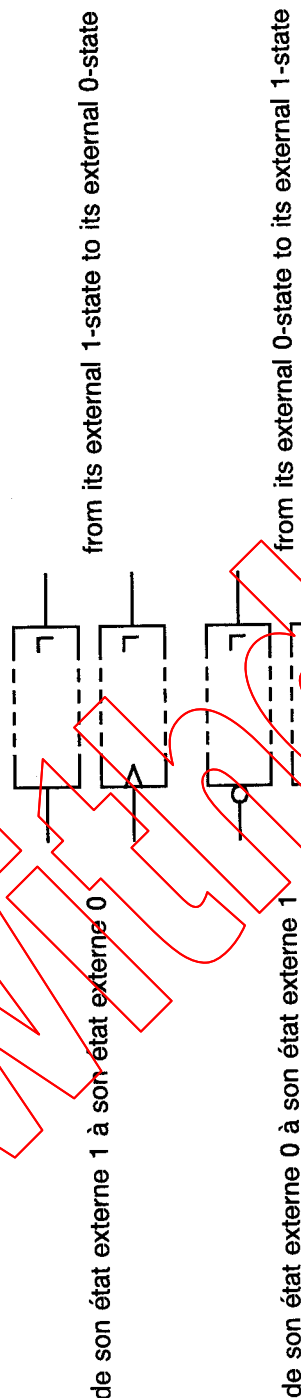
9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the impression that these are dynamic inputs. This is not always the case, as it must be remembered that the internal logic state is determined by the external logic state or level may possibly be modified by the effects of other inputs (for example, Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition. See, for example, symbol 12-47-01.

No.	Symbole Symbol	Légende	Description
12-09-01		Effet différé en sortie Sortie dont le changement d'état est différé jusqu'à ce que le signal d'entrée provoquant ce changement retourne à son état externe initial ou à son niveau logique initial. L'état logique interne de toute entrée influençant ce signal d'entrée ou influencée par celui-ci ne doit pas changer pendant que ce signal d'entrée est à l'état interne 1, sinon l'état résultant de la sortie n'est pas spécifié par le symbole. Si le signal d'entrée qui provoque le changement provient d'une connexion interne, ce changement d'état est différé jusqu'à ce que la sortie correspondante de l'opérateur précédent retourne à son état interne initial. Quand ce symbole est utilisé seul, il est entendu qu'il concerne toutes les entrées de l'un des types $\rightarrow$, $\leftarrow$, $+$, $-$, T et tout accès Cm (voir les symboles 12-18-01 et 12-18-02); en tout autre cas, on doit faire précéder ce symbole par les numéros d'identification (ou si nécessaire les marquages complets) des accès concernés. Voir le symbole 12-49-15. NOTES 1 Il convient de s'assurer que le tracé est à angle droit isocèle, afin d'éviter toute confusion, par exemple avec le chiffre 7. 2 La section 41 donne des précisions complémentaires pour l'emploi de ce symbole.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to each $\rightarrow$, $\leftarrow$, $+$, $-$, and T-input and to each Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed shall be shown as a prefix to this symbol. See symbol 12-49-15. NOTES 1 Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. 2 For the application of this symbol and additional explanation, see section 41.

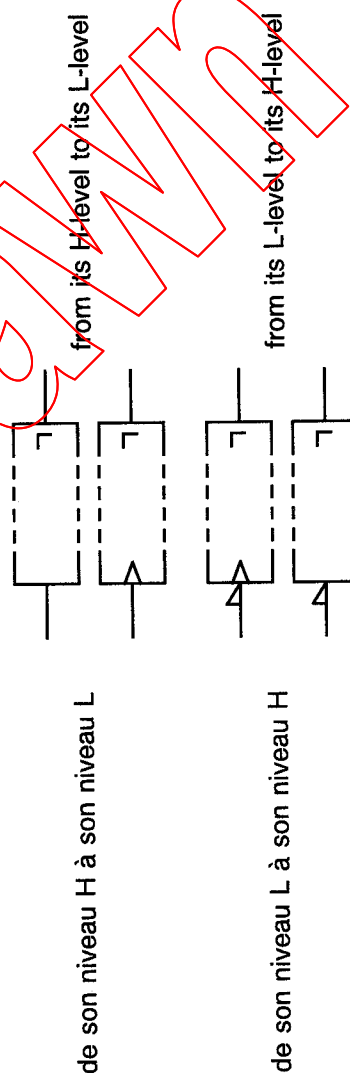
Illustrations

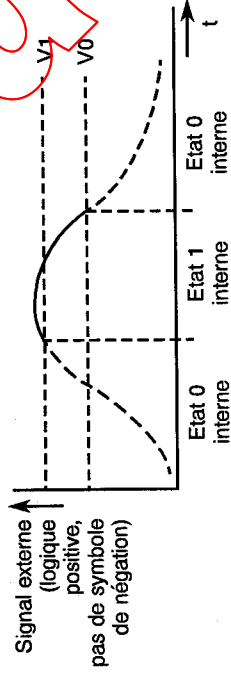
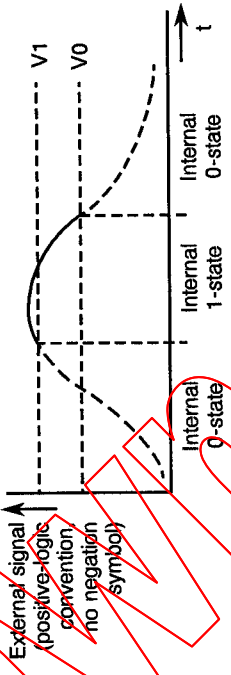
S'il n'y a pas d'autres entrées exerçant une action prépondérante, la transition à la sortie a lieu quand l'entrée passe

— dans un schéma utilisant le symbole de négation logique :

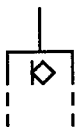
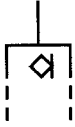


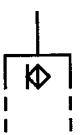
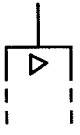
— dans un schéma utilisant le symbole de polarité logique :

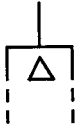


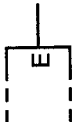
No.	Symbol	Symbol	Légende	Description
12-09-02			Entrée à seuils Entrée à hystérésis L'entrée prend l'état interne 1 quand le niveau externe du signal atteint une valeur de seuil V_1, et conserve cet état jusqu'à ce que ce niveau repasse en sens inverse par V_1 et atteigne une autre valeur de seuil V_0. Quand ce symbole figure, sans symbole de négation ou de polarité, dans un schéma utilisant soit le symbole de polarité logique, soit la convention de logique positive, V_1 est plus positif que V_0. S'il figure sur un schéma utilisant la convention logique négative, V_1 est plus négatif que V_0. Si la négation ou le symbole de polarité est présent à l'entrée, la relation entre V_1 et V_0 est inversée. La section 30 montre l'utilisation du symbole Π comme symbole distinctif de l'opérateur pour un élément.  NOTE — L'absence de ce symbole n'indique pas nécessairement qu'il n'y a pas d'hystérésis. La plupart des composants habituels indiquent cette caractéristique dans une certaine mesure. Il est recommandé d'utiliser ce symbole uniquement si l'identification de la caractéristique est importante dans l'utilisation du composant.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V_1. It maintains this state until the external signal level has returned through V_1 and reaches another threshold value V_0. If this symbol (without the negation symbol or polarity symbol) appears on a diagram that uses either the symbol for logic polarity or the positive-logic convention, V_1 is more positive than V_0. If it appears on a diagram that uses the negative-logic convention, V_1 is more negative than V_0. If the negation or polarity symbol is present at the input, the relationship between V_1 and V_0 is reversed. Section 30 shows the use of the symbol Π as a general qualifying symbol for an element.  NOTE — The absence of this symbol does not necessarily indicate the absence of hysteresis. Most practical devices exhibit this characteristic to some extent. This symbol should only be used when an identification of the characteristic is important to the application of the device.

No.	Symbole Symbol	Légende	Description
12-09-03		Sortie à circuit ouvert (par exemple collecteur ouvert, émetteur ouvert, canal drain ouvert, canal source ouvert) L'un des deux états logiques internes possibles de ce type de sortie correspond à une condition externe de haute impédance. Pour produire un niveau logique correct en cette condition, il est nécessaire que cette sortie soit connectée à un composant extérieur, souvent une résistance. Ce type de sortie est généralement capable de participer à une fonction fantôme. NOTES 1 Il convient que ce symbole jouxte le tracé de la sortie sauf lorsqu'il est fait usage du symbole de groupement numérique (symbole 12-09-25) de la manière définie à la section 25, qui autorise une autre position. 2 Bien que ce symbole figure à l'intérieur du cadre, il se rapporte seulement aux états logiques externes et aux niveaux logiques. 3 S'il est nécessaire d'indiquer le niveau logique qui correspond à la basse impédance, l'un des symboles 12-09-04 ou 12-09-05 peut être utilisé.	Open-circuit output (for example open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds to an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed connection. NOTES 1 This symbol should be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in section 25, where an alternative position is permitted. 2 Although this symbol is shown inside the outline, it refers to external states and levels only. 3 If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.

12-09-04		Sortie à circuit ouvert du type H, par exemple : PNP à collecteur ouvert, NPN à émetteur ouvert, canal de type P de drain ouvert, canal de type N de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau H à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTES 1 Les notes 1 et 2 du symbole 12-09-03 sont applicables. 2 La signification de ce symbole n'est pas modifiée par la présence d'un symbole de négation logique ou de polarité logique.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel open-drain, N-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. NOTES 1 Notes 1 and 2 with symbol 12-09-03 apply. 2 The meaning of this symbol is not altered by the presence of a negation or polarity indicator.
12-09-05		Sortie à circuit ouvert du type L, par exemple : NPN à collecteur ouvert, PNP à émetteur ouvert, canal de type N de drain ouvert, canal de type P de source ouverte Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau L à relativement basse impédance. Voir aussi le symbole 12-27-13. NOTE — Les notes 1 et 2 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel open-drain, P-channel open-source When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. NOTE — Notes 1 and 2 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.

No.	Symbol	Symbol	Légende	Description
12-09-06			Sortie à circuit ouvert directe du type H Cette sortie est analogue à la sortie à circuit ouvert du type H (symbole 12-09-04) et peut, comme celle-ci, participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE — La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-07			Sortie à circuit ouvert directe du type L Cette sortie est analogue à la sortie à circuit ouvert du type L (symbole 12-09-05) et peut comme celle-ci participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. NOTE — La note 1 du symbole 12-09-03 et la note 2 du symbole 12-09-04 sont applicables.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. NOTE — Note 1 with symbol 12-09-03 and note 2 with symbol 12-09-04 apply.
12-09-08			Sortie 3 états Cette sortie peut prendre un troisième état externe, à haute impédance, n'ayant plus de signification logique. NOTES 1 La note 1 du symbole 12-09-03 est applicable. 2 Comme exemple d'application, voir le symbole 12-29-04.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. NOTES 1 Note 1 with symbol 12-09-03 applies. 2 For an example of use, see symbol 12-29-04.

12-09-08A		Sortie avec amplification particulière Le symbole $\triangleright$ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. NOTES 1 La note 1 du symbole 12-09-03 est applicable. 2 Quand ce symbole est utilisé avec les symboles 12-09-03 à 12-09-08, ces derniers sont placés entre le symbole d'amplification et le côté du cadre. 3 L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur.	Output with special amplification (drive capability) The symbol $\triangleright$ emphasizes the function of amplification. It shall point in the direction of signal flow. NOTES 1 Note 1 with symbol 12-09-03 applies. 2 If this symbol is used with symbols 12-09-03 up to and including 12-09-08, those symbols are placed between the amplification symbol and the edge of the element. 3 The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element.
12-09-08B		Entrée avec amplification (sensibilité) particulière Le symbole $\triangleleft$ met en valeur la fonction «amplification». Il doit être dirigé dans le sens de propagation des signaux. Quand un ou plusieurs des symboles 12-09-47, 12-09-08B ou 12-09-02 sont nécessaires pour marquer une entrée, ils doivent être placés dans l'ordre suivant: le symbole 12-09-47 doit être placé tout près de l'entrée, suivi par le symbole 12-09-08B et ensuite par le symbole 12-09-02. NOTE — L'absence de ce symbole n'implique pas nécessairement l'absence d'une amplification. La section 29 montre son utilisation en tant que symbole distinctif général pour un opérateur. Placé à une entrée, et non pas comme symbole distinctif général, le symbole indique que l'entrée se caractérise par une sensibilité inhabituelle sans pour autant augmenter l'amplification de sortie.	Input with special amplification (sensitivity) The symbol $\triangleleft$ emphasizes the function of amplification. It shall point in the direction of signal flow. If one or more of the symbols 12-09-47, 12-09-08B or 12-09-02 are required at an input, they shall be shown, as needed, in the following order: symbol 12-09-47 shall be placed closest to the input(s), followed by symbol 12-09-08B, and then by symbol 12-09-02. NOTE — The absence of this symbol does not necessarily indicate the absence of special amplification. Section 29 shows its use as a general qualifying symbol for an element. Its use at an input, rather than as a general qualifying symbol, shows that the input is unusually sensitive rather than that the output has increased drive capability.

No.	Symbol	Symbol	Légende	Description
12-09-09			Entrée d'expansion Entrée d'un opérateur à laquelle peut être connectée la sortie d'un circuit extenseur (voir le symbole 12-09-10). NOTE — Les caractéristiques des relations entre les états logiques externes d'une variable binaire et les grandeurs physiques correspondantes ne sont généralement pas valables pour les entrées d'expansion ou sorties d'extenseur.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). NOTE — The description that characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.
12-09-10			Sortie d'un extenseur Sortie d'un opérateur qui peut être connectée à l'entrée d'expansion d'un autre opérateur afin d'augmenter le nombre d'entrées de cet opérateur. NOTE — La note du symbole 12-09-09 est applicable.	Extender output An output of a binary element that may be connected to the extension input of another binary element in order to extend the number of inputs of that element. NOTE — The note with symbol 12-09-09 applies.
12-09-11			Entrée de validation Quand cette entrée est à l'état interne 1, toutes les sorties de l'opérateur ont l'état logique interne normalement défini par la fonction de l'opérateur, et exercent l'action consécutive sur les opérateurs réels ou fantômes auxquels elles sont connectées pourvu qu'aucun autre accès n'exerce une action prépondérante. Quand cette entrée est à l'état interne 0, toutes les sorties des types 12-09-03, 12-09-04 ou 12-09-05 sont à l'état externe «haute impédance», toutes les sorties à circuit ouvert directes du type H sont à leur niveau L «haute impédance», toutes les sorties à circuit ouvert	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impedance

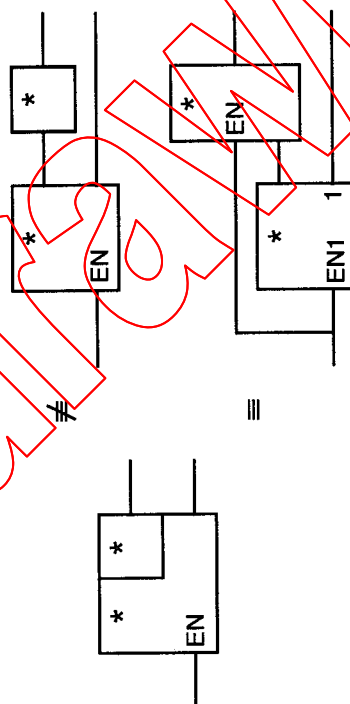
directes du type L sont à leur niveau H «haute impédance», toutes les sorties 3 états sont à leur état interne normalement défini et à l'état externe «haute impédance» et toutes les autres sorties sont à l'état interne 0.

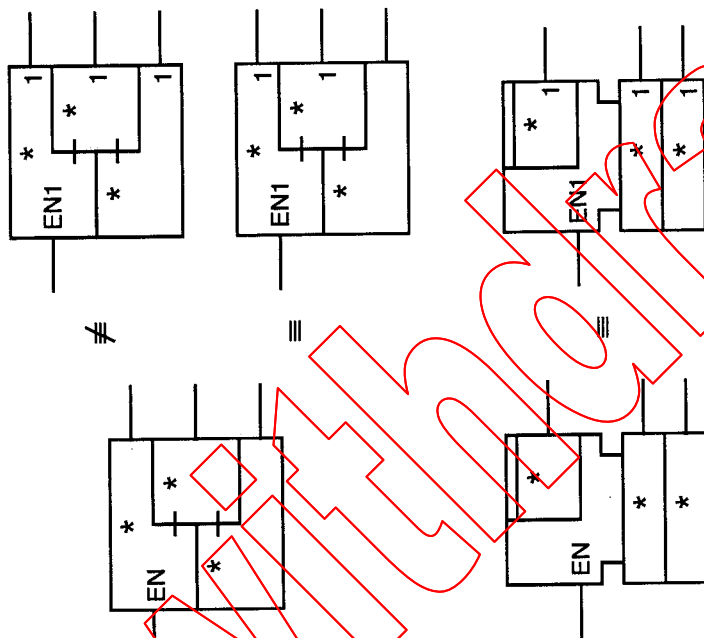
NOTE — Cette entrée n'influence que les sorties externes. Toutefois lorsqu'elle concerne un opérateur utilisant l'une des connexions internes des symboles 12-08-01 à 12-08-04, même si la note du symbole 12-08-01 est appliquée, ou si une connexion interne est impliquée (par exemple par un symbole des communs, un opérateur commun de sortie ou une notation de dépendance), cette entrée est aussi une entrée de validation EN pour la sortie de cet opérateur. Si une ambiguïté est possible, par exemple dans le cas de cadres imbriqués, il y a lieu d'utiliser la dépendance EN, définie à la section 20.

dance H-levels, all 3-state outputs stand at their normally defined internal logic states and are in their external high-impedance conditions, and all other outputs stand at their internal 0-states.

NOTE — This input only affects outputs shown as external outputs. If it is an input of an element having an internal connection indicated by one of the symbols 12-08-01 up to and including 12-08-04, even when the note with symbol 12-08-01 is applied, or if an internal connection is implied (for example, by a common control block, common output element or dependency notation), the input is also an EN-input of the element to which the internal connection is connected. If ambiguity can arise, for example because of the presence of embedded outlines, EN-dependency as defined in section 20 should be used.

Illustrations





No.	Symbole	Symbol	Légende	Description
12-09-12		Entrée D	L'état logique interne de cette entrée est mémorisé par l'opérateur. Voir le symbole 12-42-02. NOTE — L'état logique interne de cette entrée est toujours dépendant d'un accès influençant.	D-input The internal logic state of the D-input is stored by the element. See symbol 12-42-02. NOTE — The internal logic state of this input is always subject to an affecting input or output.