

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
60640**

Première édition
First edition
1979-01

**Système CAMAC – Interface pour Interconnexion
de Branche Série**

CAMAC – Serial Highway Interface System



Numéro de référence
Reference number
CEI/IEC 60640: 1979

LICENSED TO MECON Limited - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI***
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60640

Première édition
First edition
1979-01

**Système CAMAC – Interface pour Interconnexion
de Branche Série**

CAMAC – Serial Highway Interface System

© IEC 1979 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XE**

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

	Pages
PRÉAMBULE	10
PRÉFACE	10
Articles	
SECTION UN — GÉNÉRALITÉS	
1. Domaine d'application	12
2. Objet	14
3. Terminologie; interprétation de la présente norme	14
4. Abréviations et symboles	14
SECTION DEUX — PRINCIPES DE L'INTERCONNEXION DE BRANCHE SÉRIE	
5. Configuration	18
6. Messages	18
7. Transmission des caractères	20
8. Signaux d'horloge du système	22
9. Portes de l'Interconnexion de Branche Série	22
10. Le Pilote Série	24
11. Extension des utilisations de l'Interconnexion de Branche Série	24
12. Contrôleur de Châssis Série	26
SECTION TROIS — STRUCTURE DE MESSAGE POUR LES CONTRÔLEURS DE CHÂSSIS SÉRIE	
13. Messages d'Ordre	32
14. Message de Réponse	32
15. Message de Demande	34
16. Parties de message	34
17. Caractères relatifs au format	36
SECTION QUATRE — SÉQUENCES DE MESSAGES D'ORDRE ET DE RÉPONSE	
18. Prescriptions générales	50
19. Opération de Lecture	56
20. Opération d'Écriture	56
21. Opération de Commande ou de Contrôle	56
22. Message d'Ordre tronqué	56
23. Zone RÉPONSE	58
SECTION CINQ — ÉLABORATION DU MESSAGE DE DEMANDE	
24. Commande de l'Initialisation des Messages de Demande	72
25. Mémoire tampon de retard	74
26. Identification des Demandes	76
SECTION SIX — IDENTIFICATION DU TYPE DE MESSAGE	
27. Message d'Ordre complet	82
28. Message d'Ordre tronqué	84
29. Message de Réponse	84
30. Message de Demande	84
SECTION SEPT — PORTES D DE L'INTERCONNEXION DE BRANCHE SÉRIE	
31. Connecteurs de portes D	86
32. Signaux de Données et d'Horloge	88
33. Signaux de Commande	90

CONTENTS

	Page
FOREWORD	11
PREFACE	11
Clause	SECTION ONE — GENERAL
1. Scope	13
2. Object	15
3. Terminology: Interpretation of this standard	15
4. Abbreviations and symbols	15
	SECTION TWO — PRINCIPLES OF THE SERIAL HIGHWAY SYSTEM
5. Configuration	19
6. Messages	19
7. Transmission of bytes	21
8. System clock signals	23
9. Serial Highway ports	23
10. The Serial Driver	25
11. Extended uses of the Serial Highway	25
12. Serial Crate Controller	27
	SECTION THREE — MESSAGE STRUCTURE FOR SERIAL CRATE CONTROLLERS
13. Command messages	33
14. Reply message	33
15. Demand message	35
16. Message fields	35
17. Formatting bytes	37
	SECTION FOUR — COMMAND/REPLY MESSAGE SEQUENCES
18. General requirements	51
19. Read operation	57
20. Write operation	57
21. Control operation	57
22. Truncation of the Command message	57
23. REPLY SPACE	59
	SECTION FIVE — DEMAND MESSAGE GENERATION
24. Control of Demand message initiation	73
25. Delay buffer	75
26. Identification of Demands	77
	SECTION SIX — IDENTIFICATION OF MESSAGE TYPE
27. Complete Command message	83
28. Truncated Command message	85
29. Reply message	85
30. Demand message	85
	SECTION SEVEN — SERIAL HIGHWAY D-PORTS
31. D-port connectors	87
32. Data and clock signals	89
33. Control signals	91

Articles	SECTION HUIT — CHRONOLOGIE	Pages
34.	Fréquence de l'horloge du système	102
35.	Flux de caractères	104
36.	Séquence de signaux	104
37.	Retards de transmission	108
	 SECTION NEUF — MODE BIT-SÉRIE ET MODE SÉQUENTIEL	
38.	Mode séquentiel	112
39.	Mode bit-série	112
	 SECTION DIX — SYNCHRONISATION	
40.	Synchronisation des messages	116
41.	Synchronisation des caractères	118
42.	Perte de synchronisme: Actions du Contrôleur de Châssis Série	120
	 SECTION ONZE — ACCÈS AUX REGISTRES DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE	
43.	Registre d'Etat	122
44.	Autres registres	122
	 SECTION DOUZE — ÉLÉMENTS DU CONTRÔLEUR DE CHÂSSIS SÉRIE ACCESSIBLES PAR LE REGISTRE D'ÉTAT	
45.	Commandes générales de l'Interconnexion	128
46.	Etat de l'Echange Ordre. Réponse	130
47.	Traitement des Demandes	130
48.	Options de reconfiguration du système	132
	 SECTION TREIZE — CONTRÔLEUR DE CHÂSSIS SÉRIE: ÉLÉMENTS DU PANNEAU AVANT	
49.	Commandos manuelles	138
50.	Indicateurs	140
51.	Connecteurs	142
52.	Autres éléments du panneau avant	142
	 SECTION QUATORZE — CONNECTEUR D'APPELS CODÉS SGL	
53.	Prescriptions mécaniques	144
54.	Signaux sur le connecteur d'Appels Codés SGL	144
55.	Normes de signaux pour le connecteur d'Appels Codés SGL	148
56.	Fin de temporisation des demandes en attente	150
57.	Options du Codeur SGL	152
58.	Accès aux contrôleurs auxiliaires	154
	 SECTION QUINZE — REDRESSEMENT DES ERREURS	
59.	Pannes de circuit de transmission	168
60.	Perte de synchronisme	172
61.	Erreurs de transmission	172
62.	Message de Réponse ERREUR	178
63.	Indications d'erreur dans les Messages de Réponse	178
64.	Redressement des erreurs par l'Ordre de Relecture	180
	 SECTION SEIZE — RÉSUMÉ: SÉQUENCE DES ACTIONS DANS LE CONTRÔLEUR DE CHÂSSIS SÉRIE (CCS)	
65.	Recherche d'En-tête	190
66.	Etat Réception d'Ordre	190
67.	Etat Ordre Exécutable	192
68.	Etat Emission de la Réponse	194
69.	Etat Recherche de Fin	194
70.	Etat Transparent aux messages	196

Clause	SECTION EIGHT — TIMING	Page
34.	Frequency of system clock	103
35.	Byte stream	105
36.	Signal timing	105
37.	Propagation delays	109
	 SECTION NINE — BIT-SERIAL AND BYTE-SERIAL MODES	
38.	Byte-Serial mode	113
39.	Bit-Serial mode	113
	 SECTION TEN — SYNCHRONIZATION	
40.	Message synchronization	117
41.	Byte synchronization	119
42.	Lost synchronism: Actions by SCC	121
	 SECTION ELEVEN — ACCESS TO REGISTERS IN THE SCC	
43.	Status Register	123
44.	Other registers	123
	 SECTION TWELVE — FEATURES OF THE SCC ACCESSED VIA THE STATUS REGISTER	
45.	Dataway common controls	129
46.	Command/Reply transaction status	131
47.	Demand handling	131
48.	Reconfiguration options	133
	 SECTION THIRTEEN — SERIAL CRATE CONTROLLER — FRONT PANEL FEATURES	
49.	Manual controls	139
50.	Indicators	141
51.	Connectors	143
52.	Other front panel features	143
	 SECTION FOURTEEN — SGL-ENCODER CONNECTOR	
53.	Mechanical requirements	145
54.	Signals at the SGL-Encoder connector	145
55.	Signal standards for the SGL-Encoder connector	149
56.	Hung Demand time-out	151
57.	SGL-Encoder options	153
58.	Access for auxiliary controllers	155
	 SECTION FIFTEEN — RECOVERY FROM ERRORS	
59.	Transmission-path failures	169
60.	Loss of synchronism	173
61.	Transmission errors	173
62.	The Error-reply message	179
63.	Error indications in Reply messages	179
64.	Error recovery using the Re-read command	181
	 SECTION SIXTEEN — SUMMARY: SEQUENCE OF ACTIONS IN SCC	
65.	Find Header	191
66.	Receive Command	191
67.	Execute command State	193
68.	Send Reply	195
69.	Find End	195
70.	Pass Message	197

Articles	Pages
71. Etat Emission de Demande	196
72. Perte du Synchronisme des Caractères	196
73. Perte du Synchronisme des Messages	198

Tableaux:

I. Longueur des échanges Ordre-Réponse	48
II. Contenu de la partie IDENTIFICATION DU MESSAGE	50
III. Affectation des contacts pour Connecteurs de Porte D	98
IV. Résumé des caractéristiques du transmetteur de signaux symétriques	100
V. Résumé des caractéristiques du récepteur de signaux symétriques	100
VI. Norme pour les signaux de commande aux portes D	102
VII. Ordres exécutés par le Contrôleur de Châssis Série	124
VIII. Affectation des bits du Registre d'Etat	126
IX. Etat initial des bits du Registre d'Etat après mise sous tension	126
X. Commande de l'Etat Interconnexion de Châssis Hors-ligne	138
XI. Affectation des contacts du connecteur d'Appels Codés SGL	164
XII. Connecteur d'Appels Codés SGL: normes de courant et sources de courant de polarisation pour tous les signaux autres que ceux de code N	166
XIII. Indications d'erreurs dans le Message de Réponse	188

Figures:

1. Configuration d'une boucle d'Interconnexion de Branche Série CAMAC	26
2. Format de base du message	26
3. Enveloppe d'un caractère en mode bit-série	28
4. Interconnexion directe entre portes D	28
5. Connexion indirecte au moyen de normes «non définies»	30
6. Appareils compatibles	30
7. Message d'Ordre: Affectation des bits	44
8. Message d'Ordre: Affectation des parties	44
9. Message d'Ordre tronqué: Affectation des bits	46
10. Message d'Ordre tronqué: Affectation des parties	46
11. Message de Réponse: Affectation des bits	46
12. Message de Réponse: Affectation des parties	46
13. Message de Demande: Affectation des bits	48
14. Message de Demande: Affectation des parties	48
15. Séquence Ordre-Réponse: Opération de Lecture — mode bit série	62
16. Séquence Ordre-Réponse: Opération de Lecture — mode séquentiel	64
17. Séquence Ordre-Réponse: Opération d'Ecriture — mode bit série	66
18. Séquence Ordre-Réponse: Opération d'Ecriture — mode séquentiel	68
19. Séquence Ordre-Réponse: Opération de Commande — mode bit série	70
20. Séquence Ordre-Réponse: Opération de Commande — mode séquentiel	70
21. Exemple de séquence de messages dans une boucle à trois Contrôleurs de Châssis Série	78
22. Elaboration du message de demande	80
23. Exemple d'utilisation des contacts Bus 1 et Bus 2 aux portes D	92
24. Exemple provisoire de Transmetteur de signaux symétriques	92
25. Exemple provisoire de Récepteur de signaux symétriques	94
26. Exemples de circuits pour Emetteurs et Récepteurs de signaux de Commande	96
27. Séquence des signaux d'horloge et de données aux portes D	100
28. Exemple de parties du Contrôleur de Châssis Série et du codeur SGL associées à l'Interconnexion	158
29. Relations entre les signaux de l'horloge-caractère sur le connecteur d'Appels Codés SGL et les signaux reçus de l'horloge-bit ou de l'horloge-caractère	160
30. Relations entre les signaux du codeur SGL relatifs à l'émission de Messages de Demande	162
31. Exemple de commutateur de By-pass pour un signal de porte D	182
32. Exemple de commutateur de Raccourcissement de Boucle pour un signal de porte D	184
33. Code de détection géométrique d'erreur: Principes de base	186
34. Code de détection géométrique d'erreur — appliqué à l'Interconnexion de Branche Série	186

Clause	Page
71. Send Demand	197
72. Lost Byte Sync	197
73. Lost Message Sync	199

Tables:

I. Length of Command/Reply Transactions	49
II. Contents of Message Identification Field	51
III. Contact assignments for D-port connectors	99
IV. Summary of characteristics of balanced transmitter	101
V. Summary of characteristics of balanced receiver	101
VI. Standards for control signals at D-ports	103
VII. Commands implemented by the SCC	125
VIII. Assignment of Status Register bits	127
IX. Initial state of Status Register bits after power-up	127
X. Control of Dataway off-line state	139
XI. Contact assignments at SGL-Encoder connector	165
XII. SGL-Encoder connector: Signal standards and pull-up current sources for all signals other than coded-N	167
XIII. Error indications in Reply message	189

Figures:

1. CAMAC Serial Highway loop configuration	27
2. Basic message format	27
3. Bit-serial byte-frame	29
4. Direct D-port interconnection	29
5. Indirect connection via "undefined" standards	31
6. Compatible devices	31
7. Command message: Bit assignments	45
8. Command message: Field assignments	45
9. Truncated command message: Bit assignments	47
10. Truncated command message: Field assignments	47
11. Reply message: Bit assignments	47
12. Reply message: Field assignments	47
13. Demand message: Bit assignments	49
14. Demand message: Field assignments	49
15. Command/Reply sequence: Read operation, bit-serial mode	63
16. Command/Reply sequence: Read operation, byte-serial mode	65
17. Command/Reply sequence: Write operation, bit-serial mode	67
18. Command/Reply sequence: Write operation, byte-serial mode	69
19. Command/Reply sequence: Control operation, bit-serial mode	71
20. Command/Reply sequence: Control operation, byte-serial mode	71
21. Example of message sequence in a loop having three SCCs	79
22. Demand message generation	81
23. Example of the use of Bus 1 and Bus 2 contacts at D-ports	93
24. Interim example of balanced transmitter	93
25. Interim example of balanced receiver	95
26. Examples of circuits for Control Signal Sources and Receivers	97
27. Timing of clock and data signals at D-ports	111
28. Example of associated parts of SCC and SGL Encoder	159
29. Relationship between Byte Clock signals at SGL-Encoder connector and received Bit/Byte Clock signals	161
30. Relationship between signals at SGL-Encoder Connector concerned with Demand Message Generation	163
31. Example of Bypass switching for one D-port signal	183
32. Example of Loop Collapse switching for one D-port signal	185
33. Geometric error detection basic principle	187
34. Geometric error detection as applied to the Serial Highway	187

<i>Figures:</i>	Pages
35. Séquence des états principaux du Contrôleur de Châssis Série	200
36. Séquence des états principaux du Contrôleur de Châssis Série — en omettant toutes les conditions d'erreurs	202
ANNEXE A — Spécifications du Contrôleur de Châssis Série CAMAC type L2 (CCS-L2)	
A1 Interprétation	204
A2 Caractéristiques générales du CCS-L2	204
A3 Messages pour le CCS-L2	207
A4 Porte D d'Interconnexion de Branche Série sur le CCS-L2	207
A5 Structure interne du CCS-L2	207
A6 Eléments du panneau avant du CCS-L2	208
A7 Connecteur d'Appels Codés SGL sur le CCS-L2	210
ANNEXE B — Informations complémentaires	
B1 Diagramme des transitions	212
B2 Ordinogramme de fonctionnement	212
B3 Schéma synoptique	212
Figure B.1 Diagramme des transitions pour le Contrôleur de Châssis Série type L2	218
INDEX ALPHABÉTIQUE	221
Figure B.2 Ordinogramme de fonctionnement	237
Figure B.3 Schéma synoptique du Contrôleur de Châssis Série type L2	239

Figures:

	Page
35. Major-State Sequence in SCC	201
36. Major-State Sequence in SCC — Omitting All Error Conditions	203
APPENDIX A — Specification of CAMAC Serial Crate Controller Type-L2 (SCC-L2)	
A1 Interpretation	205
A2 General features of SCC-L2	205
A3 Messages for SCC-L2	207
A4 Serial Highway D-ports on SCC-L2	207
A5 Internal structure of SCC-L2	207
A6 Front Panel features of SCC-L2	209
A7 SGL-Encoder connector on SCC-L2	211
APPENDIX B — Supplementary Information	
B1 Transition diagram	213
B2 Flow chart	213
B3 Block diagram	213
Figure B.1 Transition diagram for Serial Crate Controller Type L2	219
ALPHABETICAL INDEX	229
Figure B.2 Implementation Independent Flow Chart of SCC-L2	238
Figure B.3 Serial Crate Controller SCC-L2 — Block Diagram	240

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**SYSTÈME CAMAC — INTERFACE POUR INTERCONNEXION
DE BRANCHE SÉRIE**

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PRÉFACE

La présente norme a été établie par le Comité d'Etudes N° 45 de la CEI: Instrumentation nucléaire.

Le Comité consultatif de l'électronique et télécommunications (ACET) a recommandé que le Comité d'Etudes N° 45 soit responsable de l'introduction de normes CEI fondées sur les caractéristiques d'interface du système CAMAC.

La présente norme définit un système d'interface pour Interconnexion de Branche Série destiné à être utilisé avec des ensembles de châssis CAMAC conformes à la Publication 516 de la CEI et avec d'autres dispositifs contrôlés. Il se fonde sur les normes IEEE 595 du Comité NIM et EUR 6100e du Comité ESONE. Un système d'interface pour interconnexion parallèle, également destiné à être utilisé avec la Publication 516 de la CEI, est défini dans la Publication 552 de la CEI. D'autres dispositifs ou lignes de signaux, comme ceux de la Publication 625-1 de la CEI, peuvent être aisément incorporés dans le système CAMAC, grâce à un module d'interface.

Un premier projet fut discuté lors de la réunion tenue à Milan en 1974. A la suite de la réunion de Baden-Baden en 1977, un projet, document 45(Bureau Central)111, fut soumis à l'approbation des Comités nationaux suivant la Règle des Six Mois en novembre 1977.

Les Comités nationaux des pays suivants se sont prononcés explicitement en faveur de la publication:

Afrique du Sud (République d')	Finlande	Royaume-Uni
Allemagne	France	Suède
Belgique	Italie	Suisse
Canada	Japon	Turquie
Egypte	Pays-Bas	Union des Républiques
Espagne	Pologne	Socialistes Soviétiques
Etats-Unis d'Amérique	Roumanie	

Aucune licence ou autre autorisation n'est nécessaire pour utiliser cette norme.

Note. — Les symboles normaux de la CEI seront introduits, si possible, dans toutes les figures lors de rééditions ultérieures.

Autres publications de la CEI citées dans la présente norme:

- Publications nos 516: Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC.
552: Système CAMAC — Organisation de systèmes multichâssis. Spécification de l'Interconnexion de branche et du contrôleur de châssis type A1.
625-1: Un système d'interface pour instruments de mesurage programmables (bits parallèles, octets série), Première partie: Spécifications fonctionnelles, spécifications électriques, spécifications mécaniques, application du système et règles pour le constructeur et l'utilisateur.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

CAMAC — SERIAL HIGHWAY INTERFACE SYSTEM

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by IEC Technical Committee No. 45, Nuclear Instrumentation.

The Advisory Committee on Electronics and Telecommunications (ACET) has recommended that Technical Committee No. 45 should be responsible for the introduction of IEC standards based on features of the CAMAC standard interface.

This standard defines a serial highway interface system for use with CAMAC crate-assemblies in accordance with IEC Standard 516 and with other controlled devices. It is based on the Standards IEEE 595 and EUR 6100e, as developed by the NIM Committee of the U.S. Energy Research and Development Administration and the ESONE Committee of European Laboratories. A parallel highway interface system, also intended for use with IEC Publication 516, is defined in IEC Publication 552. Other devices and buses, such as that of IEC Publication 625-1, can be readily incorporated into the CAMAC system through an interfacing module.

A first draft was discussed at the meeting held in Milan in 1974. As a result of the meeting held in Baden-Baden in 1977, a draft, Document 45(Central Office)111, was submitted to the National Committees for approval under the Six Months' Rule in November 1977.

The National Committees of the following countries voted explicitly in favour of publication:

Belgium	Japan	Switzerland
Canada	Netherlands	Turkey
Egypt	Poland	Union of Soviet
Finland	Romania	Socialist Republics
France	South Africa (Republic of)	United Kingdom
Germany	Spain	United States of America
Italy	Sweden	

No license or other permission is needed in order to use this standard.

Note. — Standard IEC symbols will be introduced systematically in all figures in later editions, as feasible.

Other IEC publications quoted in this standard:

- Publications Nos. 516: A Modular Instrumentation System for Data Handling; CAMAC System.
552: CAMAC — Organization of Multi-crate Systems. Specification of the Branch-Highway and CAMAC Crate Controller Type A1.
625-1: An Interface System for Programmable Measuring Instruments (Byte serial, Bit parallel), Part 1: Functional Specifications, Electrical Specifications, Mechanical Specifications, System Applications and Requirements for the Designer and User.

SYSTÈME CAMAC — INTERFACE POUR INTERCONNEXION DE BRANCHE SÉRIE

SECTION UN — GÉNÉRALITÉS

1. Domaine d'application

La présente norme est applicable, à un certain système d'interface, désigné par l'expression Interconnexion de Branche Série CAMAC, conçu pour assurer l'interconnexion de manière normalisée entre un certain nombre d'appareils de mesure, d'unités d'affichage, d'unités de commande, d'actionneurs, d'unités de traitement de l'information et de calcul et de matériel de télécommunications, tous ces éléments appartenant à la famille CAMAC.

L'Interconnexion de Branche Série est essentiellement constituée d'une boucle unidirectionnelle servant à véhiculer des messages formés de caractères*, et à laquelle sont connectés un contrôleur de système et jusqu'à 62 châssis CAMAC conformes à la Publication 516 de la CEI: Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC, ou d'autres dispositifs contrôlés. L'Interconnexion transmet les données et l'information de commande soit suivant un mode «bits-série» (utilisant un seul signal de donnée et le signal d'une horloge-bit), soit suivant un mode «séquentiel» (utilisant huit signaux de données et le signal d'une horloge-caractère). Des fréquences d'horloge allant jusqu'à 5 MHz peuvent être utilisées selon les caractéristiques du système considéré.

Dans l'application initiale, les dispositifs contrôlés sont des châssis CAMAC avec des Contrôleurs de Châssis Série conformes à une composition de message définie. Pour cette application, l'Interconnexion de Branche Série est destinée à compléter l'Interconnexion Parallèle définie dans la Publication 552 de la CEI: Système CAMAC – Organisation de système multichâssis: Spécification de l'Interconnexion de Branche et de Contrôleur de Châssis type A1.

Elle sera intéressante pour certaines applications que l'Interconnexion Parallèle n'était pas destinée à couvrir, par exemple lorsqu'il y a de longues distances entre châssis ou lorsque la simplicité des interconnexions est souhaitable. Toutefois, le temps nécessaire pour effectuer une opération complète, y compris un cycle d'Interconnexion, sera généralement plus long dans un système série que dans un système parallèle.

L'Interconnexion de Branche Série est définie essentiellement en fonction du format du message et des normes de signaux aux points de raccordement (Portes) d'entrée et de sortie des dispositifs reliés à l'Interconnexion. Les liaisons entre dispositifs peuvent être soit directes, utilisant les normes de signaux définies, soit indirectes, utilisant des canaux de communication ayant d'autres normes de signaux et d'autres types de modulation.

Cette norme est aussi applicable partiellement à des éléments raccordés à l'Interconnexion de Branche Série, mais non nécessairement conformes aux spécifications complètes de la famille CAMAC, ni répondant nécessairement à tous les signaux de commande normaux du système CAMAC.

Les Contrôleurs de Châssis Série conformes à la spécification complète et les dispositifs conformes à une certaine partie de la spécification complète peuvent coexister dans l'Interconnexion sans interférence mutuelle.

* Dans cette norme, le terme français «caractère» et le terme anglais *byte* sont équivalents. La définition de ce terme est celle de la Norme ISO 2382/IV, terme 04-02-01.

CAMAC — SERIAL HIGHWAY INTERFACE SYSTEM

SECTION ONE — GENERAL

1. Scope

This standard is applicable to a certain interface system called CAMAC Serial Highway System, designed to be used as a standard interface between a number of CAMAC measuring instruments, display units, control units, actuators, data processing equipment (computers) and communication equipment.

The Serial Highway System is essentially a unidirectional loop used to circulate byte-organized* messages, and to which are connected a System Controller and up to 62 CAMAC crate-assemblies, in accordance with IEC Publication 516: A Modular Instrumentation System for Data Handling: CAMAC System, or other controlled devices. The highway transfers data and control information in either bit-serial mode (using one data signal and a bit-clock signal) or byte-serial mode (using eight data signals and a byte-clock signal). Clock rates up to 5 MHz may be used, depending on individual system characteristics.

In the primary application, the controlled devices are CAMAC crate assemblies, with Serial Crate Controllers which conform to a defined message structure. In this application the Serial Highway is intended to complement the Parallel Highway defined in IEC Publication 552, CAMAC Organization of Multi-crate Systems. Specification of the Branch Highway and CAMAC Crate Controller Type A1.

This system will be attractive in certain applications that the Parallel Highway was not designed to cover, for example, where there are long distances between crates, or where simplicity of interconnections is desirable. However, the time required to perform a complete operation, including a Dataway cycle, will generally be longer in a serial system than on the Parallel Highway.

The Serial Highway System is defined primarily in terms of the message format and signal standards at the input and output ports of devices connected to the highway. Interconnections between devices may be made directly, using the defined signal standards, or indirectly through communications channels with other signal standards and types of modulation.

This standard also applies partly to controlled devices connected to the Serial Highway, not necessarily constructed in CAMAC format or controlled by CAMAC commands.

Serial Crate Controllers conforming to the full specification and devices conforming to a certain subset of the full specification can co-exist on the highway without mutual interference.

* In this standard, the French term *caractère* and the English word "byte" are equivalent. The definition is that of ISO 2382/IV, term 04-02-01.

2. Objet

Description et spécification de l'Interconnexion de Branche Série CAMAC. Définition des formats des messages et des normes relatives aux signaux.

La présente norme complète la Publication 516 de la CEI; il convient de l'utiliser en même temps que celle-ci. Aucune partie de cette norme n'est destinée à remplacer ou à modifier la Publication 516 de la CEI.

Cette norme:

- a) établit des prescriptions obligatoires;
- b) définit des règles pratiques recommandées, à suivre sauf si de sérieux motifs s'y opposent;
- c) donne des exemples de techniques autorisées.

Les Contrôleurs de Châssis Série spécifiés dans cette norme ne sont pas nécessairement interchangeables. Cependant, l'annexe A définit un Contrôleur de Châssis Série de type L2, de manière plus restrictive, ce qui a pour effet que des éléments fabriqués par des constructeurs différents, conformément à cette spécification, sont interchangeables quant à leur opération.

Pour *être conforme* à cette norme, un équipement ou un système doit satisfaire à toutes les prescriptions obligatoires de cette publication, sauf les annexes. S'il est construit comme un tiroir CAMAC, l'équipement doit également satisfaire aux prescriptions obligatoires de la Publication 516 de la CEI.

Pour être *conforme* à la spécification normale du Contrôleur de Châssis Série CAMAC de type L2, un équipement doit satisfaire à toutes les prescriptions obligatoires de l'annexe A.

Pour être *compatible* avec cette norme, un équipement n'a pas besoin de satisfaire à toutes les prescriptions obligatoires, à condition de ne pas interférer avec le fonctionnement intégral de tous les éléments de l'Interconnexion de Branche Série et du Contrôleur de Châssis Série (y compris le type L2) définis dans cette norme.

Cette norme n'est pas destinée à exclure l'emploi d'un équipement compatible (au sens défini ci-dessus) même s'il n'est pas conforme à toutes les spécifications ou s'il n'est pas construit comme les tiroirs CAMAC.

3. Terminologie: Interprétation de la présente norme

La présente norme comprend des prescriptions obligatoires, des recommandations et des exemples de technique autorisée.

Les prescriptions obligatoires de la norme sont écrites en caractères gras comme ici et contiennent en général le mot *doit*.

Les règles pratiques recommandées (à suivre sauf si de sérieux motifs s'y opposent) sont généralement indiquées par la locution «il convient de» ou par «il est recommandé» ou encore par l'emploi des mots «en principe» ou de toute autre forme analogue.

Les exemples de technique autorisée sont indiqués par le mot *peut* et laissent la liberté de choix au constructeur ou à l'utilisateur.

4. Abréviations et symboles

Les abréviations et symboles suivants sont utilisés dans la présente norme (voir liste, page 16).

2. Object

To describe and specify the CAMAC Serial Highway System. To define the message formats and signal standards.

This standard is supplementary to the standards laid down in IEC Publication 516 and should be read in conjunction with that publication. No part of this standard is intended to supersede or modify IEC Publication 516.

This standard:

- a) lays down mandatory requirements;
- b) defines recommended or preferred practices, to be followed unless there are sound reasons to the contrary;
- c) gives examples of permitted practices.

The Serial Crate Controllers referred to in this standard are not necessarily interchangeable. Appendix A, however, defines a Serial Crate Controller, Type L2, in a more restrictive way, so that units produced by different manufacturers to this specification are operationally interchangeable.

In order to *conform* with this standard, an equipment or a system shall satisfy all the mandatory requirements included in this publication, except the appendices. If constructed as a CAMAC plug-in unit, the equipment shall also satisfy the mandatory requirements of IEC Publication 516.

In order to *conform* with the standard specification of the CAMAC Serial Crate Controller, Type L2, equipment shall satisfy all the mandatory requirements of Appendix A.

In order to be *compatible* with this standard, equipment need not satisfy all the mandatory requirements, provided it does not interfere with the full operation of all the features of the Serial Highway and of the Serial Crate Controller (including Type L2) as defined in this standard.

This standard is not intended to exclude the use of compatible equipment (in the above sense), even if it does not conform fully to this standard or is not constructed as CAMAC plug-in units.

3. Terminology: Interpretation of this standard

In this standard there are mandatory requirements, recommendations and examples of permitted practice.

Mandatory clauses of the standard are written in bold type as here, and usually include the word *shall*.

Definitions of recommended or preferred practice (to be followed unless there are sound reasons to the contrary) include the word *should*.

Examples of permitted practice generally include the word *may*, and leave freedom of choice to the designer or user.

4. Abbreviations and symbols

The following abbreviations and symbols are used in this standard (list, page 17).

Les désignations par une lettre isolée, L, M, N, P et R (précédée dans certains cas de «CC») sont réservées pour des utilisations futures en rapport avec cette norme et ne doivent pas être utilisées, sauf en conformité avec une assignation ultérieure.

Abréviations et symboles

A	SOUS-ADRESSE (signal de l'Interconnexion)*
B	OCCUPATION (signal de l'Interconnexion)*
BMS	Bit le moins significatif
BPS	Bit le plus significatif
C	REMISE À 0 (signal de l'Interconnexion)*
CCS	Contrôleur de Châssis Série
CCS-L2	Contrôleur de Châssis Série, type L2
COC	CONTRÔLEUR OCCUPÉ
DERR	Bit différé d'erreur
DETEM	Départ du temporisateur
DOC	DEMANDE OCCUPÉE
DSQ	RÉPONSE Q DIFFÉRÉE
DSX	RÉPONSE D'ORDRE ACCEPTÉ DIFFÉRÉE
ERR	Bit erreur
FITEM	Fin de temporisation
HC	Horloge-caractère
I	INHIBITION (signal de l'Interconnexion)*
IBP	Interconnexion de Branche Parallèle (Publication 552 de la CEI)
IBS	Interconnexion de Branche Série de la présente norme
IM	Identification du message
IMD	Initialisation du message de demande
L	Lancement d'appels par le module (signal de l'Interconnexion)*
LAM	Lancement d'appels par le module (demande)
N	Numéro de station (signal de l'Interconnexion)*
NRZ	Non-retour à zéro
PAS	Présence d'un appel sélectionné
PS	Pilote Série
Q	Réponse, Etat (signal de l'Interconnexion)*
REPEX	Répétition externe
S	Préfixe pour parties et bits de l'Interconnexion de Branche Série
S1	ÉCHANTILLONNAGE (signal de l'Interconnexion)*
S2	ÉCHANTILLONNAGE (signal de l'Interconnexion)*
SA	Bit de sous-adresse
SC	Bit d'adresse de châssis
SF	Bit de fonction
SGL	Appels traités série (demande)
SGLE	Bits de MESSAGE DE DEMANDE DU CODEUR SGL
SN	Bit de NUMÉRO DE STATION
SQ	Bit de réponse Q
SR	Bit de lecture
SW	Bit d'écriture
SX	Bit d'ORDRE ACCEPTÉ
T	Période d'horloge
VCA	Verrouillage du contrôleur auxiliaire
X	Ordre accepté (signal de l'Interconnexion)*
Z	Initialisation (signal de l'Interconnexion)*

* Voir la Publication 516 de la CEI.

The single letter designations L, M, N, P and R (prefixed in some cases by “CC”) are reserved for future use in connection with this standard and shall not be used, except as later assigned.

Abbreviations and Symbols

A	SUB-ADDRESS (Dataway signal)*
ACL	Auxiliary Controller Lockout
B	BUSY (Dataway signal)*
BCK	Byte Clock
C	CLEAR (Dataway signal)*
CBY	CONTROLLER BUSY
DSBY	Demand Busy
DERR	Delayed Error
DMI	Demand Message Initiate
DSQ	DELAYED Q RESPONSE
DSX	DELAYED COMMAND ACCEPTED RESPONSE
ERPT	External Repeat
ERR	Error bit
I	INHIBIT (Dataway signal)*
L	Look-at-Me (Dataway signal)*
LAM	Look-at-Me (Demand)
LSB	Least Significant bit
MI	Message Identification
MSB	Most Significant bit
N	Station Number (Dataway signal)*
NRZL	Non-Return-to-Zero-Level
PH	Parallel Highway of IEC Publication 552
Q	Response, Status (Dataway signal)*
S	Prefix for Serial Highway fields and bits
S1	STROBE (Dataway signal)*
S2	STROBE (Dataway signal)*
SA	Sub-address bit
SC	Crate address bit
SCC	Serial Crate Controller
SCC-L2	Serial Crate Controller, Type L2
SD	Serial Driver
SF	Function bit
SGL	Serial Graded LAM (Demand)
SGLE	DEMAND MESSAGE bits from SGL Encoder
SH	Serial Highway of this standard
SLP	Selected-LAM Present
SN	STATION NUMBER bit
SQ	Q-Response bit
SR	Read bit
STIM	Start Timer
SW	Write bit
SX	COMMAND ACCEPTED bit
T	Clock period
TIMO	Time-out
X	Command accepted (Dataway signal)*
Z	Initialize (Dataway signal)*

* See IEC Publication 516.

SECTION DEUX — PRINCIPES DE L'INTERCONNEXION DE BRANCHE SÉRIE

Cette section résume les principes de base applicables à tous les dispositifs reliés à l'Interconnexion de Branche Série. Toutes les autres sections de cette norme concernent les applications initiales dans lesquelles les dispositifs connectés sont des châssis CAMAC équipés de Contrôleurs de Châssis Série.

5. Configuration

L'Interconnexion de Branche Série relie un dispositif de commande (le Pilote Série) à un maximum de 62 châssis CAMAC ou autres dispositifs contrôlés. A tout instant, il n'y a qu'un dispositif pilote en fonctionnement, mais la norme n'exclut pas les systèmes dans lesquels plus d'un dispositif est capable d'agir comme pilote. La figure 1, page 26 donne la configuration de base.

L'agencement de l'adressage permet un maximum de 62 dispositifs contrôlés dont l'affectation des adresses n'a pas besoin d'être liée à la succession réelle des dispositifs le long de l'Interconnexion de Branche.

L'Interconnexion de Branche Série forme une boucle unidirectionnelle depuis l'entrée du Pilote Série, en passant tour à tour à travers chaque dispositif contrôlé, et revenant jusqu'à la sortie du Pilote Série. (Lorsqu'on décrit un dispositif particulier, il est souvent commode d'utiliser le mot «amont» pour désigner la partie de l'Interconnexion de Branche Série entre la sortie du Pilote Série et le dispositif, et le mot «aval» pour désigner la partie entre le dispositif et l'entrée du Pilote Série.)

6. Messages

Tous les messages transmis sur l'Interconnexion de Branche Série sont constitués de séquences de caractères à 8 bits comme le montre la figure 2, page 26. Toute information relative au message est contenue dans ces caractères à 8 bits.

Les huit bits composant un caractère sont désignés bit 1 (le moins significatif) à bit 8 (le plus significatif). Dans tous les caractères, les bits 1 à 6 sont disponibles pour des informations.

Le bit 7 de chaque caractère est un bit SÉPARATEUR qui permet au dispositif de réception d'identifier le premier et le dernier caractère de chaque message.

Le bit 8 est utilisé comme bit d'impairité (ayant une valeur telle que le caractère contienne un nombre impair de bits à l'état «1»). Il est toujours utilisé de cette façon dans les premier et dernier caractères d'un message et dans tous les caractères des messages associés aux Contrôleurs de Châssis Série CAMAC.

Chaque message débute par un caractère EN-TÊTE. Celui-ci contient une adresse de dispositif (une Adresse de Châssis quand le dispositif est un Contrôleur de Chassis Série). Dans un message venant du Pilote Série, le caractère EN-TÊTE contient l'adresse du destinataire. Dans un message allant vers le Pilote Série, il contient l'adresse de l'émetteur. Le bit 7 du caractère EN-TÊTE est à l'état «0» et le bit 8 maintient l'impairité sur l'ensemble du caractère.

Chaque message se termine par un caractère SÉPARATEUR dans lequel le bit 7 est à l'état «1» et le bit 8 maintient l'impairité.

SECTION TWO — PRINCIPLES OF THE SERIAL HIGHWAY SYSTEM

This section summarizes the basic principles that apply to all devices connected to the Serial Highway (SH). All other sections of this standard are concerned with the primary applications, where the connected devices are CAMAC crate-assemblies with Serial Crate Controllers.

5. Configuration

The Serial Highway interconnects a master device (the Serial Driver) and up to 62 CAMAC crate-assemblies or other controlled devices. At any time there is only one active master device, but the standard does not exclude systems in which more than one device is capable of acting as master. Figure 1, page 27, shows the basic configuration.

The addressing scheme allows a maximum of 62 controlled devices, whose assigned addresses need not be related to the actual sequence of devices along the highway.

The Serial Highway (SH) forms a unidirectional loop from the output port of the Serial Driver (SD), through each controlled device in turn, and back to the input port of the Serial Driver. (When describing conditions with respect to a particular device, it is often convenient to use the term “upstream” to refer to the part of the SH between the output port of the SD and the device, and the term “downstream” to refer to the part between the device and the input port of the SD.)

6. Messages

All messages transmitted on the Serial Highway consist of sequences of 8-bit bytes as shown in Figure 2, page 27. All information related to the message is contained within these 8-bit bytes.

The eight bits constituting a byte are labelled Bit 1 (least significant) to Bit 8 (most significant). In all bytes, Bits 1 to 6 are available for information fields.

Bit 7 of every byte is a DELIMITER bit, which allows receiving devices to identify the first and last bytes of each message.

Bit 8 is available for use as an odd-parity bit (with appropriate value so that the byte contains an odd number of bits in the logic “1” state). It is always used in this way in the first and last bytes of a message, and in all bytes of messages associated with CAMAC Serial Crate Controllers.

Every message starts with a “HEADER” byte. This includes a device address (a Crate Address when the device is a Serial Crate Controller). In a message from the SD, the Header byte contains the address of the destination. In a message to the SD, it contains the address of the source. Bit 7 of the HEADER byte is at logic “0” and Bit 8 conserves odd parity over the whole byte.

Every message ends with a DELIMITER byte, in which Bit 7 is at logic “1” and Bit 8 conserves odd parity.

La longueur et le contenu du «texte» entre le caractère EN-TÊTE et le caractère SÉPARATEUR d'un message peuvent être choisis selon les besoins du dispositif individuel. En principe, il n'est pas nécessaire qu'ils soient uniformes pour tous les dispositifs d'un système. Dans chaque caractère entre le caractère EN-TÊTE et le caractère SÉPARATEUR, le bit 7 est à l'état «0».

S'il existe des caractères entre le caractère SÉPARATEUR d'un message et le caractère EN-TÊTE du suivant, ce sont aussi des caractères SÉPARATEURS ayant le bit 7 à l'état «1».

De cette façon, le caractère EN-TÊTE d'un message peut être identifié comme étant le premier caractère ayant le bit 7 à l'état «0» après un ou plusieurs caractères ayant le bit 7 à l'état «1». De même, le dernier caractère d'un message peut être identifié comme étant le premier caractère ayant le bit 7 à l'état «1» après un ou plusieurs caractères ayant le bit 7 à l'état «0».

La détection d'erreur dans un bloc de caractères constituant un message ou une partie de message peut être obtenue par la combinaison de la parité transversale dans le bit 8 de chaque caractère et par une série de bits de parité longitudinale dans les bits 1 à 6 du dernier caractère du bloc. Le «Code de détection géométrique d'erreur» détecte toutes les erreurs sur 1 bit, 2 bits et 3 bits, et la plupart des erreurs sur 4 bits ou plus. Cet agencement permet une bonne protection contre les séries d'erreurs et est facile à mettre en œuvre par le matériel ou le logiciel.

7. Transmission des caractères

Les caractères sont transmis soit dans le mode bit-série (utilisant un seul signal de donnée accompagné du signal d'horloge-bit) soit dans le mode séquentiel (utilisant 8 signaux de données accompagnés du signal d'horloge-caractère). Dans le mode bit-série, le caractère à 8 bits est transmis avec, en premier, le bit le moins significatif (bit 1). Il est précédé d'un bit DÉPART (à l'état «0») et suivi d'un bit ARRÊT et de bits PAUSE facultatifs (à l'état «1») comme indiqué dans la figure 3, page 28. Les bits DÉPART et ARRÊT forment une Enveloppe de caractère permettant aux dispositifs de réception de se recalculer sur un signal d'horloge-caractère.

Dans le texte de la présente norme, la configuration de bits d'un caractère à 8 bits ayant le bit le moins significatif «*l*» et le bit le plus significatif «*m*» est représenté par la chaîne de bits $(miiiiiii)_2$. Le même caractère avec des bits DÉPART et ARRÊT est représenté par la chaîne de bits $(1,iiiiiii,0)_2$.

La structure des messages et les procédures de l'Interconnexion de Branche Série sont identiques dans les deux modes de transmission.

Dans un système d'Interconnexion de Branche Série, les caractères sont transférés en synchronisme avec le signal d'horloge-caractère qui accompagne les données dans le mode séquentiel et qui se déduit de l'Enveloppe de caractère dans le mode bit-série.

Pendant chaque période de l'horloge-caractère, chaque dispositif reçoit un seul caractère et transmet un seul caractère, mais les contenus (bits 1 à 8) des caractères reçus et transmis ne sont pas toujours identiques. Les dispositifs retransmettent normalement les contenus de tous les caractères reçus, bien que le contenu d'un caractère reçu pendant une période d'horloge donnée puisse être retransmis pendant une période d'horloge ultérieure. Un dispositif peut émettre un message en interrompant le processus de retransmission. Le contenu du nombre de caractères nécessaires est émis par le dispositif et le contenu d'un nombre correspondant de caractères reçus n'est pas retransmis. Il convient que la procédure de traitement du message assure que les caractères reçus ne contiennent pas d'information importante. Par exemple, il peut exister des caractères ESPACE ou ATTENTE comme indiqué dans la section trois.

The length and content of the “text” between the HEADER byte and the DELIMITER byte of a message can be chosen to suit the needs of the individual device. In principle, it need not be uniform for all devices in a system. In each byte between the HEADER byte and the DELIMITER byte, Bit 7 is at logic “0”.

If there are any bytes between the DELIMITER byte of one message and the HEADER byte of the next, they are also DELIMITER bytes with Bit 7 at logic “1”.

Thus, the HEADER byte of a message can be identified because, after one or more bytes with Bit 7 at logic “1”, it is the first byte with Bit 7 at logic “0”. Similarly, the last byte of a message can be identified because, after one or more bytes with Bit 7 at logic “0”, it is the first byte with Bit 7 at logic “1”.

Error detection over a block of bytes constituting a message or part of a message can be provided by the combination of byte-parity in Bit 8 of each byte and a set of columns-parity bits in bits 1 to 6 of the last byte of the block. This “Geometric Error-Detection Code” detects all 1-bit, 2-bit and 3-bit errors, and most errors with 4 or more bits. The scheme offers good protection against bursts of errors and is easy to implement by hardware or software.

7. Transmission of bytes

Bytes are transmitted either in bit-serial mode (using one data signal and an accompanying bit-clock signal) or in byte-serial mode (using eight data signals and an accompanying byte-clock signal). In bit-serial mode, the 8-bit byte is transmitted with the least significant bit (bit 1) first. It is preceded by a START bit (logic “0”) and followed by a STOP bit and optional PAUSE bits (logic “1”) as shown in Figure 3, page 29. The START and STOP bits form a byte-frame from which receiving devices can recover a byte-clock.

In the text of this standard, the bit-pattern of an 8-bit byte with least significant bit “*l*” and most significant bit “*m*” is represented by the bit string $(miiiiiil)_2$. The same byte with START and STOP bits is represented by the bit string $(1, miiiiiil, 0)_2$.

The message structure and protocol of the Serial Highway are identical in the two modes of transmission.

Throughout a Serial Highway System, bytes are transferred in synchronism with the byte-clock, which accompanies the data in byte-serial mode and is derived from the byte-framing in bit-serial mode.

In each byte-clock period, each device receives one byte and transmits one byte, but the contents (bits 1 to 8) of the received and transmitted bytes are not always identical. Devices normally retransmit the contents of all received bytes, although the contents of a byte received in one byte-period may be retransmitted in a later byte-period. A device can generate a message by interrupting this process of retransmission. The contents of the required number of bytes are generated by the device, and the contents of a corresponding number of received bytes are not retransmitted. The message protocol should ensure that these received bytes do not contain important information. For example, they may be SPACE or WAIT bytes as defined in Section Three.

8. Signaux d'horloge du système

Les signaux d'horloge du système, dont la cadence est celle des bits ou des caractères selon le cas, sont émis en un seul point du système (habituellement et sont retransmis par chaque dispositif connecté à l'Interconnexion de Branche Série.

La fréquence d'horloge est donc uniforme tout le long du système. La fréquence d'horloge maximale absolue est de 5,0 MHz, mais le fonctionnement des voies de communication ou des dispositifs connectés peut nécessiter une fréquence d'horloge plus faible dans des systèmes particuliers.

9. Portes de l'Interconnexion de Branche Série

Les caractéristiques de l'Interconnexion de Branche Série (telles que les normes de signaux, la chronologie, la structure du message et le type de connecteur) sont définies en fonction des portes* par lesquelles l'Interconnexion de Branche pénètre ou quitte chaque dispositif connecté.

Dans cette norme, rien n'exclut l'utilisation de normes différentes à l'intérieur des dispositifs connectés ou à l'intérieur de tout canal de communication entre dispositifs.

Tous les dispositifs reliés à l'Interconnexion de Branche ont deux portes, l'une pour l'entrée et l'autre pour la sortie. Ces portes sont soit conformes aux normes «de porte D» définies ci-après, soit apparentées à ces normes de façon que le dispositif puisse, en principe, être connecté aux portes D par un adaptateur approprié.

A chaque porte D, les signaux de données et d'horloge sont du type «Non-retour-à-zéro» (NRZ) compatible avec une norme existante (voir section sept) pour des circuits d'interface de transmission symétrique en tension. Chaque signal est véhiculé par une paire de fils distincte. Il est émis par un émetteur de signaux symétriques et reçu par un récepteur différentiel.

A chaque porte D, une paire de contacts est prévue pour l'horloge du système (à la cadence de bits ou de caractères) plus huit paires pour les données (dont une seule paire est utilisée en mode bit-série).

Une partie de l'Interconnexion de Branche Série peut être constituée par une liaison directe entre la porte D de sortie d'un dispositif et la porte D d'entrée du dispositif suivant, comme indiqué à la figure 4, page 28, utilisant habituellement à cet effet un câble constitué de paires torsadées de 100 Ω . En variante, toute partie de l'Interconnexion de Branche Série peut contenir une voie de communication dont les normes de signaux et la technique de modulation sont choisies conformément aux prescriptions du système particulier, comme indiqué à la figure 5, page 30. Dans ce cas, des éléments de conditionnement du signal sont nécessaires pour convertir les données et les signaux d'horloge de la norme de porte D à la norme de la voie de communication et pour revenir à la norme de porte D. Dans la présente norme, toutes les interconnexions qui n'utilisent pas la norme de porte D sont «non définies» et sont décrites comme des normes «de porte U». Bien que les signaux de données et d'horloge soient sur des paires de fils distinctes au niveau des portes D, ils peuvent être combinés en une même voie unidirectionnelle entre des portes U, par exemple en utilisant une technique de modulation appropriée.

Dans un système d'Interconnexion de Branche Série, certaines parties de l'Interconnexion peuvent utiliser des normes de portes D, tandis que d'autres utilisent diverses normes de portes U, toutes à la même fréquence d'horloge. Par exemple, un groupe de dispositifs adjacents peut avoir des connexions directes entre les portes D avec, le cas échéant, un élément de conditionnement du signal à l'entrée et un autre à la sortie du groupe.

* Le mot «porte» (accès) désigne une «entrée ou une sortie d'un réseau, etc.».

8. System clock signals

System clock signals, at bit-rate or byte-rate as appropriate, are generated at one point in the system (usually at or in the SD) and are retransmitted by each device connected to the SH.

The clock rate is therefore uniform throughout a system. The absolute maximum clock rate is 5.0 MHz, but the performance of the communications channels or of the connected devices may require a lower clock rate in particular systems.

9. Serial Highway ports

The characteristics of the Serial Highway (such as signal standards, timing, message structure and type of connector) are defined with respect to the ports* where the highway enters and leaves each connected device.

Nothing in this standard excludes the use of different standards within the connected devices or within any communications channel used between devices.

All devices connected to the Highway have two ports, one for input and one for output. These ports either conform to the defined “D-port” standards or are related to the standards in such a way that the device could, in principle, be connected to D-ports through an appropriate adaptor.

At each D-port, the data and clock signals are of balanced non-return-to-zero-level (NRZ1) type, compatible with an existing standard (see Section Seven) for balanced voltage digital interface circuits. Each signal is carried by a separate pair of wires, and is generated by a balanced transmitter and received by a differential receiver.

At each D-port there is one pair of contacts for the system clock (at bit-rate or byte-rate), plus eight pairs for data (only one pair of which is used in bit-serial mode).

A section of the Serial Highway can be formed by a direct connection between the output D-port of one device and the input D-port of the next device, as shown in Figure 4, page 29, typically using dedicated 100 Ω twisted-pair cable. Alternatively, any section of the SH can include a communications channel whose signal standards and modulation technique are chosen to suit the particular overall system requirements, as shown in Figure 5, page 31. In this case, signal conditioning units are needed to convert the data and clock signals from the D-port standard to the communications-channel standard, and back to D-port standard. In the context of this standard, any interconnections that do not use the D-port standard are “undefined” and are described as U-port standards. Although the data and clock signals are on separate wire-pairs at the D-ports, they may be combined into one unidirectional channel between U-ports – for example, by using a suitable modulation technique.

Within a Serial Highway system, some sections of the highway may use D-port standards while others use various U-port standards, all at the same system-clock rate. For example, a cluster of adjacent devices can have direct interconnections between D-ports, with perhaps one signal conditioning unit at the input to the cluster and another at the output from the cluster.

* The term “port” implies “an entrance or exit of a network, etc.”.

10. Le Pilote Série

Le Pilote Série est le maillon entre l'Interconnexion de Branche Série et (directement ou indirectement) un ordinateur ou un autre contrôleur du système. Il consiste en une section d'émission associée à une porte D de sortie et en une section de réception associée à une porte D d'entrée.

La section d'émission accepte habituellement des ordres et des données venant du ordinateur et les rassemble en un format de message approprié ayant un caractère EN-TÊTE et un caractère SÉPARATEUR. Il transmet le flux de bits ou de caractères résultant à l'Interconnexion de Branche Série accompagné par les signaux d'horloge à la cadence de bits ou de caractères. Il peut insérer des signaux codés de détection d'erreur à l'intérieur des messages et interposer des caractères entre les messages successifs.

La section de réception accepte habituellement le flux de bits ou de caractères venant de l'Interconnexion de Branche Série en même temps que les signaux d'horloge. Elle identifie le caractère et le format des messages et transmet les données, les demandes et les informations d'état au ordinateur. Elle peut vérifier le Code de détection d'erreur, exécuter la Procédure de correction d'erreur et écarter tout caractère entre messages.

Le Pilote Série réagit à tous les messages reçus à sa porte D d'entrée, tandis que les autres dispositifs ne réagissent qu'aux messages qui leur sont adressés.

Cette norme définit le Pilote Série uniquement en fonction des signaux, des structures de message et des séquences de message à ses portes D. La plupart des activités concernant l'émission et la réception des messages peut être traitée soit par le matériel dans le Pilote Série, soit par le logiciel dans le ordinateur associé.

Des portes de communication série asynchrones sont prévues sur la plupart des mini-ordinateurs modernes pour servir d'interface aux téléimprimantes, aux dispositifs de visualisation, aux modems, etc. Ces portes peuvent piloter l'Interconnexion de Branche Série en mode bit-série au moyen d'un adaptateur simple, qui est ainsi un cas particulier de Pilote Série.

11. Extension des utilisations de l'Interconnexion de Branche Série

Chaque dispositif contrôlé relié à l'Interconnexion de Branche Série laisse passer les messages qui sont adressés à d'autres dispositifs, sans tenir compte de la structure interne ou de la longueur de ces messages. L'Interconnexion de Branche Série peut ainsi contenir de nombreux types différents de dispositifs compatibles pourvu qu'ils se conforment aux règles de base pour les normes de signaux et à l'utilisation de caractères EN-TÊTE et de bits SÉPARATEUR pour définir le commencement et la fin des messages.

Les dispositifs compatibles reliés à l'Interconnexion de Branche Série peuvent être, par exemple, ceux indiqués à la figure 6, page 30:

- a) châssis CAMAC avec Contrôleurs de Châssis Série de type L2 conforme à l'article A1 de l'annexe A de la présente norme et utilisant les structures de message CAMAC définies dans cette norme;
- b) châssis CAMAC avec d'autres Contrôleurs de Châssis Série se conformant à la partie principale de cette norme et utilisant des messages qui sont des variantes ou des extensions possibles des messages CAMAC normalisés;
- c) appareils de formats mécaniques différents ou utilisant d'autres structures de message.

10. The Serial Driver

The Serial Driver is the link between the Serial Highway and (directly or indirectly) a computer or other system controller. It consists of a transmitting section associated with a D-output port, and a receiving section associated with a D-input port.

The transmitting section typically accepts commands and data from the computer, and assembles them into the appropriate message format with HEADER byte and DELIMITER byte. It transmits the resulting bit or byte stream to the Serial Highway, accompanied by the system clock signals at bit or byte rate. It may generate an error-detection code within messages and interpose bytes between successive messages.

The receiving section typically accepts the bit or byte stream from the Serial Highway, together with the system clock signals. It identifies the byte and message format, and passes the data, demands and status information to the computer. It may check the error-detection code, implement error-recovery procedures, and discard any inter-message bytes.

The Serial Driver reacts to all messages received at its D-input port, whereas other devices react only to messages that are addressed to them.

This standard defines the SD only in terms of the signals, message structures and message sequences at its D ports. Many of the activities concerned with generating and receiving messages can be handled either by hardware in the SD or by software in the associated computer.

Asynchronous serial communications ports are available on most modern mini-computers for interfacing to teletypewriters, visual display units, modems, etc. These ports can drive the Serial Highway in bit-serial mode through a simple adaptor, which is thus a special case of the SD.

11. Extended uses of the Serial Highway

Every controlled device connected to the Serial Highway is transparent to messages that are addressed to other devices, irrespective of the internal structure or length of these messages. The SH can thus support many different types of compatible devices, provided these conform to the basic rules for signal standards and the use of HEADER bytes and DELIMITER bits to define the beginning and end of messages.

Compatible devices connected to the SH can consist, for example, of those shown in Figure 6, page 31:

- a) CAMAC crates with recommended Serial Crate Controllers Type L2, conforming to Clause A1 of Appendix A of this standard, and using the CAMAC message structures defined in this standard;
- b) CAMAC crates with other Serial Crate Controllers, conforming to the main body of this standard, and using messages that are possibly variants or extensions of the standard CAMAC messages;
- c) Devices in other mechanical formats, or using other message structures.

12. Contrôleur de Châssis Série

Quand un châssis CAMAC est relié au Pilote Série, un Contrôleur de Châssis Série est utilisé comme élément de liaison entre le Pilote Série et l'Interconnexion dans le châssis. Un Contrôleur de Châssis Série est un tiroir CAMAC à plusieurs largeurs occupant deux stations ou plus avec des connecteurs d'Interconnexion pour la station de Contrôle et pour au moins une station Normale. Il possède des connecteurs de panneau avant pour les deux portes D.

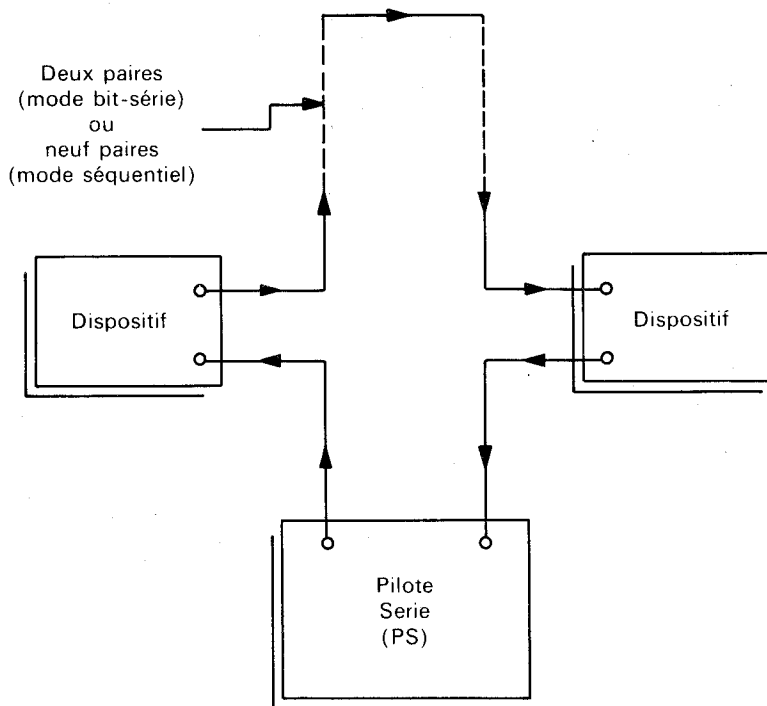


FIG. 1. — Configuration d'une boucle d'Interconnexion de Branche Série CAMAC (62 adresses possibles).

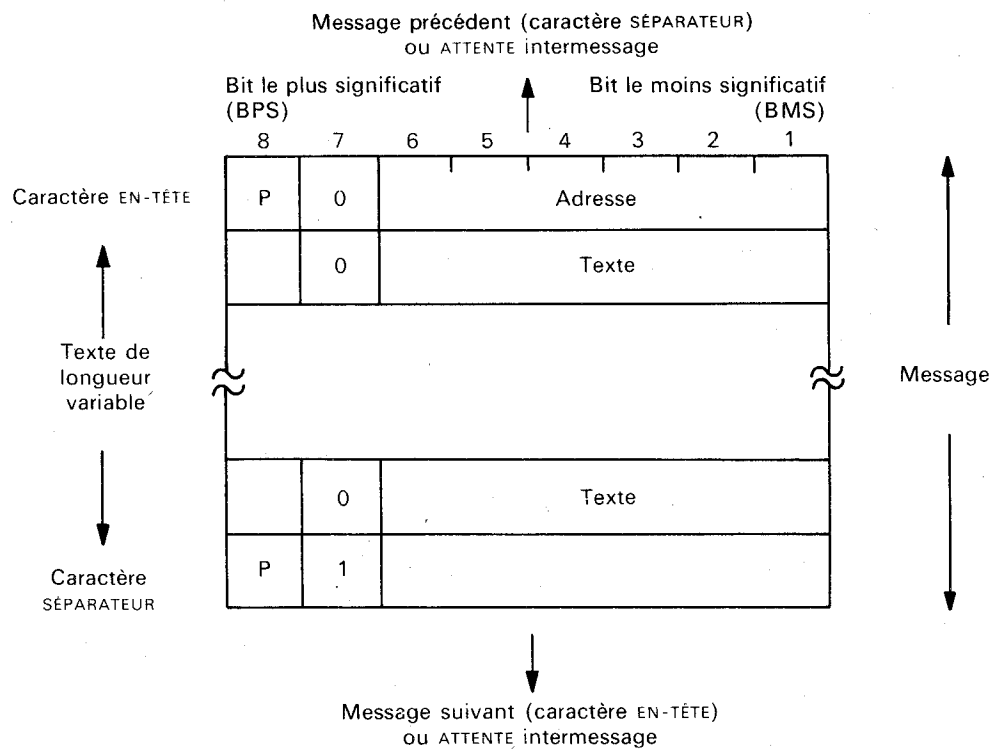


FIG. 2. — Format de base du message

12. Serial Crate Controller

When a CAMAC Crate assembly is connected to the SH, a Serial Crate Controller (SCC) is used as the link between the SH and the Dataway highway in the crate. A Serial Crate Controller is a multi-width CAMAC plug-in unit, occupying two or more stations, with Dataway connectors for the Control station and at least one Normal station. It has front-panel connectors for the two D-ports.

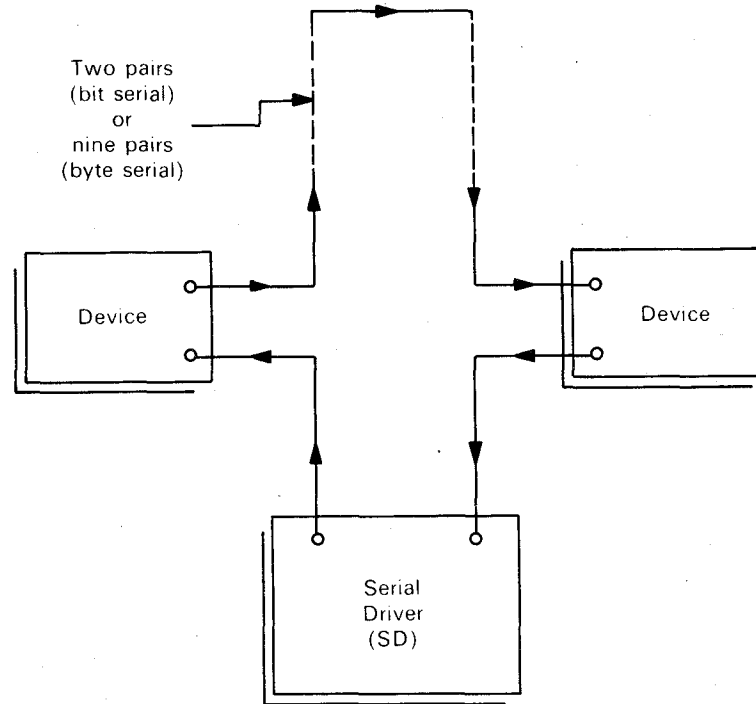


FIG. 1. — CAMAC Serial Highway loop configuration (62 addressable devices).

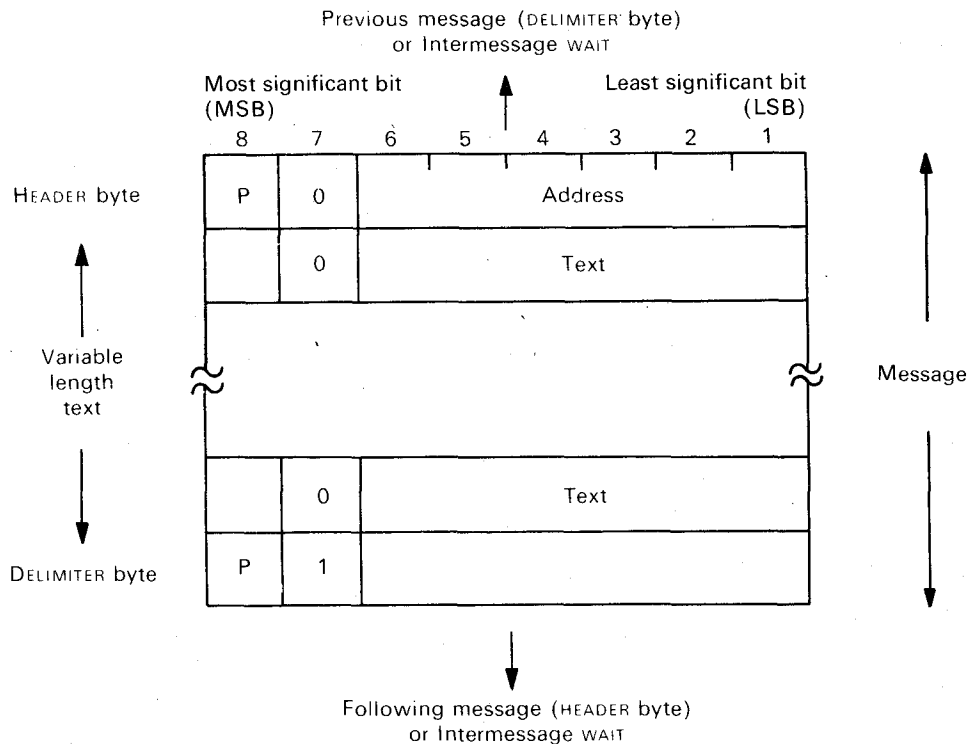


FIG. 2. — Basic Message format

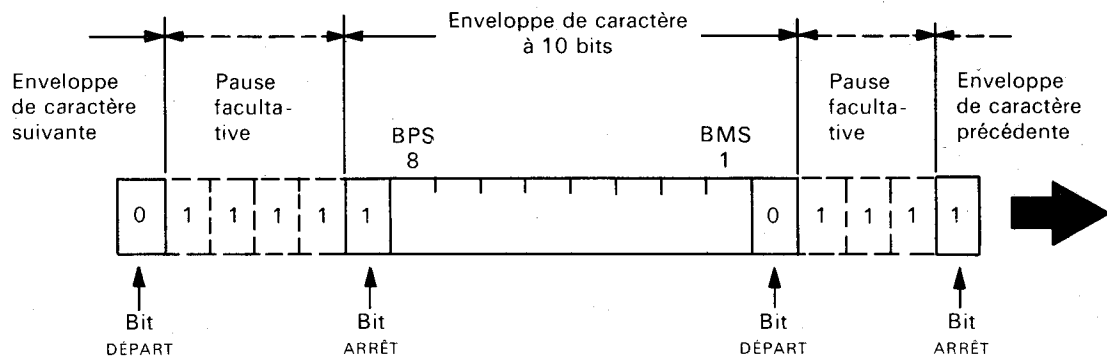


FIG. 3. — Enveloppe d'un caractère en mode bit-série.

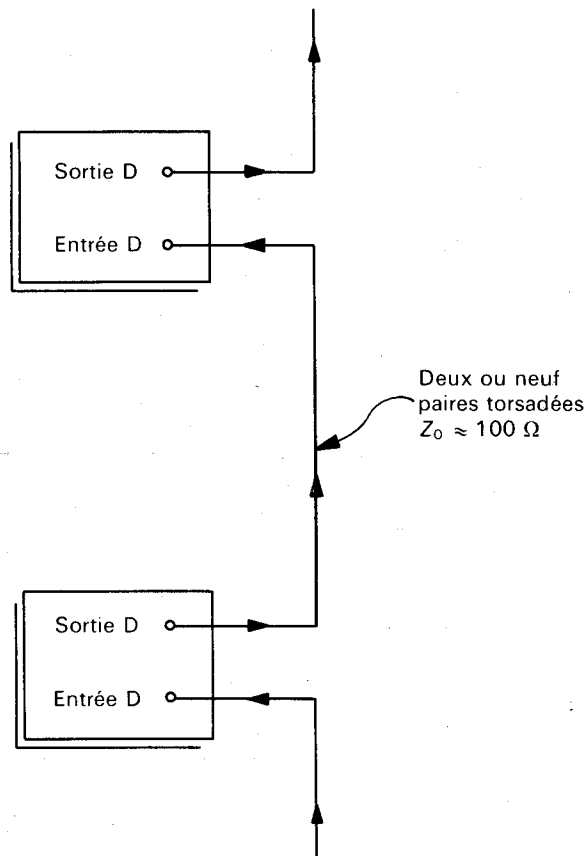


FIG. 4. — Interconnexion directe entre portes D.

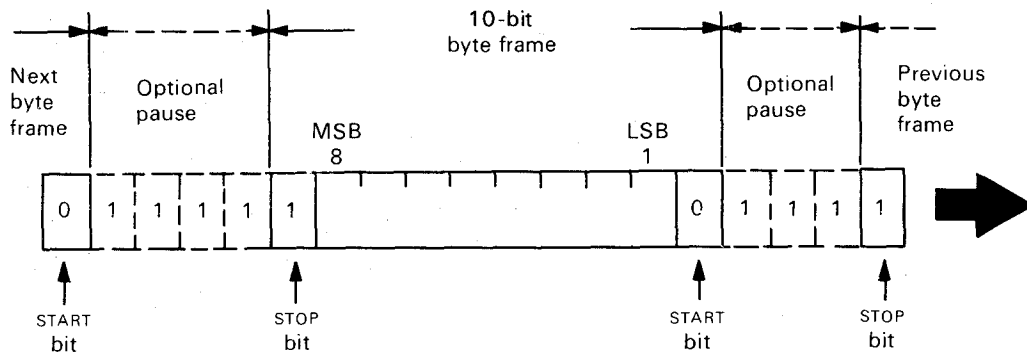


FIG. 3. — Bit-serial byte-frame.

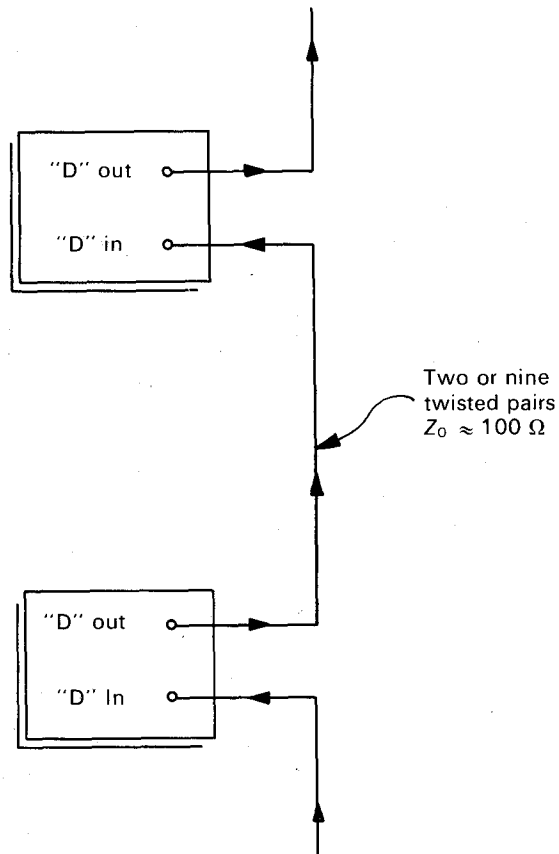


FIG. 4. — Direct D-port interconnection.

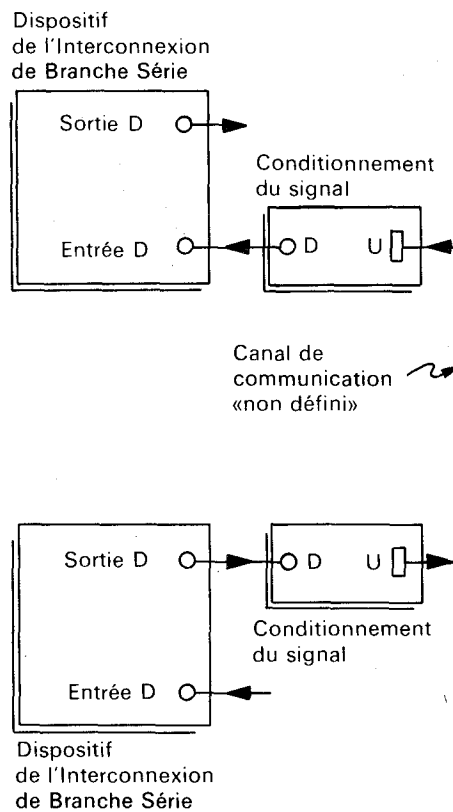


FIG. 5. — Connexion indirecte au moyen de normes «non définies».

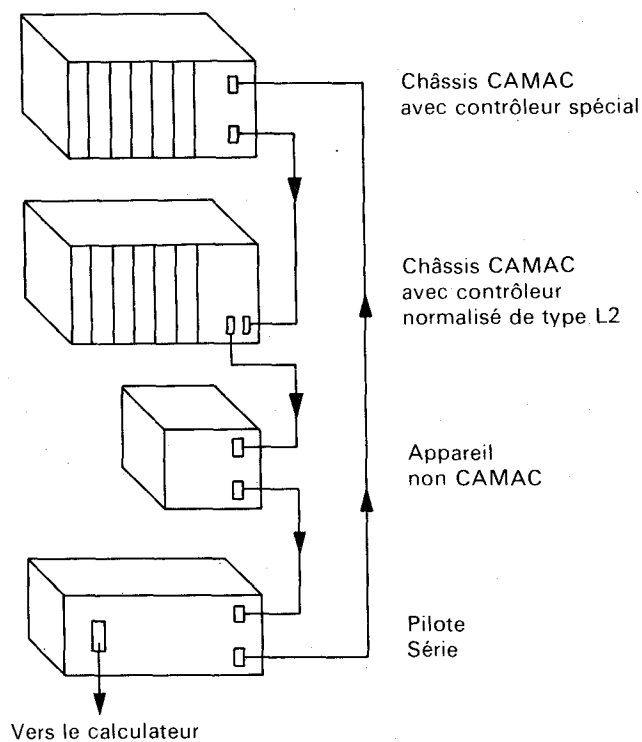


FIG. 6. — Appareils compatibles.

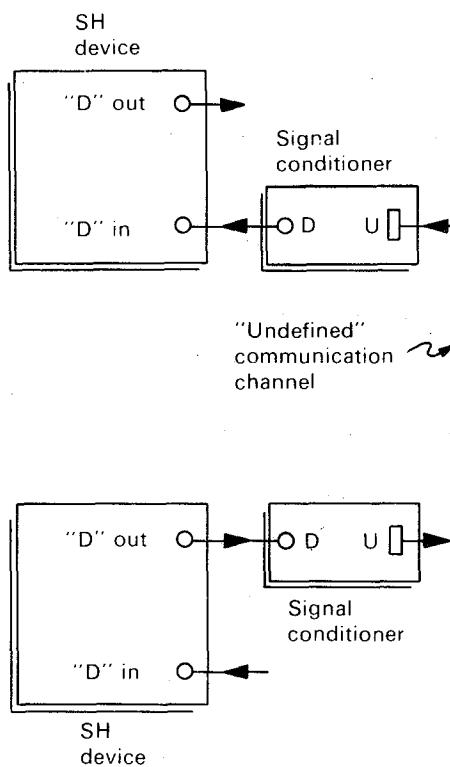


FIG. 5. — Indirect connection via "undefined" standards.

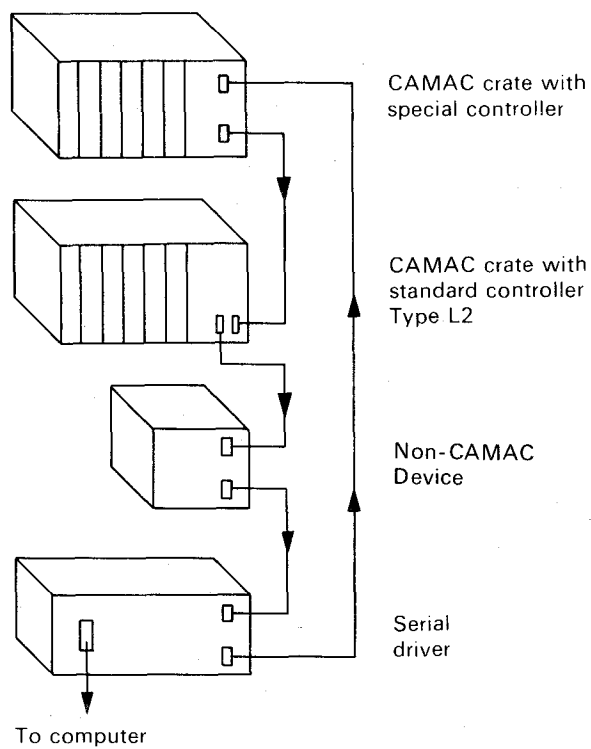


FIG. 6. — Compatible devices.

SECTION TROIS — STRUCTURE DE MESSAGE POUR LES CONTRÔLEURS DE CHÂSSIS SÉRIE

Quand un châssis CAMAC ou un Contrôleur de Châssis Série conforme à cette norme est relié à l'Interconnexion de Branche Série, la structure du message comprend les caractéristiques suivantes:

Trois types de messages sont utilisés par le Contrôleur de Châssis Série. Des «Messages d'Ordre» sont émis par le Pilote Série et ordonnent à un Contrôleur de Châssis Série désigné d'accomplir une opération CAMAC. Le contrôleur de châssis désigné doit pouvoir transmettre une forme tronquée du Message d'Ordre. En réponse à un Message d'Ordre, le contrôleur de châssis désigné envoie un «Message de Réponse» au Pilote Série. Le Message d'Ordre du Pilote Série au Contrôleur de Châssis Série et le Message de Réponse résultant du Contrôleur de Châssis Série au Pilote Série constituent un «Echange Ordre-Réponse». Tout Contrôleur de Châssis Série peut émettre un «Message de Demande» pour indiquer qu'il y a une demande de LANCEMENT D'APPEL par le Module (LAM) sur l'Interconnexion dans le châssis.

On distingue les bits du message de l'Interconnexion de Branche Série des signaux correspondants de l'Interconnexion de châssis par le préfixe «S». Par exemple, les bits SA 1 à SA 8 correspondent aux signaux A1 à A8 de l'Interconnexion de Châssis.

13. Messages d'Ordre

Les Messages d'Ordre peuvent être soit complets, soit tronqués.

13.1 Message d'Ordre complet

Le Message d'Ordre complet doit avoir la structure de la figure 7, page 44, dans laquelle le groupe de caractères 5 à 8 est présent pour des ordres d'écriture (SF 16 = 1 et SF 8 = 0) mais est omis pour les ordres de Lecture et de Contrôle Commande. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère FIN.

Le Message d'Ordre complet est constitué par les caractères suivants, comme le montre la figure 8, page 44: un caractère EN-TÊTE dans lequel la partie ADRESSE du CHÂSSIS indique la destination du message; trois caractères contenant les parties SOUS-ADRESSE, FONCTION et NUMÉRO DE STATION de l'Ordre CAMAC; quatre caractères contenant les 24 bits de données à écrire, omis quand ils ne sont pas nécessaires; et un caractère SOMME (voir paragraphe 17.6). Cette partie du message permet au châssis désigné d'assembler, de vérifier et d'exécuter l'ordre CAMAC. Le message continue par une série de caractères ESPACE (voir paragraphe 17.7) permettant au Contrôleur de Châssis Série d'émettre une réponse; le message se termine par un caractère SÉPARATEUR FIN (voir paragraphe 17.3)

13.2 Message d'Ordre Tronqué

Le Contrôleur de Châssis Série désigné transmet une forme tronquée du message d'Ordre composé du caractère EN-TÊTE suivi d'un caractère FIN (voir figures 9 et 10, page 46 et article 22).

14. Message de Réponse

Le Message de Réponse doit avoir la structure de la figure 11, page 46, dans laquelle le groupe des caractères 3 à 6 est inclus dans la réponse à un Ordre de lecture (SF 16 = 0 et SF 8 = 0)

SECTION THREE — MESSAGE STRUCTURE FOR SERIAL CRATE CONTROLLERS

When a CAMAC crate with Serial Crate Controller (SCC) conforming to this standard is connected to the Serial Highway, the message structure includes the following features:

Three types of messages are used by Serial Crate Controllers. “Command messages” are generated by the Serial Driver and instruct an addressed SCC to perform a CAMAC operation. The addressed crate controller should transmit a truncated form of the Command message. In response to a Command message, the addressed crate controller sends a “Reply message” to the SD. The Command message from the SD to an SCC, and the resulting Reply message from the SCC to the SD, constitute a “Command/Reply transaction”. Any SCC may generate a “Demand message” to indicate that there is a LOOK-AT-ME (LAM) request on the Dataway in the crate.

Bits in SH messages are distinguished from corresponding Dataway signals by the prefix “S”. For example, the bits SA 1 to SA 8 correspond to Dataway signals A1 to A8.

13. Command messages

Command messages can be either complete or truncated.

13.1 *Complete Command message*

The complete Command message shall have the structure shown in Figure 7, page 45, where the group of bytes 5 to 8 is included for Write Commands (SF 16 = 1 and SF 8 = 0), but is omitted for Read and Control commands. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the END byte.

The complete Command message consists of the following bytes, as shown in Figure 8, page 45: a HEADER byte, in which the CRATE ADDRESS field indicates the destination of the message; three bytes containing the SUB-ADDRESS, FUNCTION, and STATION NUMBER fields of the CAMAC command; four bytes containing the 24-bit Write data, which are omitted when not required; and a SUM byte (see Sub-clause 17.6). This part of the message allows the addressed crate to assemble, check and execute the CAMAC command. The message continues with a sequence of SPACE bytes (see Sub-clause 17.7) providing the opportunity for the SCC to transmit a reply; and concludes with an END DELIMITER-byte (see Sub-clause 17.3).

13.2 *Truncated Command message*

The addressed SCC should transmit a truncated form of the Command message, consisting of the HEADER byte followed by an END byte (see Figures 9 and 10, page 47 and Clause 22).

14. Reply message

The Reply message shall have the structure shown in Fig. 11, page 47, where the group of bytes 3 to 6 is included in the reply to a Read command (SF 16 = 0 and SF 8 = 0), but is

mais est omis dans la réponse aux autres ordres. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère SOMME FINALE.

Ainsi le Message de Réponse est constitué des caractères suivants, comme le montre la figure 12, page 46: un caractère EN-TÊTE dans lequel la partie ADRESSE DE CHÂSSIS indique l'origine du message, un caractère ÉTAT, quatre caractères contenant les 24 bits de données lues, omis quand ils ne sont pas nécessaires, et un caractère SÉPARATEUR SOMME-FINALE.

15. Message de Demande

Le Message de Demande doit avoir la structure indiquée à la figure 13, page 48. Le message doit être transmis sous forme d'une suite de caractères commençant par le caractère EN-TÊTE (Adresse du Châssis) et finissant par le caractère SOMME-FINALE.

Ainsi, le Message de Demande est constitué des caractères suivants comme le montre la figure 14, page 48: un caractère EN-TÊTE dans lequel la partie ADRESSE DU CHÂSSIS indique la source du message, un caractère identifiant ensuite la Demande, et un caractère SÉPARATEUR SOMME-FINALE.

16. Parties de message

L'information contenue dans les Messages d'Ordre, de Réponse et de Demande est divisée en parties de message comme suit:

16.1 *Partie ADRESSE DE CHÂSSIS* (6 bits; SC 1 à SC 32)

Cette partie définit l'adresse du destinataire des messages d'Ordre et l'adresse de l'émetteur des Messages de Réponse et de Demande.

Chaque Contrôleur de Châssis Série doit répondre aux messages envoyés à son adresse. L'adresse affectée à chaque contrôleur est prise dans la série 01_8 à 76_8 . Aucun contrôleur ne doit répondre à 00 ni à 77_8 .

L'adresse 00 est réservée pour utilisation dans le Pilote Série. Dans certaines conditions d'erreur, un caractère ESPACE peut être identifié de façon erronée comme caractère EN-TÊTE. Le caractère ESPACE recommandé a une configuration de bits correspondant à l'adresse 77_8 . C'est pourquoi cette adresse n'est pas utilisée et qu'il y a 76_8 (62_{10}) adresses de châssis disponibles.

16.2 *Partie NUMÉRO DE STATION* (5 bits; SN 1 à SN 16)

Cette partie du Message d'Ordre définit le numéro de station à l'intérieur du châssis CAMAC (voir paragraphe 5.1.1 de la Publication 516 de la CEI).

En général, les codes N (1) à N (23) sont utilisés comme adresses de modules dans le châssis CAMAC. Les éléments internes du Contrôleur de Châssis Série sont désignés par N (30) (voir section onze).

16.3 *Partie SOUS-ADRESSE* (4 bits; SA 1 à SA 8)

Cette partie du Message d'Ordre définit une Sous-adresse dans la station choisie dans le châssis (voir paragraphe 5.1.2 de la Publication 516 de la CEI).

16.4 *Partie FONCTION* (5 bits; SF 1 à SF 16)

Cette partie du Message d'Ordre définit l'action à effectuer à la Station et à la Sous-adresse choisies dans le châssis (voir paragraphe 5.1.3 de la Publication 516 de la CEI).

omitted in the reply to other commands. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the ENDSUM byte.

Thus the Reply message consists of the following bytes, as shown in Figure 12, page 47: a HEADER byte, in which the CRATE ADDRESS field indicates the source of the message; a STATUS byte; four bytes containing 24-bit Read data, which are omitted when not required; and an ENDSUM Delimiter-byte.

15. Demand message

The Demand message shall have the structure shown in Figure 13, page 49. The message shall be transmitted as a consecutive sequence of bytes, starting with the HEADER byte (Crate Address) and finishing with the ENDSUM byte.

Thus the Demand message consists of the following bytes, as shown in Figure 14, page 49: a HEADER byte in which the CRATE ADDRESS field indicates the source of the message; a byte further identifying the demand; and an ENSUM DELIMITER-byte.

16. Message fields

The information in the Command, Reply and Demand messages is divided into message fields as follows:

16.1 CRATE ADDRESS Field (6 bits; SC 1 to SC 32)

This field defines the destination address in Command messages and the source address in Reply and Demand messages.

Each Serial Crate Controller shall respond to any address assigned to it from the set 01_8 to 76_8 , and shall not respond to either 00 or 77_8 .

The address 00 is reserved for use at the SD. Under certain error conditions a SPACE byte can be falsely identified as a HEADER byte. The recommended SPACE byte has a bit-pattern corresponding to address 77_8 . This address is therefore not used, and there are 76_8 (62_{10}) available crate addresses.

16.2 STATION NUMBER field (5 bits; SN 1 to SN 16)

This field in the Command message defines the Station Number within the CAMAC crate (see Sub-clause 5.1.1 of IEC Publication 516).

In general the codes N (1) to N (23) are used as addresses of modules in the CAMAC crate. Internal features of the Serial Crate Controller are addressed by N (30) (see Section Eleven)

16.3 SUB-ADDRESS field (4 bits; SA 1 to SA 8)

This field in the Command message defines a Sub-address at the selected station in the crate (see Sub-clause 5.1.2 of IEC Publication 516).

16.4 FUNCTION field (5 bits; SF 1 to SF 16)

This field in the Command message defines the action to be performed at the selected Station and Sub-address in the crate (see Sub-clause 5.1.3 of IEC Publication 516).

Les valeurs de SF 16 et de SF 8 dans cette partie font la distinction entre les ordres de Lecture, d'écriture de Contrôle et de Commande et, par suite, déterminent si une partie DONNÉES est incluse dans le Message d'Ordre ou de Réponse. Les longueurs des Messages d'Ordre et de Réponse correspondant aux diverses valeurs de SF 16 et de SF 8 sont résumées dans le tableau I.

16.5 *Partie DONNÉES À ÉCRIRE* (24 bits; SW 1 à SW 24)

Cette partie est présente dans le Message d'Ordre si SF 16 = 1 et SF 8 = 0. Elle contient les données associées à un ordre d'écriture.

16.6 *Partie DONNÉES LUES* (24 bits; SR 1 à SR 24)

Cette partie est comprise dans le Message de Réponse si la partie FONCTION du Message d'Ordre possède SF 16 = 0 et SF 8 = 0. Elle contient les données requises par un ordre de Lecture.

16.7 *Partie IDENTIFICATION DU MESSAGE* (2 bits; M 1 et M 2)

Cette partie des Messages de Commande et de Réponse (2 bits) et des Messages de Demande (seulement M 2) est utilisée pour identifier les trois types de messages.

La signification de la partie IDENTIFICATION DU MESSAGE doit être celle indiquée dans le tableau II.

Cette partie est nécessaire au Pilote Série pour distinguer les Messages de Réponse et de Demande d'égale longueur. Elle peut aussi être utilisée par le Contrôleur de Châssis Série pour identifier les Messages d'Ordre comme sécurité supplémentaire contre l'exécution d'ordres erronés.

16.8 *Partie ÉTAT* (4 bits; ERR, SX, SQ, DERR)

Cette partie du Message de Réponse indique comment le Contrôleur de Châssis Série a répondu à un Message d'Ordre. Le bit ERREUR (ERR) indique si le contrôle de détection d'erreur sur le Message d'Ordre a été satisfaisant (voir paragraphe 63.1). Le bit ERREUR DIFFÉRÉE (DERR) fournit une information similaire sur l'ordre précédent. Pour un ordre qui a été exécuté, les bits SQ et SX indiquent l'état de RÉPONSE (Q) et d'ORDRE ACCEPTÉ (X) de l'élément du module ou du contrôleur atteint par l'ordre.

Le contenu de la partie Etat du Message de Réponse doit être conforme aux prescriptions des articles 46 et 63.

16.9 *Partie APPELS TRAITÉS SÉRIE (SGL)* (5 bits; SGL 1 à SGL 5)

Cette partie du Message de Demande identifie le type de demande, l'origine de la demande ou l'action demandée. Elle peut provenir des signaux L sur l'Interconnexion du châssis par tout processus de sélection, de groupage, de code de priorité, etc., exécuté par le Contrôleur de Châssis Série ou par un codeur SGL séparé connecté au Contrôleur de Châssis Série (voir section quatorze).

La configuration des bits SGL 1111₂ doit être utilisée uniquement pour indiquer l'état de DEMANDE EN ATTENTE (voir section quatorze).

17. **Caractères relatifs au format**

Les caractères relatifs au format constituent une partie importante de la structure du message, mais ne contiennent pas les informations définies dans l'article 16. Ils indiquent la fin

The values of SF 16 and SF 8 in this field distinguish between Read, Write and Control commands, and hence determine whether a DATA field is included in the Command or Reply message. The lengths of the Command and Reply messages corresponding to the various values of SF 16 and SF 8 are summarised in Table I.

16.5 *WRITE-DATA field* (24 bits; SW 1 to SW 24)

This field is included in the Command message if SF 16 = 1 and SF 8 = 0. It contains the data associated with a Write command.

16.6 *READ-DATA field* (24 bits; SR 1 to SR 24)

This field is included in the Reply message if the FUNCTION field of the Command message had SF 16 = 0 and SF 8 = 0. It contains the data requested by a READ command.

16.7 *MESSAGE IDENTIFICATION field* (2 bits; M 1 and M 2)

This field in the Command and Reply messages (2 bits) and in the Demand message (only M 2) is used to identify the three types of message.

The significance of the MESSAGE IDENTIFICATION field shall be as shown in Table II.

This field is needed by the SD in order to distinguish between Reply and Demand messages of equal length. It may also be used by SCC to identify Command messages, as additional security against executing false commands.

16.8 *STATUS field* (4 bits; ERR, SX, SQ, DERR)

This field in the Reply message shows how the SCC has responded to the Command message. The ERROR (ERR) bit indicates whether the error detection checks on the Command message were satisfactory (see Sub-clause 63.1). The Delayed Error (DERR) bit provides similar information about the previous command. For a command that has been executed, the SQ and SX bits indicate the RESPONSE (Q) and COMMAND ACCEPTED (X) status of the feature of the module or controller that has been accessed by the command.

The contents of the Status field in the Reply message shall conform to the requirements of Clauses 46 and 63.

16.9 *SERIAL GRADED-L (SGL) field* (5 bits; SGL 1 to SGL 5)

This field of the Demand message identifies the type of demand, the source of the demand, or the action required by the demand. It may be derived from the L-signals on the Dataway of the crate by any process of selection, grouping, priority coding, etc., that is performed by the SCC or by a separate SGL-Encoder connected to the SCC (see Section Fourteen).

The SGL bit-pattern 11111, shall be used only to indicate the HUNG DEMAND state (see Section Fourteen).

17. **Formatting bytes**

The formatting bytes are an important part of the message structure, but do not contain information fields as defined in Clause 16. They indicate the end of each message (END and

de chaque message (FIN et SOMME FINALE), fournissent l'élément de parité longitudinale du système de détection géométrique d'erreur (SOMME et SOMME FINALE) et maintiennent le signal d'horloge-caractère pendant les intervalles à l'intérieur des messages (ESPACE) et entre messages (ATTENTE).

17.1 Caractères SÉPARATEURS

Un caractère SÉPARATEUR doit avoir le bit 7 à l'état «1» et le bit 8 à la valeur appropriée pour conserver l'impairité du caractère.

Tous les autres caractères qui ne répondent pas à ces conditions sont des caractères NON SÉPARATEURS. La classe des caractères SÉPARATEUR comprend les caractères FIN, SOMME FINALE et ATTENTE.

Les caractères SÉPARATEURS sont utilisés pour indiquer le dernier caractère de chaque message et tout caractère qui intervient entre messages. Chaque message est constitué d'une série de caractères NON SÉPARATEURS terminée par un caractère SÉPARATEUR. Il peut éventuellement être suivi par des caractères SÉPARATEURS ultérieurs (caractères ATTENTE). Les caractères SÉPARATEURS ne peuvent intervenir à aucun endroit à l'intérieur des messages.

Ainsi, le premier caractère d'un message (caractère EN-TÊTE) peut être reconnu à sa composition comme le premier caractère NON SÉPARATEUR suivant un ou plusieurs caractères SÉPARATEURS. Le dernier caractère d'un message peut être reconnu à sa composition comme le premier caractère SÉPARATEUR suivant un ou plusieurs caractères NON SÉPARATEURS.

17.2 Partie Parité Longitudinale

Les caractères SOMME et SOMME FINALE contiennent une partie Parité Longitudinale dans les bits 1 à 6. Cette partie indique l'élément de Parité Longitudinale du code de détection géométrique d'erreur (voir article 61). Chaque bit de la partie Parité Longitudinale maintient la parité sur la position de bit correspondante de chaque caractère, depuis le caractère EN-TÊTE jusqu'aux caractères SOMME et SOMME FINALE inclus.

Le contenu de la partie Parité Longitudinale est équivalent à la somme module-2 de tous les caractères précédents du message à l'exclusion des bits 7 et 8 de chaque caractère (d'où les termes SOMME et SOMME FINALE).

17.3 Caractère FIN

Le caractère FIN est un caractère SÉPARATEUR émis par le Pilote Série pour terminer les Messages d'Ordre complets et par les Contrôleurs de Châssis Série pour terminer les Messages d'Ordre Tronqués.

Dans le caractère FIN, le bit SÉPARATEUR (bit 7) est à l'état «1» et le bit 8 maintient l'impairité du caractère.

Un caractère FIN, ayant la configuration de bits 11100000₂, équivalant à 340₈, doit être émis par le Pilote Série comme dernier caractère de chaque Message d'Ordre.

Bien que le caractère FIN ait la même configuration binaire que le caractère ATTENTE (voir paragraphe 17.4), il diffère dans sa composition et dans les prescriptions concernant sa retransmission par les Contrôleurs de Châssis Série. Le caractère FIN est toujours précédé par un caractère NON SÉPARATEUR.

Tous les contrôleurs de châssis non désignés doivent retransmettre sans changement les caractères FIN reçus. Un contrôleur de châssis désigné doit, soit retransmettre le caractère FIN reçu du Message d'Ordre, soit le remplacer par un caractère SOMME FINALE (voir paragraphe 18.4).

ENDSUM), provide the column-parity component of the Geometric Error Detection Scheme (SUM and ENDSUM) and maintain the byte-clock during intervals within messages (SPACE) and between messages (WAIT).

17.1 *DELIMITER bytes*

A DELIMITER byte shall have bit 7 at logic “1”, and bit 8 with the appropriate value to conserve odd byte-parity.

All other bytes that do not satisfy these conditions are NON-DELIMITER bytes. The class of DELIMITER bytes includes END, ENDSUM and WAIT bytes.

DELIMITER bytes are used to indicate the last byte of each message and any bytes that occur between messages. Each message consists of a sequence of NON-DELIMITER bytes terminated by a DELIMITER byte. It may possibly be followed by further DELIMITER bytes (WAIT bytes). DELIMITER bytes cannot occur legitimately elsewhere within messages.

Thus the first byte of a message (the HEADER byte) can be recognized by its context as the first NON-DELIMITER byte following one or more DELIMITER bytes. The last byte of a message can be recognised by its context as the first DELIMITER byte following one or more NON-DELIMITER bytes.

17.2 *Column-parity field*

The SUM and ENSUM bytes contain a column-parity field in bits 1 to 6. This field provides the column-parity component of the Geometric Error Detection Scheme (see Clause 61). Each bit of the column-parity field conserves even parity over the corresponding bit position in each byte, from the HEADER byte to the SUM or ENDSUM byte, inclusive.

The content of the column-parity field is equivalent to the sum modulo-2 of all preceding bytes of the message, excluding bits 7 and 8 in each byte (hence the terms SUM and ENDSUM).

17.3 *END byte*

The END byte is a DELIMITER byte generated by the SD to terminate complete Command messages and by SCCs to terminate truncated Command messages.

In the END byte, the DELIMITER bit (bit 7) is at logic “1”, and bit 8 conserves the odd byte-parity.

An END byte, with bit-pattern 11100000₂, equivalent to 340₈, shall be generated by the Serial Driver as the last byte of every Command message.

Although the END byte has the same binary pattern as the WAIT (see Sub-clause 17.4), it differs in context and in the requirements concerning its retransmission by SCCs. The END byte is always preceded by a NON-DELIMITER byte.

All unaddressed crate controllers shall retransmit received END bytes unchanged. An addressed crate controller shall either retransmit the received END byte of the Command message or replace it by an ENDSUM byte (see Sub-clause 18.4).

17.4 Caractère ATTENTE

Le caractère ATTENTE est un caractère SÉPARATEUR émis par le Pilote Série et par les Contrôleurs de Châssis Série désignés. Le Pilote Série peut émettre des caractères ATTENTE entre des Messages d'Ordre successifs. Un Contrôleur de Châssis Série désigné émet des caractères ATTENTE, en réponse aux caractères reçus, entre le Message d'Ordre Tronqué (voir paragraphe 13.2) et le caractère EN-TÊTE du Message de Réponse et également, si besoin est, entre le caractère SOMME FINALE du Message de Réponse et l'achèvement de l'échange Ordre/Réponse.

Le caractère ATTENTE ne contient pas de partie information mais le signal de l'horloge-caractère associé permet la transmission des messages sur l'Interconnexion de Branche Série. Ainsi, bien qu'il ne soit pas obligatoire pour le Pilote Série d'émettre des caractères dans les intervalles entre les Messages d'Ordre, l'émission de caractères ATTENTE est recommandée de façon à permettre la diffusion des Messages d'Ordre et à permettre que la diffusion des Messages de Réponse puisse s'accomplir dans une Interconnexion de Branche Série classique contenant des retards logiques.

Tous les caractères émis par un Pilote Série ou un Contrôleur de Châssis Série pendant les intervalles entre messages doivent être des caractères ATTENTE, ayant la configuration de bits 11100000₂, équivalent à 340₈.

Dans cette configuration du caractère ATTENTE, le bit SÉPARATEUR (bit 7) est positionné à l'état «1» et le bit 8 est à l'état «1» pour maintenir l'impairité transversale sur l'ensemble du caractère.

C'est pourquoi le caractère ATTENTE a la même configuration de bits que le caractère FIN (voir paragraphe 17.3) mais diffère par le contexte et les prescriptions concernant sa retransmission par les Contrôleurs de Châssis Série. Un caractère ATTENTE suit toujours un autre caractère SÉPARATEUR. Sous certaines conditions liées à l'émission des Messages de Demande, un Contrôleur de Châssis Série peut émettre un autre caractère à la place d'un caractère ATTENTE reçu (voir section cinq).

Une configuration type de bits a été définie pour le caractère ATTENTE de façon à aider le processus d'établissement du synchronisme des messages (voir paragraphe 40.3) qui se produit normalement lorsque le Pilote Série est en train d'émettre une série de caractères ATTENTE. La configuration de bits choisie est l'une de celles qui ont la propriété, en émission répétitive dans le mode bit-série, que chaque caractère, y compris ses bits DÉPART et ARRÊT associés, ait seulement une transition de «0» à «1» et une transition de «1» à «0» aidant ainsi à établir le synchronisme des caractères.

17.5 Caractère SOMME FINALE

Le caractère SOMME FINALE est un caractère SÉPARATEUR et est émis par le Contrôleur de Châssis Série pour terminer chaque Message de Réponse ou de Demande. La partie Parité Longitudinale (bits 1 à 6) maintient la parité longitudinale sur tous les caractères entre le caractère EN-TÊTE et le caractère SOMME FINALE inclusivement. Le bit SÉPARATEUR (bit 7) est à l'état «1» et le bit 8 maintient l'impairité transversale.

17.6 Caractère SOMME

Le caractère SOMME est un caractère NON SÉPARATEUR et est émis par le Pilote Série dans le Message d'Ordre (voir figures 7 et 8, page 44). La partie Parité Longitudinale (bits 1 à 6) de ce caractère maintient la Parité Longitudinale sur tous les caractères du message entre le caractère EN-TÊTE et le caractère SOMME inclus. Le bit SÉPARATEUR (bit 7) est à l'état «0» et le bit 8 maintient l'impairité transversale sur la totalité du caractère SOMME.

Le Contrôleur de Châssis Série désigné utilise le caractère SOMME dans le Contrôle de détection géométrique d'erreur sur le Message d'Ordre avant de décider s'il exécute l'ordre.

17.4 *WAIT* byte

The *WAIT* byte is a *DELIMITER* byte generated by the SD and by addressed SCCs. The SD may generate *WAIT* bytes between successive Command messages. An addressed SCC generates *WAIT* bytes, in response to received bytes, between the truncated Command message (see Sub-clause 13.2) and the Header byte of the Reply message and also, if required, between the *ENDSUM* byte of the Reply message and the completion of the Command/Reply transaction.

The *WAIT* byte has no information field, but the associated byte-clock allows messages to propagate around the SH. Thus, although it is not mandatory for the SD to generate bytes during intervals between Command messages, the generation of *WAIT* bytes is recommended in order to permit the propagation of Demand messages, and to allow the propagation of Reply messages to be completed in a typical SH which includes logical delays.

Any bytes generated by a Serial Driver or Serial Crate Controller during intervals between messages shall be *WAIT* bytes with the bit-pattern 11100000₂, equivalent to 340₈.

In this *WAIT* byte pattern, the *DELIMITER* bit (bit 7) is set to logic “1”, and bit 8 is at logic “1” to conserve odd byte-parity over the whole byte.

The *WAIT* byte therefore has the same bit-pattern as the *END* byte (see Sub-clause 17.3) but differs in context and in the requirements concerning its retransmission by SCCs. A *WAIT* byte always follows another *DELIMITER* byte. Under certain conditions, connected with the generation of Demand messages, an SCC is permitted to transmit another byte in place of a received *WAIT* byte (see Section Five).

A specific bit-pattern has been defined for the *WAIT* byte in order to assist the process of establishing message synchronism (see Sub-clause 40.3), which normally takes place while the SD is generating a sequence of *WAIT* bytes. The chosen bit-pattern is one of several that have the useful property, when they are transmitted repetitively in bit-serial mode, that each byte, including its associated *START* and *STOP* bits, has only one transition from “0” to “1”, and one transition from “1” to “0”, thus assisting the establishment of byte-synchronism.

17.5 *ENDSUM* byte

The *ENDSUM* byte is a *DELIMITER* byte, and is generated by SCC to terminate each Reply or Demand message. The *COLUMN-PARITY* field (bits 1 to 6) conserves even column-parity over all bytes between the *HEADER* byte and the *ENDSUM* byte, inclusive. The *DELIMITER* bit (bit 7) is at logic “1”, and bit 8 conserves odd byte-parity.

17.6 *SUM* byte

The *SUM* byte is a *NON-DELIMITER* byte, and is generated by the SD in the Command message (see Figures 7 and 8, page 45). The column-parity field (bits 1 to 6) of this byte conserves even column-parity over all bytes of the message between the *HEADER* byte and *SUM* byte, inclusive. The *DELIMITER* bit (bit 7) is at logic “0” and bit 8 conserves odd byte-parity over the whole of the *SUM* byte.

The addressed SCC uses the *SUM* byte in the Geometric Error Detection test on the Command message, before deciding whether to execute the command.

17.7 Caractère *ESPACE*

Le caractère *ESPACE* est un caractère NON SÉPARATEUR. Une série de caractères *ESPACE* émis par le Pilote Série entre les caractères *SOMME* et *FIN* du Message d'Ordre constituent la Zone RÉPONSE. Le Contrôleur de Châssis Série désigné émet son Message de Réponse à la place de certains ou de tous les caractères *ESPACE* dans la Zone RÉPONSE.

Dans le caractère *ESPACE* émis par le Pilote Série, le bit SÉPARATEUR (bit 7) doit être à l'état «0» et le bit 8 doit maintenir l'imparité transversale.

La configuration de bits du caractère *ESPACE* émis par le Pilote Série doit être, en principe, 10111111_2 , équivalent à 277_8 .

Un Contrôleur de Châssis Série qui s'attend à recevoir des caractères *ESPACE* dans la Zone RÉPONSE d'un Message d'Ordre doit accepter tout caractère NON SÉPARATEUR en remplacement d'un caractère *ESPACE*.

Les caractères de remplacement acceptables pour les caractères *ESPACE* n'ont pas besoin d'avoir la configuration de bits recommandée, ni de maintenir l'imparité transversale.

17.7 *SPACE byte*

The SPACE byte is a NON-DELIMITER BYTE. A sequence of SPACE bytes generated by the SD between the SUM and END bytes of the Command message forms the REPLY space. The addressed SCC generates its Reply message in place of some or all of the SPACE bytes in the REPLY SPACE.

In the SPACE byte generated by the Serial Driver, the DELIMITER bit (bit 7) shall be at logic “0”, and bit 8 shall conserve odd byte-parity.

The bit-pattern of SPACE bytes generated by the SD should be 10111111_2 , equivalent to 277_8 .

A Serial Crate Controller that is expecting to receive SPACE bytes in the REPLY space of a Command message shall accept any NON-DELIMITER BYTE as a substitute for a SPACE byte.

Acceptable substitutes for SPACE bytes need not have the recommended bit-pattern or conserve odd byte-parity.

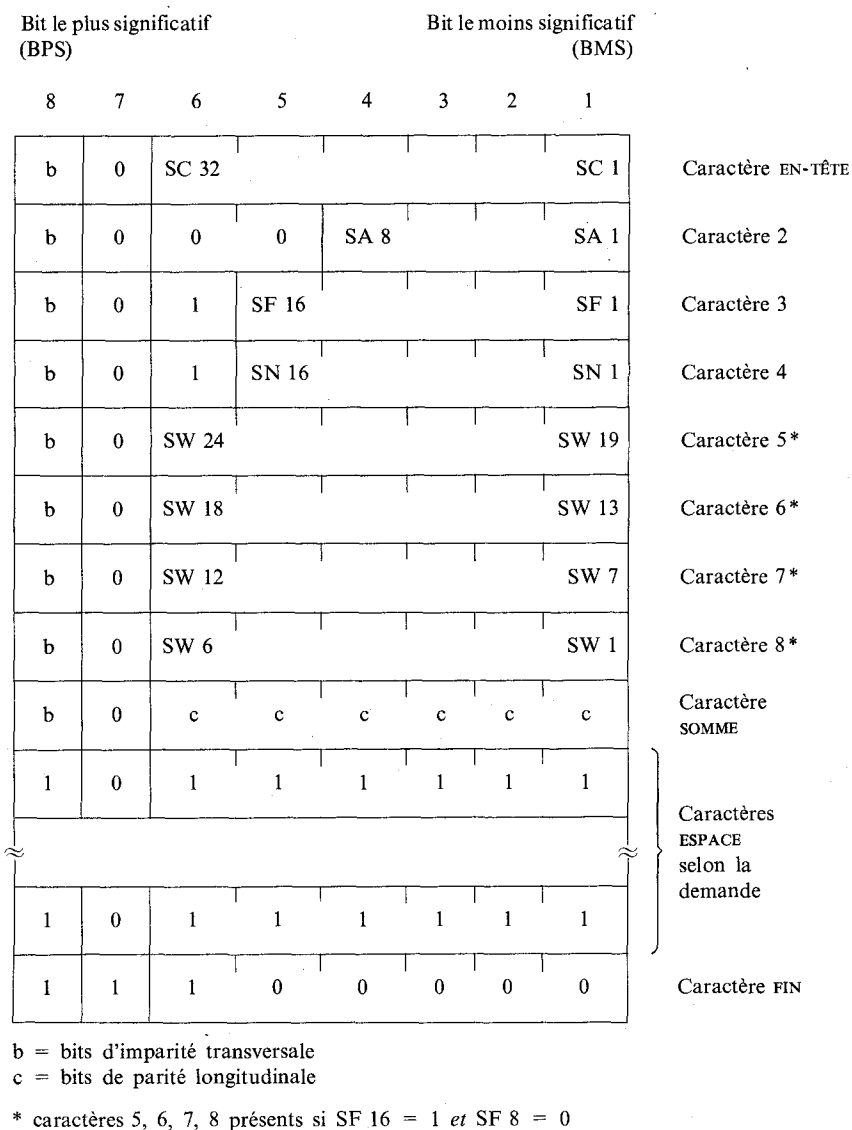


FIG. 7. — Message d'ordre: Affectation des bits.

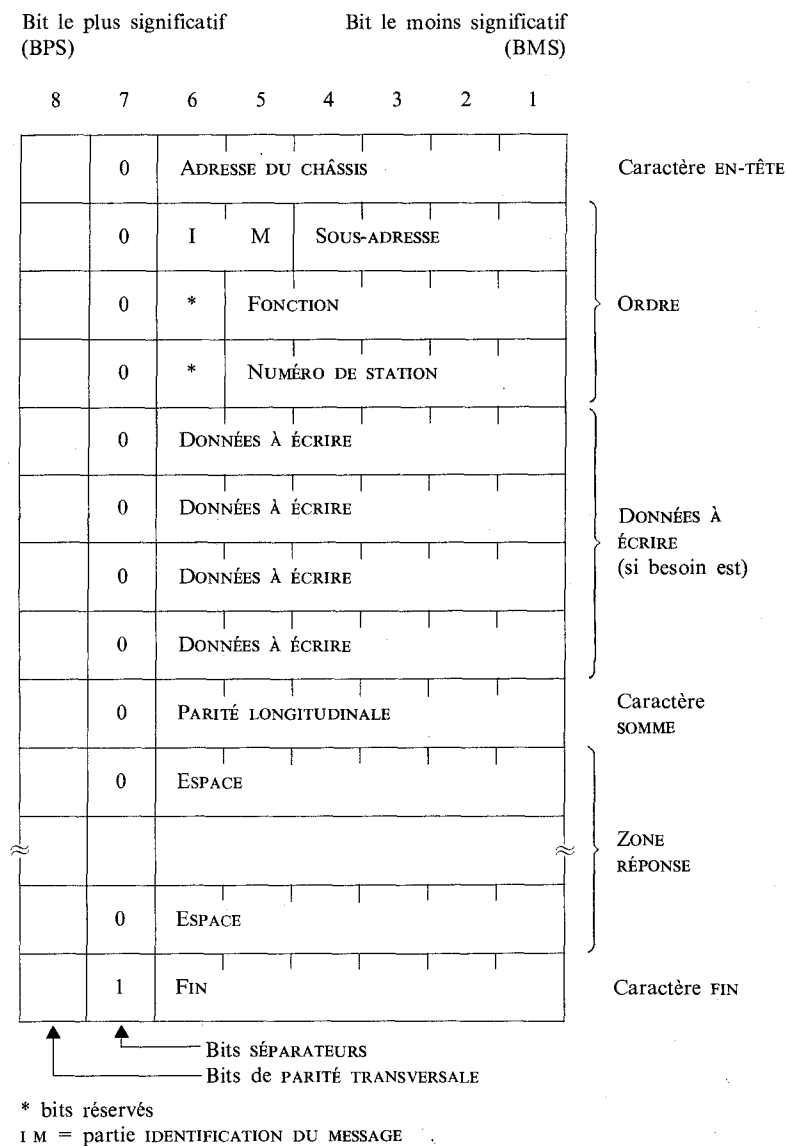
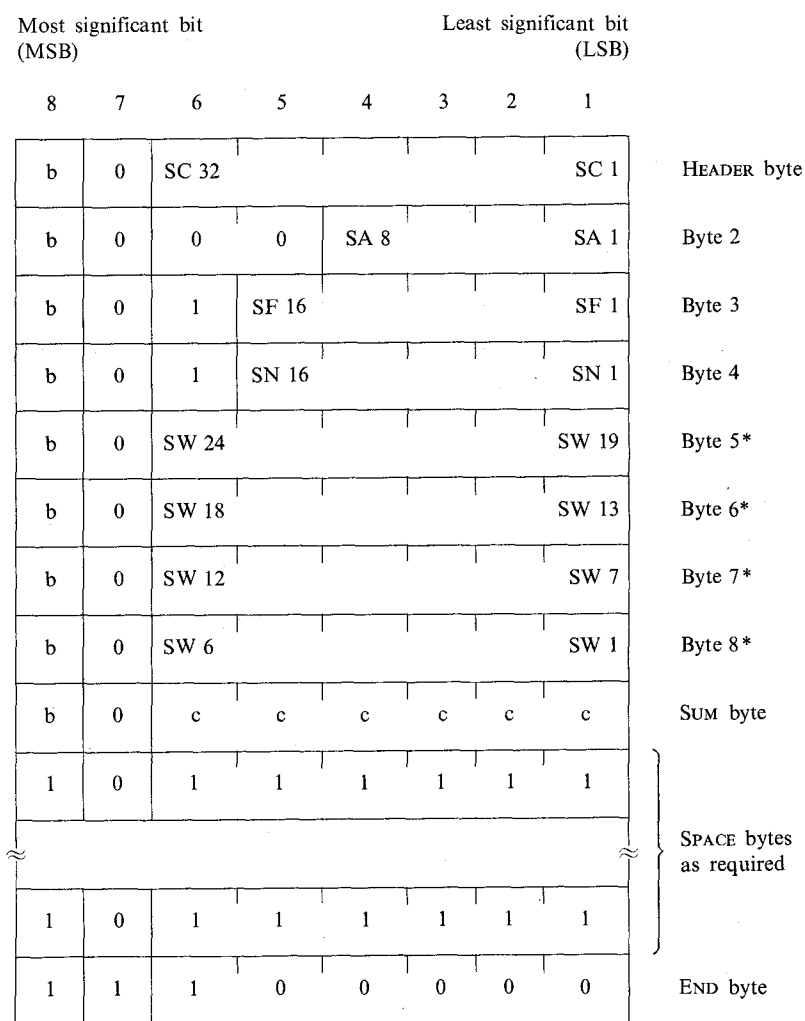


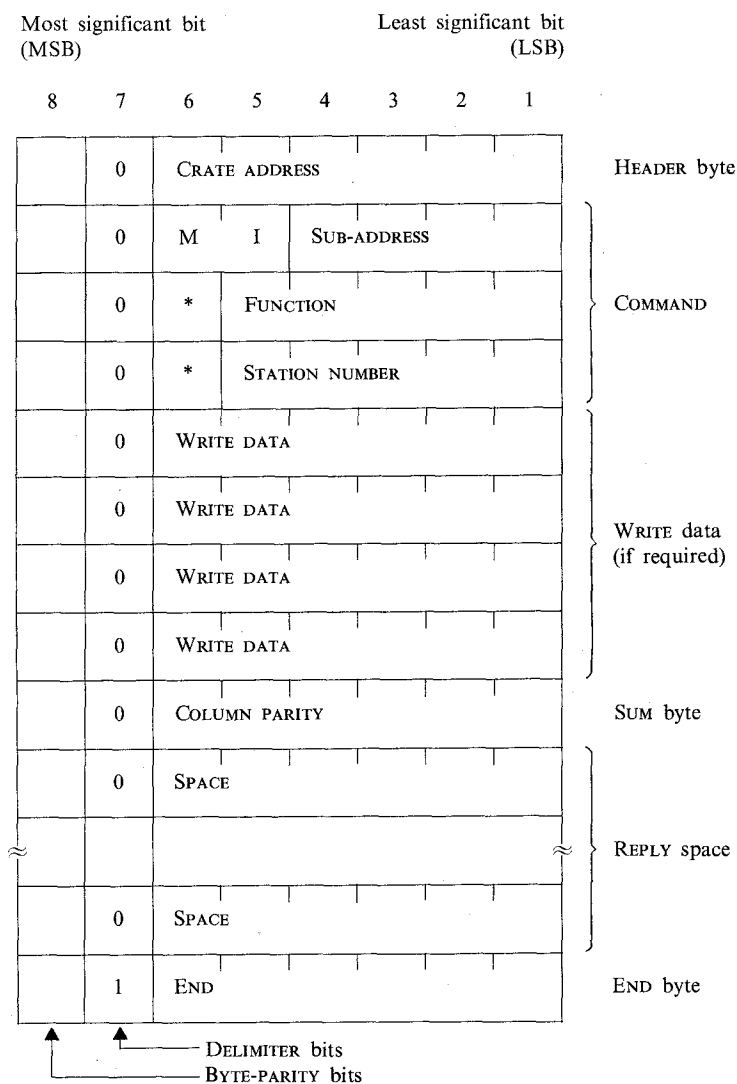
FIG. 8. — Message d'ordre: Affectation des parties.



b = odd byte-parity bits
c = even column-parity bits

* bytes 5, 6, 7, 8 included if SF 16 = 1 and SF 8 = 0

FIG. 7. — Command message: Bit assignments.



* reserved bits
M I = MESSAGE IDENTIFIER field

FIG. 8. — Command message: Field assignments.

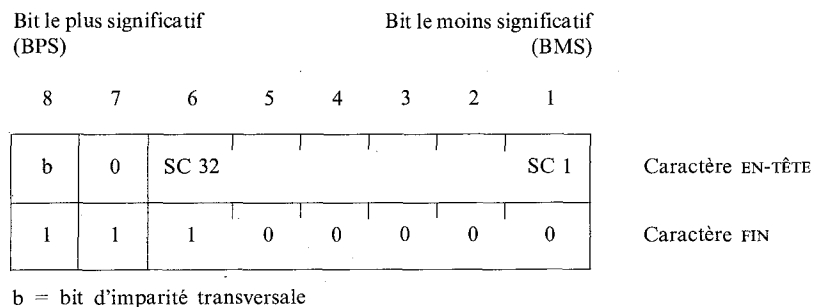
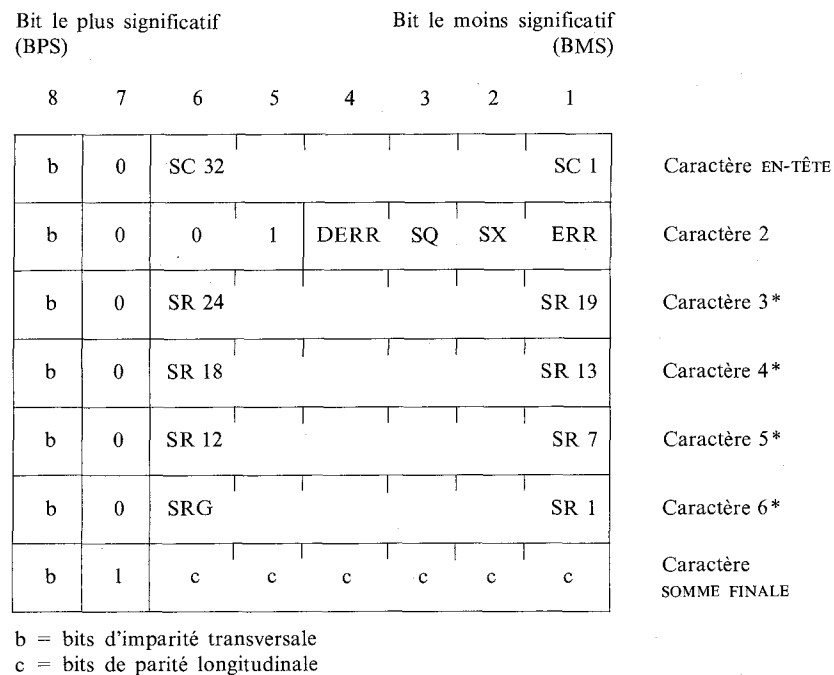


FIG. 9. — Message d'Ordre Tronqué: Affectation des bits.



* caractères 3, 4, 5, 6 présents si SF 16 = 0 et SF 8 = 0

FIG. 11. — Message de Réponse: Affectation des bits.

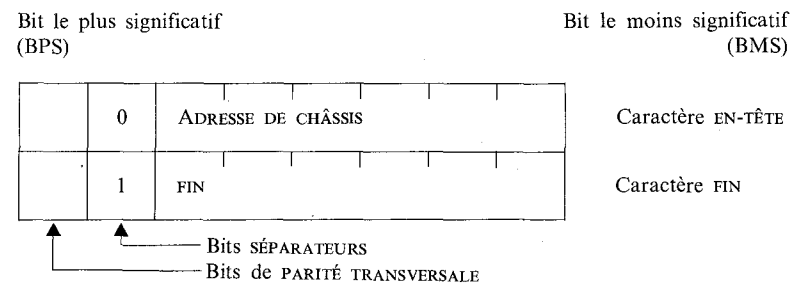
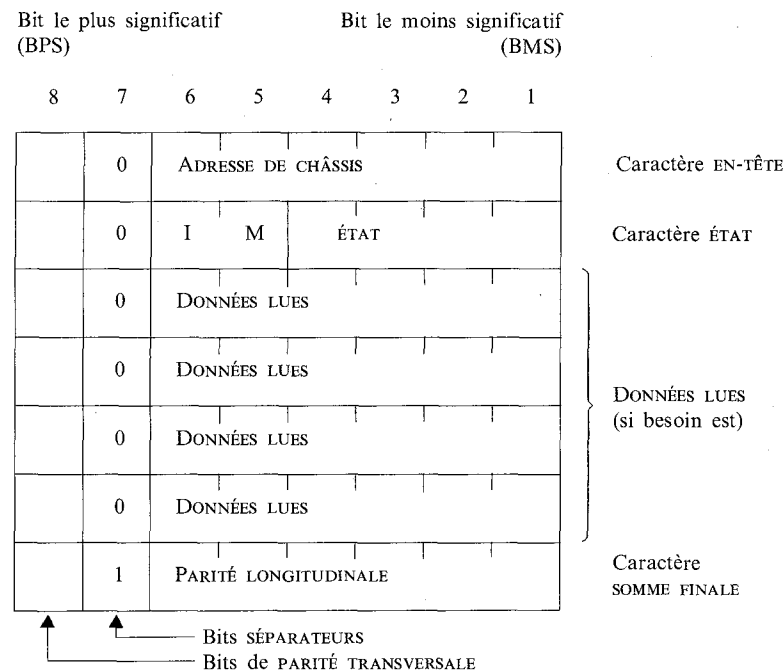
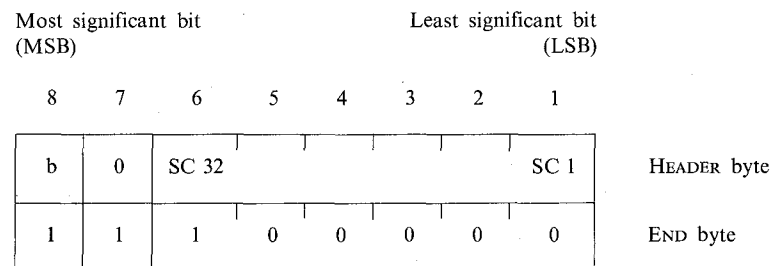


FIG. 10. — Message d'Ordre Tronqué: Affectation des parties.



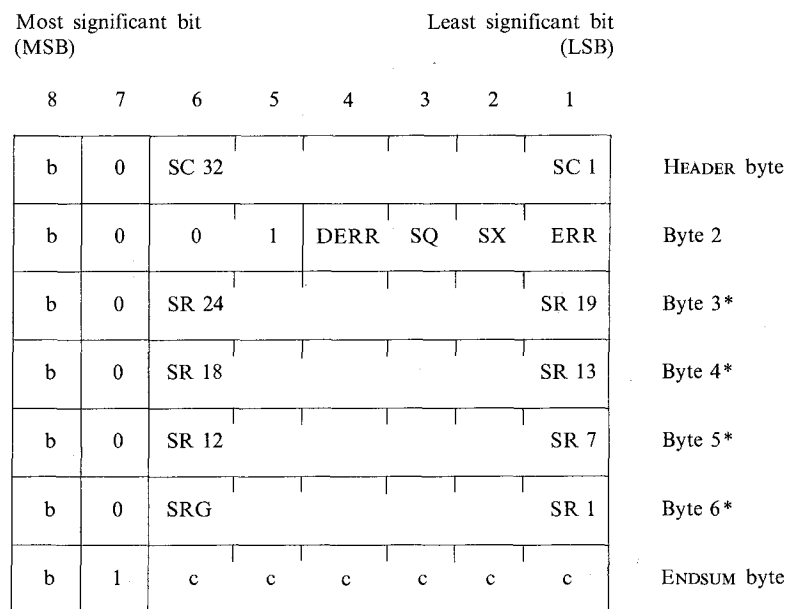
I M = partie IDENTIFICATION DU MESSAGE

FIG. 12. — Message Réponse: Affectation des parties.



b = odd byte-parity bit

FIG. 9. — Truncated command message: Bit assignments



b = odd byte-parity bits
c = even column-parity bits

* bytes 3, 4, 5, 6 included if SF 16 = and SF 8 = 0

FIG. 11. — Reply message: Bit assignments.

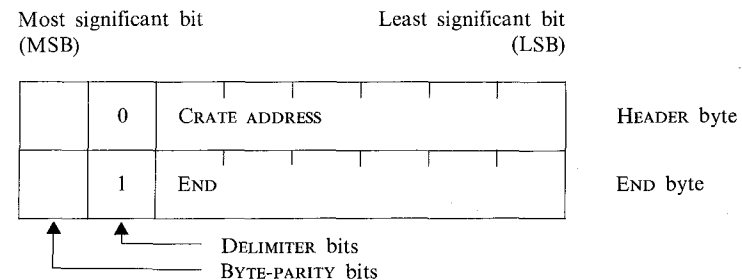
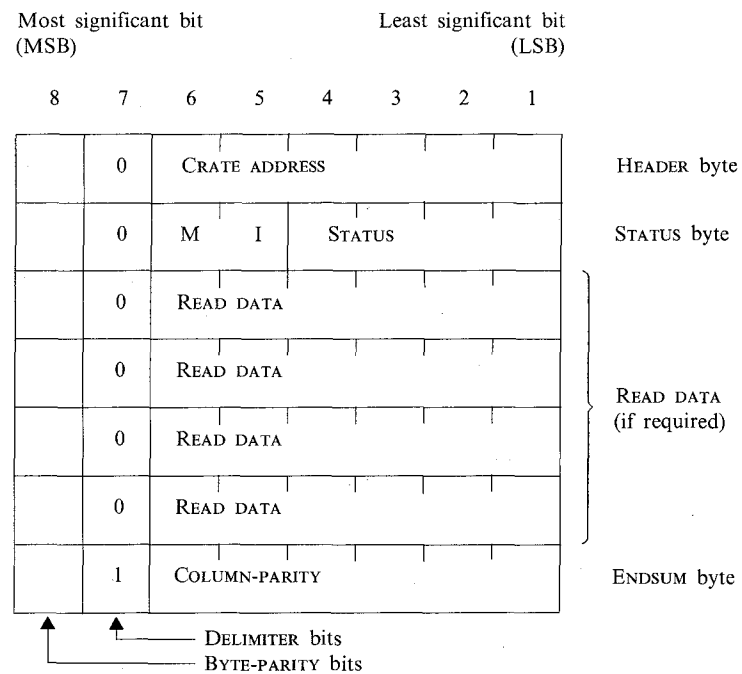


FIG. 10. — Truncated command message: Field assignments.



M I = MESSAGE IDENTIFIER field

FIG. 12. — Reply message: Field assignments.

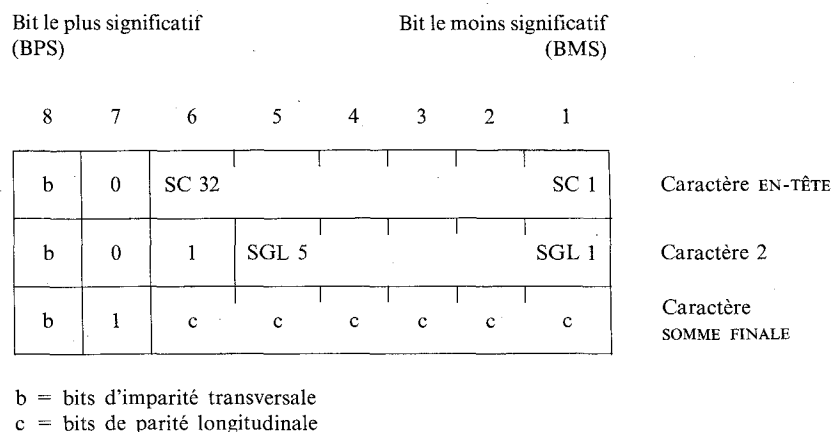
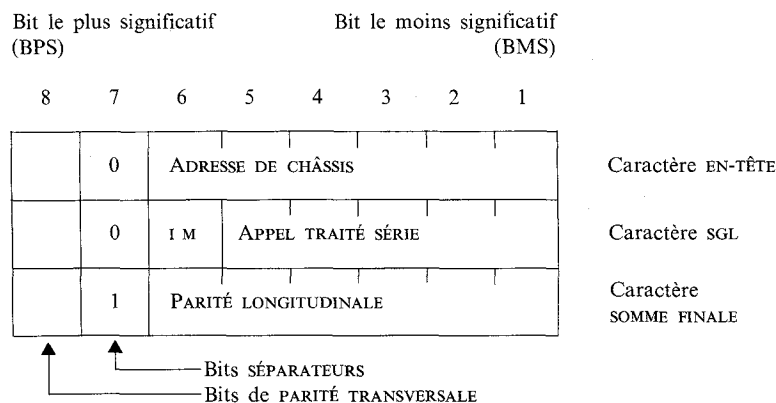


FIG. 13. — Message de Demande: Affectation des bits.



I M = partie IDENTIFICATION DU MESSAGE

FIG. 14. — Message de Demande: Affectation de parties.

TABLEAU I
Longueur des Echanges Ordre-Réponse

Opération	Partie Fonction		Nombre de caractères		
	F 16	F 8	ORDRE de EN-TÊTE à SOMME compris	RÉPONSE de EN-TÊTE à SOMME compris	ÉCHANGE Ordre-Réponse
Lecture	0	0	5	7	12 *
Commande	0	1	5	3	8 *
	1	1			
Ecriture	1	0	9	3	12 *

* Longueur minimale, en supposant qu'«EN-TÊTE DE LA RÉPONSE» est émis par le Contrôleur de Châssis Série dès réception du premier caractère ESPACE et que «SOMME FINALE» est émis dès réception du caractère FIN.