

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60747-8-4

Première édition
First edition
2004-09

Dispositifs discrets à semiconducteurs –

Partie 8-4:

**Transistors à semiconducteurs à oxyde métallique
à effet de champ (MOSFET) pour les applications
de commutation de puissance**

Discrete semiconductor devices –

Part 8-4:

**Metal-oxide-semiconductor field-effect
transistors (MOSFETs) for power
switching applications**



Numéro de référence
Reference number
CEI/IEC 60747-8-4:2004

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- **Site web de la CEI** (www.iec.ch)
- **Catalogue des publications de la CEI**

Le catalogue en ligne sur le site web de la CEI (www.iec.ch/searchpub) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- **IEC Just Published**

Ce résumé des dernières publications parues (www.iec.ch/online_news/justpub) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- **Service clients**

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- **IEC Web Site** (www.iec.ch)
- **Catalogue of IEC publications**

The on-line catalogue on the IEC web site (www.iec.ch/searchpub) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- **IEC Just Published**

This summary of recently issued publications (www.iec.ch/online_news/justpub) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- **Customer Service Centre**

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60747-8-4

Première édition
First edition
2004-09

Dispositifs discrets à semiconducteurs –

Partie 8-4:

**Transistors à semiconducteurs à oxyde métallique
à effet de champ (MOSFET) pour les applications
de commutation de puissance**

Discrete semiconductor devices –

Part 8-4:

**Metal-oxide-semiconductor field-effect
transistors (MOSFETs) for power
switching applications**

© IEC 2004 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembé, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

AVANT-PROPOS	8
1 Domaine d'application	12
2 Références normatives	12
3 Termes et définitions	12
3.1 Termes généraux	12
3.2 Circuit équivalent	12
3.3 Termes relatifs aux valeurs limites et aux caractéristiques	14
3.4 Termes conventionnels utilisés	22
4 Symboles littéraux	22
4.1 Indices supplémentaires généraux	22
4.2 Liste des symboles littéraux supplémentaires	24
5 Valeurs limites et caractéristiques essentielles	24
5.1 Généralités	24
5.2 Valeurs limites	24
5.3 Caractéristiques	28
6 Méthodes de mesure	32
6.1 Généralités	32
6.2 Vérification des valeurs limites	32
6.3 Méthodes de mesure	70
7 Réception et fiabilité (révisé à partir de l'Article 7 de la CEI 60747-8)	110
7.1 Essais d'endurance et de fiabilité, et méthodes d'essai	110
7.2 Essais de type et essais individuels de série	114
Bibliographie	120
Figure 1 – Circuit équivalent d'un MOSFET avec diode inverse	14
Figure 2 – Temps pour l'énergie à l'état passant E_{ON} et l'énergie à l'état bloqué E_{off}	16
Figure 3 – Formes d'ondes de base pour spécifier les charges de grille	20
Figure 4 – Schéma de circuit pour la vérification de la tension drain-source	34
Figure 5 – Schéma de circuit pour la vérification de la tension grille-source	36
Figure 6 – Schéma de circuit pour la vérification de la tension grille-drain	38
Figure 7 – Schémas de circuit de mesure du courant de drain à l'état bloqué	40
Figure 8 – Circuit de base pour la vérification du courant de drain	42
Figure 9 – Schéma de circuit pour la vérification du courant de crête de drain	44
Figure 10 – Circuit de base pour la vérification du courant de drain inverse des MOSFET	46
Figure 11 – Circuit de base pour la vérification du courant de crête de drain inverse des MOSFET	48
Figure 12 – Schéma de circuit pour la vérification de dv/dt	50
Figure 13 – Exemple de représentation graphique (Forme d'onde de courant pendant le recouvrement direct du MOSFET)	50

CONTENTS

FOREWORD.....	9
1 Scope.....	13
2 Normative references	13
3 Terms and definitions	13
3.1 General terms	13
3.2 Equivalent circuit.....	13
3.3 Terms related to ratings and characteristics	15
3.4 Conventional used terms	23
4 Letter symbols.....	23
4.1 Additional general subscripts.....	23
4.2 List of additional letter symbols	25
5 Essential ratings and characteristics.....	25
5.1 General	25
5.2 Ratings (limiting values)	25
5.3 Characteristics	29
6 Measuring methods	33
6.1 General	33
6.2 Verification of ratings (limiting values)	33
6.3 Methods of measurement	71
7 Acceptance and reliability (revised from Clause 7 of IEC 60747-8)	111
7.1 Endurance and reliability tests, and test methods	111
7.2 Type tests and routine tests	115
Bibliography.....	121
Figure 1 – Equivalent circuit of MOSFET with inverse diode	15
Figure 2 – Integral times for the turn-on energy E_{on} and turn-off energy E_{off}	17
Figure 3 – Basic waveforms to specify the gate charges	21
Figure 4 – Circuit diagram for testing of drain-source voltage.....	35
Figure 5 – Circuit diagram for testing of gate-source voltage.....	37
Figure 6 – Circuit diagram for testing of gate-drain voltage	39
Figure 7 – Circuit diagrams for the measurement of drain off-state current	41
Figure 8 – Basic circuit for the testing of drain current	43
Figure 9 – Circuit diagram for testing of peak drain current	45
Figure 10 – Basic circuit for the testing of reverse drain current of MOSFETs.....	47
Figure 11 – Basic circuit for the testing of peak reverse drain current of MOSFETs.....	49
Figure 12 – Circuit diagram for verifying dv/dt	51
Figure 13 – Example of graphical representation (current waveform during MOSFET forward recovery)	51

Figure 14 – Exemple de représentation graphique (Forme d'onde de tension pendant le recouvrement direct du MOSFET)	52
Figure 15 – Circuit et séquence d'impulsions pour la vérification de la zone de fonctionnement en sécurité en polarisation directe (FBSOA)	54
Figure 16 – Schéma de circuit pour la vérification de la RBSOA	56
Figure 17 – Formes d'ondes d'essai pour la vérification de la RBSOA	58
Figure 18 – Circuit pour l'essai de durée d'impulsion de fonctionnement en sécurité, en charge en court-circuit	60
Figure 19 – Formes d'ondes de la tension grille-source V_{GS} , du courant de drain I_D et de la tension V_{DS} pendant la condition de charge en court-circuit SCSOA	62
Figure 20 – Circuit pour la commutation d'avalanche inductive	64
Figure 21 – Formes d'ondes de I_D , V_{DS} et V_{GS} pendant la commutation inductive non écrêtée	64
Figure 22 – Formes d'ondes de I_D , V_{DS} et V_{GS} pour la commutation d'avalanche non répétitive	68
Figure 23 – Schémas de circuit de mesure de la tension de claquage drain-source	70
Figure 24 – Schéma de circuit pour la mesure de la tension grille-source à l'état bloqué et de la tension de seuil grille-source	72
Figure 25 – Schéma de circuit pour la mesure du courant de fuite de drain (ou à l'état bloqué)	74
Figure 26 – Schéma de circuit pour la mesure du courant de fuite de grille	76
Figure 27 – Circuit de base de mesure pour la résistance à l'état passant	78
Figure 28 – Résistance à l'état passant	78
Figure 29 – Schéma de circuit pour le temps de commutation	82
Figure 30 – Formes schématiques des ondes et temps de commutation	82
Figure 31 – Circuit pour la détermination de la dissipation de puissance et/ou de l'énergie à l'état passant et à l'état bloqué	84
Figure 32 – Schéma de circuit de mesure des charges de grille	88
Figure 33 – Circuit de base de mesure de la capacité d'entrée en court-circuit	90
Figure 34 – Circuit de base de mesure de la capacité de sortie en court-circuit (C_{oss})	92
Figure 35 – Circuit de mesure de la capacité de transfert inverse C_{rss}	94
Figure 36 – Circuit de mesure de la résistance de grille interne, en court-circuit	96
Figure 37 – Schéma de circuit pour le temps de recouvrement direct et la charge de recouvrement direct du MOSFET (Méthode 1)	98
Figure 38 – Forme d'onde de courant à travers le MOSFET	100
Figure 39 – Schéma de circuit pour le temps de recouvrement direct et la charge de recouvrement direct du MOSFET (Méthode 2)	102
Figure 40 – Forme d'onde de courant à travers le MOSFET	104
Figure 41 – Schéma de circuit de mesure de la tension inverse drain-source	106
Figure 42 – Schéma de circuit de mesure de la tension de crête inverse drain-source répétitive	108
Figure 43 – Circuit pour le blocage à haute température	112
Figure 44 – Circuit pour polarisation de grille à haute température	112
Figure 45 – Circuit pour la durée de vie en fonctionnement intermittent	114
Figure 46 – Nombre de cycles attendus en fonction de l'augmentation de température ΔT_{vj}	114

Figure 14 – Example of graphical representation (voltage waveform during MOSFET forward recovery).....	53
Figure 15 – Circuit and pulse sequence for verifying forward-bias safe operating area (FBSOA).....	55
Figure 16 – Circuit diagram for verifying RBSOA.....	57
Figure 17 – Test waveforms for verifying RBSOA.....	59
Figure 18 – Circuit for testing safe operating pulse duration at load short circuit.....	61
Figure 19 – Waveforms of gate-source voltage V_{GS} , drain current I_D and voltage V_{DS} during load short-circuit condition SCSOA	63
Figure 20 – Circuit for the inductive avalanche switching	65
Figure 21 – Waveforms of I_D , V_{DS} and V_{GS} during unclamped inductive switching.....	65
Figure 22 – Waveforms of I_D , V_{DS} and V_{GS} for the non-repetitive avalanche switching	69
Figure 23 – Circuit diagrams for the measurement of the drain-source breakdown voltage....	71
Figure 24 – Circuit diagram for measurement of gate-source off-state voltage and gate-source threshold voltage.....	73
Figure 25 – Circuit diagram for drain leakage (or off-state) current measurement	75
Figure 26 – Circuit diagram for measuring of gate leakage current.....	77
Figure 27 – Basic circuit of measurement for on-state resistance.....	79
Figure 28 – On-state resistance	79
Figure 29 – Circuit diagram for switching time.....	83
Figure 30 – Schematic switching waveforms and times	83
Figure 31 – Circuit for determining the turn-on and turn-off power dissipation and/or energy	85
Figure 32 – Circuit diagram for the measurement gate charges.....	89
Figure 33 – Basic circuit for the measurement of short-circuit input capacitance	91
Figure 34 – Basic circuit for the measurement of short-circuit output capacitance (C_{OSS})	93
Figure 35 – Circuit for the measurement of reverse transfer capacitance C_{RSS}	95
Figure 36 – Circuit for the measurement of short-circuit internal gate resistance.....	97
Figure 37 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 1).....	99
Figure 38 – Current waveform through MOSFET.....	101
Figure 39 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 2).....	103
Figure 40 – Current waveform through MOSFET	105
Figure 41 – Circuit diagram for the measurement of drain-source reverse voltage	107
Figure 42 – Circuit diagram for the measurement of repetitive peak drain-source reverse voltage.....	109
Figure 43 – Circuit for high-temperature blocking.....	113
Figure 44 – Circuit for high-temperature gate bias	113
Figure 45 – Circuit for intermittent operating life	115
Figure 46 – Expected numbers of cycles versus temperature rise ΔT_{vj}	115

Tableau 1 – Termes relatifs aux MOSFET dans la présente norme et termes conventionnels utilisés pour la diode inverse intégrée dans le MOSFET	22
Tableau 2 – Caractéristiques définissant les défaillances et critères de défaillance	32
Tableau 3 – Caractéristiques définissant les défaillances pour les essais d'endurance et de fiabilité	110
Tableau 4 – Essais de type et essais individuels de série minima pour les MOSFET, s'ils sont applicables	116

Table 1 – Terms for MOSFET in this standard and the conventional used terms for the inverse diode integrated in the MOSFET	23
Table 2 – Failure defining characteristics and failure criteria	33
Table 3 – Failure-defining characteristics for endurance and reliability tests	111
Table 4 – Minimum items of type and routine tests for MOSFETs when applicable.....	117

LICENSED TO MECON Limited, - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS DISCRETS À SEMICONDUCTEURS –

Partie 8-4: Transistors à semiconducteurs à oxyde métallique à effet de champ (MOSFET) pour les applications de commutation de puissance

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les normes internationales de la CEI dans leurs normes nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60747-8-4 a été établie par le sous-comité 47E: Dispositifs discrets à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de la présente norme est issu des documents suivants:

FDIS	Rapport de vote
47E/259/FDIS	47E/266/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DISCRETE SEMICONDUCTOR DEVICES –**Part 8-4: Metal-oxide-semiconductor field-effect transistors (MOSFETs)
for power switching applications**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60747-8-4 has been prepared by subcommittee 47E: Discrete semiconductor devices, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47E/259/FDIS	47E/266/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

La présente norme doit être lue conjointement à la CEI 60747-1, où l'utilisateur trouvera toutes les informations de base sur

- la terminologie (Chapitre II);
- les symboles littéraux (Chapitre II);
- les valeurs limites et caractéristiques essentielles (Chapitre III);
- les méthodes de mesurage (y compris les vérifications des valeurs limites) (Chapitre IV);
- la réception et la fiabilité (Chapitre V).

La CEI 60747 comprend les parties suivantes, regroupées sous le titre général *Dispositifs discrets à semiconducteurs*:

Partie 1: Généralités

Partie 2: Diodes de redressement

Partie 3: Signal (y compris commutation) et diodes régulatrices

Partie 4: Dispositifs à micro-ondes

Partie 5: Dispositifs optoélectroniques

Partie 6: Thyristors

Partie 7: Transistors bipolaires

Partie 8: Transistors à effet de champ

Partie 9: Transistors bipolaires à grille isolée (IGBT)

Partie 10: Spécification générique pour les dispositifs discrets et les circuits intégrés

Partie 11: Spécification intermédiaire pour les dispositifs discrets

Partie 12: Spécification intermédiaire pour les dispositifs optoélectroniques

Partie 13: —

Partie 14: Capteurs à semiconducteurs

Partie 15: Dispositifs à semiconducteurs de puissance isolés

Partie 16: Dispositifs intégrés à micro-ondes.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de maintenance indiquée sur le site web de la CEI sous «<http://webstore.iec.ch>» dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

This standard is to be read in conjunction with IEC 60747-1 where the user will find all basic information on

- terminology (Chapter II);
- letter symbols (Chapter II);
- essential ratings and characteristics (Chapter III);
- measuring methods (including verification of ratings) (Chapter IV);
- acceptance and reliability (Chapter V).

IEC 60747 consists of the following parts, under the general title *Discrete semiconductor devices*:

Part 1: General

Part 2: Rectifier diodes

Part 3: Signal (including switching) and regulator diodes

Part 4: Microwave devices

Part 5: Optoelectronic devices

Part 6: Thyristors

Part 7: Bipolar transistors

Part 8: Field-effect transistors

Part 9: Insulated-gate bipolar transistors (IGBTs)

Part 10: Generic specification for discrete devices and integrated circuits

Part 11: Sectional specification for discrete devices

Part 12: Sectional specification for optoelectronic devices

Part 13: —

Part 14: Semiconductor sensors

Part 15: Isolated power semiconductor devices

Part 16: Microwave integrated devices.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

DISPOSITIFS DISCRETS À SEMICONDUCTEURS –

Partie 8-4: Transistors à semiconducteurs à oxyde métallique à effet de champ (MOSFET) pour les applications de commutation de puissance

1 Domaine d'application

La présente partie de la CEI 60747 donne des détails pour les catégories suivantes de transistors à semiconducteurs à oxyde métallique à effet de champ (MOSFET) avec des diodes inverses.

- Type à appauvrissement, type B (normalement à l'état passant).
- Type à enrichissement, type C (normalement à l'état bloqué).

NOTE 1 Pour certaines applications, les MOSFET peuvent ne pas avoir de caractéristiques de diode inverse dans la fiche technique. Des configurations spéciales d'élément de circuit pour éliminer la diode sont en cours de développement pour de telles applications. Les applications des MOSFET telles que des équipements de commande de moteur nécessitent d'indiquer les caractéristiques de diode inverse dans le MOSFET pour utiliser la diode inverse comme diode de roue libre.

NOTE 2 Le MOSFET est classé comme une sorte de transistor à effet de champ à grille isolée (IGFET) dans la CEI 60747-8.

NOTE 3 Seul le symbole graphique pour le type C est utilisé dans la présente norme. Il s'applique également pour la mesure des dispositifs de type B.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60747-1:1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Partie 1: Généralités*

CEI 60747-2:2000, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Partie 2: Diodes de redressement*

CEI 60747-8:2000, *Dispositifs à semiconducteurs – Partie 8: Transistors à effet de champ.*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1 Termes généraux

Les termes généraux pour les MOSFET sont définis en 4.2 de la CEI 60747-8.

3.2 Circuit équivalent

Les MOSFET contiennent généralement (voir NOTE 1 de l'Article 1) une diode intrinsèque inverse ou une diode en parallèle avec le MOSFET proprement dit. La Figure 1 représente le circuit équivalent d'un dispositif à canal N. Les polarités sont inversées pour les dispositifs à canal P. La diode n'est pas représentée dans le symbole graphique habituel.

DISCRETE SEMICONDUCTOR DEVICES –

Part 8-4: Metal-oxide-semiconductor field-effect transistors (MOSFETs) for power switching applications

1 Scope

This part of IEC 60747 gives details for the following categories of metal-oxide semiconductor field-effect transistors (MOSFETs) with inverse diodes.

- Type B depletion (normally on) type.
- Type C enhancement (normally off) type.

NOTE 1 MOSFETs for some applications may not have inverse diode characteristics in the data sheet. Special circuit element structures to eliminate body diode are under development for such applications. MOSFET applications such as motor control equipment need to specify the inverse diode characteristics in the MOSFET to use the inverse diode as a free wheeling diode.

NOTE 2 MOSFET is classified as a kind of insulated gate field-effect transistor (IGFET) in IEC 60747-8.

NOTE 3 The graphical symbol only for type C is used in this standard. It equally applies for the measurement of type B devices.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60747-1:1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 1: General*

IEC 60747-2:2000, *Semiconductor devices – Discrete devices and integrated circuits – Part 2: Rectifier diodes*

IEC 60747-8:2000, *Semiconductor devices – Part 8: Field-effect transistors.*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

3.1 General terms

General terms for MOSFETs are defined in 4.2 of IEC 60747-8.

3.2 Equivalent circuit

MOSFETs generally (see NOTE 1 in Clause 1) contain an intrinsic inverse or body diode in parallel with the MOSFET itself. Figure 1 shows the equivalent circuit of an N-channel device. Polarities are reversed for P-channel devices. The diode is not shown in the normal graphical symbol.

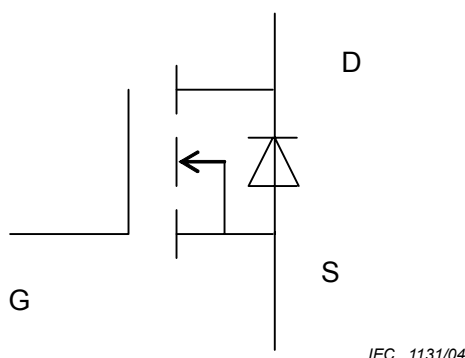


Figure 1 – Circuit équivalent d'un MOSFET avec diode inverse

3.3 Termes relatifs aux valeurs limites et aux caractéristiques

3.3.1

taux d'augmentation de tension à l'état bloqué

dv/dt

taux d'augmentation de la tension drain-source, état bloqué, induite pendant la période de recouvrement inverse de diode inverse

3.3.2

zone de fonctionnement en sécurité en polarisation inverse

RBSOA

courant de drain en fonction de la zone de tension drain-source dans laquelle le MOSFET peut être mis à l'état bloqué de façon répétitive avec une charge inductive écrêtée sans défaillance

3.3.3

zone de fonctionnement en sécurité en court-circuit

SCSOA

courant de drain en fonction de la zone de tension de drain dans laquelle le MOSFET peut être à l'état passant et à l'état bloqué de façon non répétitive sans défaillance

3.3.4

énergie d'avalanche (pour les dispositifs à avalanche)

E_A

capacité d'énergie d'avalanche à l'état bloqué

3.3.5

énergie d'avalanche répétitive (pour les dispositifs à avalanche)

E_{AR}

capacité d'énergie d'avalanche répétitive à l'état bloqué

3.3.6

énergie d'avalanche non répétitive (pour les dispositifs à avalanche)

E_{AS}

capacité d'énergie d'avalanche non répétitive à l'état bloqué (impulsion unique)

3.3.7

courant de fuite de drain

I_{DS}

courant de drain à l'état bloqué

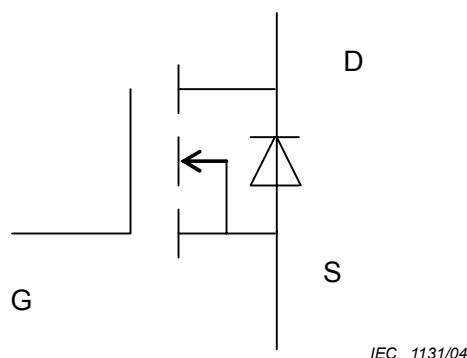


Figure 1 – Equivalent circuit of MOSFET with inverse diode

3.3 Terms related to ratings and characteristics

3.3.1

rate of rise of off-state voltage

dv/dt

rate of rise of drain-source off-state voltage induced during reverse recovery period of the inverse diode

3.3.2

reverse-bias safe operating area

RBSOA

drain current versus drain-source voltage region in which the MOSFET is able to turned-off repetitively with clamped inductive load without failure

3.3.3

short-circuit safe operating area

SCSOA

drain current versus drain voltage region in which the MOSFET is able to turn on and off non repetitively without failure

3.3.4

avalanche energy (for avalanche devices)

E_A

avalanche energy capability during turn-off period

3.3.5

repetitive avalanche energy (for avalanche devices)

E_{AR}

repetitive avalanche energy capability during turn-off period

3.3.6

non-repetitive avalanche energy (for avalanche devices)

E_{AS}

non-repetitive avalanche capability during turn-off period (single pulse)

3.3.7

drain leakage current

I_{DS}

drain current in the off-state

3.3.8

tension de claquage, drain-source

$V_{(BR)DS}$

tension de claquage drain-source à l'état bloqué

3.3.9

capacité d'entrée (en court-circuit)

C_{iss}

voir 4.3.6.1 de la CEI 60747-8

3.3.10

capacité de sortie (en court-circuit)

C_{oss}

voir 4.3.6.2 de la CEI 60747-8

3.3.11

capacité de transfert inverse (en court-circuit)

C_{rss}

voir 4.3.6.3 de la CEI 60747-8

3.3.12

résistance de grille interne

r_g

résistance de grille interne, en court-circuit (voir la Figure 37)

3.3.13

temps de commutation

$t_{d(on)}$, t_r , $t_{d(off)}$, et t_f

la forme d'onde d'entrée est la tension grille-source, et la forme d'onde de sortie est le courant de drain (voir la CEI 60747-1)

3.3.14

énergie à l'état passant

E_{on}

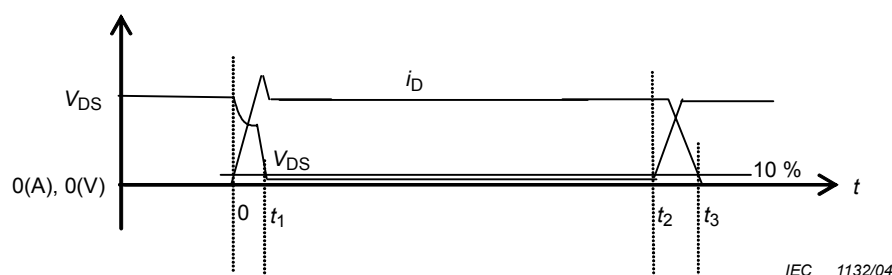
valeur de l'intégrale du produit de la tension drain-source V_{DS} et du courant de drain I_D à l'état passant, décrite par l'équation de $E_{on} = \int_0^{t_1} i_D \times v_{DS} \times dt$ (voir la Figure 2)

3.3.15

énergie à l'état bloqué

E_{off}

valeur de l'intégrale du produit de la tension drain-source V_{DS} et du courant de drain I_D à l'état bloqué, décrite par l'équation de $E_{off} = \int_{t_2}^{t_3} i_D \times v_{DS} \times dt$ (voir la Figure 2)



IEC 1132/04

Figure 2 – Temps pour l'énergie à l'état passant E_{on} et l'énergie à l'état bloqué E_{off}

3.3.8**breakdown voltage, drain to source** $V_{(BR)DS}$

drain-source breakdown voltage in the off-state

3.3.9**(short-circuit) input capacitance** C_{iss}

see 4.3.6.1 in IEC 60747-8

3.3.10**(short-circuit) output capacitance** C_{oss}

see 4.3.6.2 in IEC 60747-8

3.3.11**(short-circuit) reverse transfer capacitance** C_{rss}

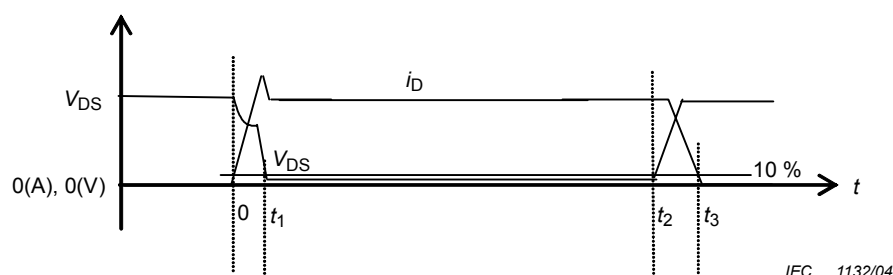
see 4.3.6.3 in IEC 60747-8

3.3.12**internal gate resistance** r_g

short-circuit internal gate resistance (see Figure 37)

3.3.13**switching times** $t_{d(on)}$, t_r , $t_{d(off)}$, and t_f

input waveform is the gate to source voltage, and output waveform is the drain current (see IEC 60747-1)

3.3.14**turn-on energy** E_{on} value of the integral of the product of drain-source voltage V_{DS} and drain current I_D during turn-on described as the equation of $E_{on} = \int_0^{t_1} i_D \times v_{DS} \times dt$ (see Figure 2)**3.3.15****turn-off energy** E_{off} value of the integral of drain-source voltage V_{DS} multiplied by drain current I_D during turn-off described as the equation of $E_{off} = \int_{t_2}^{t_3} i_D \times v_{DS} \times dt$ (see Figure 2)**Figure 2 – Integral times for the turn-on energy E_{on} and turn-off energy E_{off}**

3.3.16 charges de grille

3.3.16.1 charge de grille totale

Q_G
charge qui est nécessaire pour élever la tension grille-source de zéro à une valeur spécifiée et qui est calculée par l'équation ci-dessous (voir la Figure 3)

$$Q_G = \int_{t_0}^{t_4} i_{GG}(t) dt$$

3.3.16.2 charge de grille de seuil

$Q_{GS(th)}$
charge nécessaire pour élever la tension grille-source de zéro à $V_{GS(th)}$ et calculée par l'équation ci-dessous (voir la Figure 3)

$$Q_{GS(th)} = \int_{t_0}^{t_1} i_{GG}(t) dt$$

3.3.16.3 charge de grille de plateau

$Q_{GS(pl)}$
charge nécessaire pour élever la tension grille-source de zéro à la tension de plateau $V_{GS(pl)}$ et calculée par l'équation ci-dessous (voir la Figure 3)

$$Q_{GS(pl)} = \int_{t_0}^{t_2} i_{GG}(t) dt$$

3.3.16.4 charge de drain de grille

Q_{GD}
différence de charge entre le début et la fin de la région de plateau, nécessaire pour charger C_{GD} et calculée par l'équation ci-dessous (voir la Figure 3)

$$Q_{GD} = \int_{t_2}^{t_3} i_{GG}(t) dt$$

3.3.16 gate charges

3.3.16.1 total gate charge

Q_G

charge that is required to raise the gate-source voltage from zero to a specified value and calculated by the following equation (see Figure 3)

$$Q_G = \int_{t_0}^{t_4} i_{GG}(t) dt$$

3.3.16.2 threshold gate charge

$Q_{GS(th)}$

charge required to raise gate-source from zero to $V_{GS(th)}$ and calculated by the following equation (see Figure 3)

$$Q_{GS(th)} = \int_{t_0}^{t_1} i_{GG}(t) dt$$

3.3.16.3 plateau gate charge

$Q_{GS(pl)}$

charge required to raise gate-source voltage from zero to plateau voltage $V_{GS(pl)}$ and calculated by the following equation (see Figure 3)

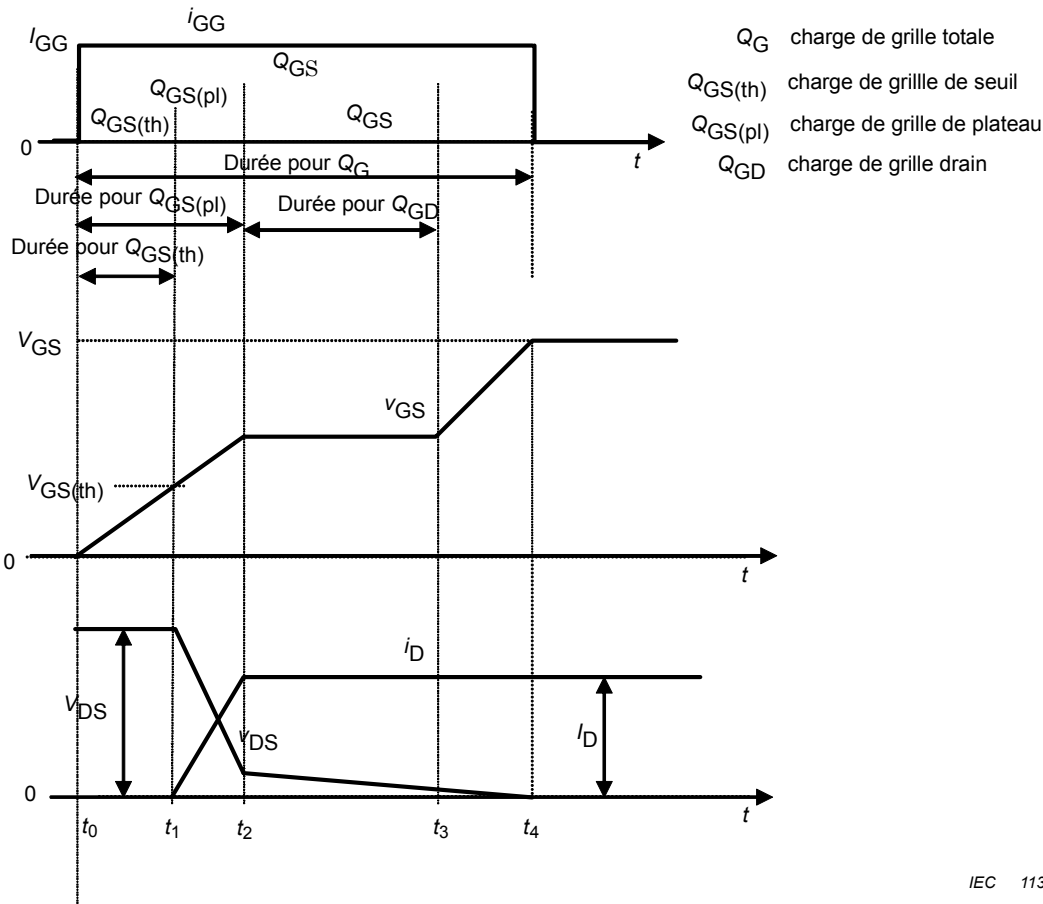
$$Q_{GS(pl)} = \int_{t_0}^{t_2} i_{GG}(t) dt$$

3.3.16.4 gate drain charge

Q_{GD}

charge difference between beginning and end of plateau region, required to charge up C_{GD} and calculated by the following equation (see Figure 3)

$$Q_{GD} = \int_{t_2}^{t_3} i_{GG}(t) dt$$



NOTE Les intervalles de temps indiqués par des lignes terminées par une flèche sont des intervalles pour calculer les charges de grille.

Figure 3 – Formes d'ondes de base pour spécifier les charges de grille

3.3.17

charge de capacité de sortie

Q_{oss}

charge nécessaire pour modifier la tension au niveau de la capacité de sortie C_{oss} à l'état passant et bloqué

3.3.18

tension de plateau grille-source

$V_{GS(pl)}$

tension à l'état passant, où V_{GS} est relativement constante (Plateau de Miller) et pendant laquelle C_{GD} est chargée

NOTE Voir la Figure 3.

3.3.19

tension inverse drain-source

V_{DSR}

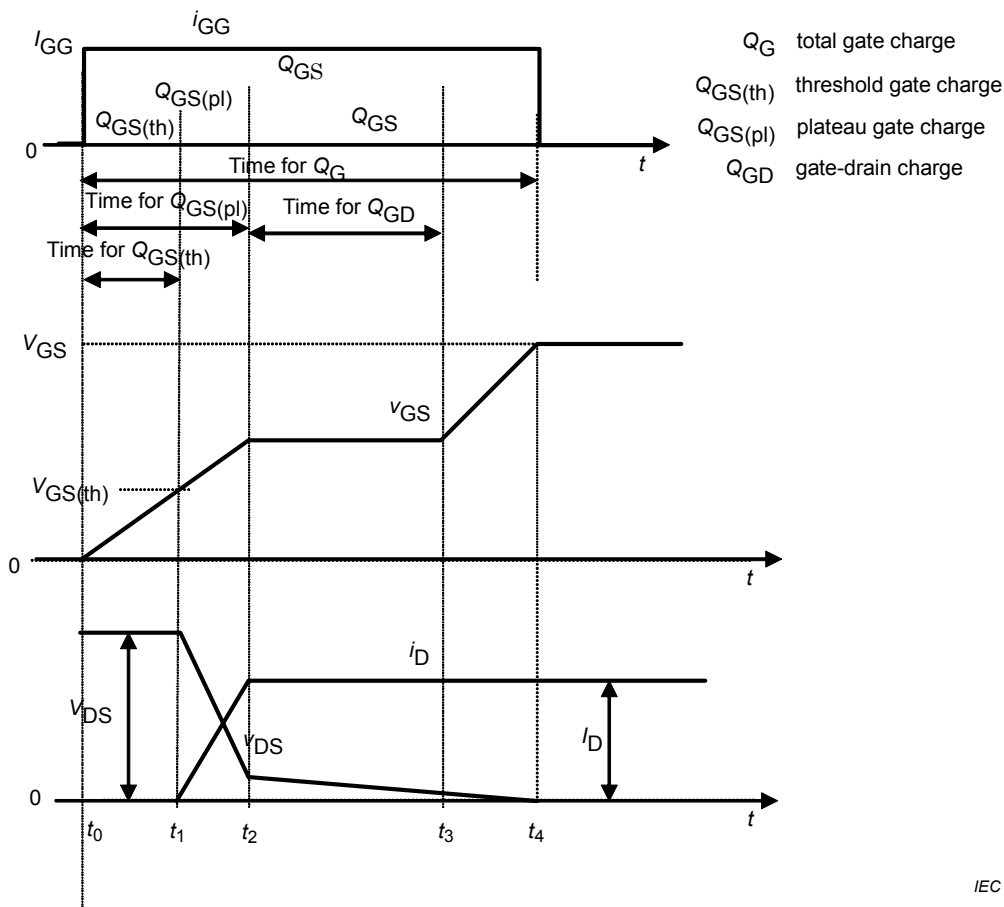
tension à travers le MOSFET résultant de la circulation du courant dans le sens inverse

3.3.20

courant de recouvrement direct du MOSFET

I_{FR}

courant de recouvrement du MOSFET résultant de la circulation du courant dans le sens inverse



IEC 1133/04

NOTE Time intervals indicated by arrow end lines are integral intervals to calculate the gate charges.

Figure 3 – Basic waveforms to specify the gate charges

3.3.17

output capacitance charge

Q_{OSS}

charge required to change the voltage at output capacitance C_{OSS} during turn-on and turn-off

3.3.18

gate-source plateau voltage

$V_{GS(pl)}$

voltage during turn-on, where V_{GS} is relatively constant (Miller-Plateau) and during which C_{GD} is charged

NOTE See Figure 3.

3.3.19

drain-source reverse voltage

V_{DSR}

voltage across the MOSFET which results from the flow of current in the reverse direction

3.3.20

MOSFET forward recovery current

I_{FR}

recovery current of the MOSFET which results from the flow of current in the reverse direction

3.3.21

temps de recouvrement direct du MOSFET

t_{fr}

temps de recouvrement du MOSFET résultant de la circulation du courant dans le sens inverse

3.3.22

charge de recouvrement direct du MOSFET

Q_f

charge de recouvrement du MOSFET résultant de la circulation du courant dans le sens inverse

3.4 Termes conventionnels utilisés

Tableau 1 – Termes relatifs aux MOSFET dans la présente norme et termes conventionnels utilisés pour la diode inverse intégrée dans le MOSFET

Termes normalisés	Symbole littéral	Termes conventionnels utilisés pour la diode inverse, avec le MOSFET à l'état bloqué	Symbole littéral
Tension inverse drain-source	V_{DSR}	Tension directe de diode inverse	V_F
Courant de recouvrement direct du MOSFET	I_{FR}	Courant de recouvrement inverse de diode inverse	I_{RR}
Courant de crête de recouvrement direct du MOSFET	I_{FRM}	Courant de crête de recouvrement inverse de diode inverse	I_{RM}
Temps de recouvrement direct du MOSFET	t_{fr}	Temps de recouvrement inverse de diode inverse	t_{rr}
Charge de recouvrement direct du MOSFET	Q_f	Charge de recouvrement inverse de diode inverse	Q_r
Courant de drain inverse	I_{DR}	Courant direct de diode inverse	I_F
Courant de crête de drain inverse	I_{DRM}	Courant de crête direct de diode inverse	I_{FM}

4 Symboles littéraux

Les symboles littéraux généraux pour les MOSFET sont définis aux Articles 2, 3 et 4, Chapitre V de la CEI 60747-1 et en 4.4.3 de la CEI 60747-8. Les symboles littéraux spéciaux relatifs aux diodes inverses sont donnés en 4.3 de la CEI 60747-2.

4.1 Indices supplémentaires généraux

En plus de la liste d'indices généraux recommandés donnés en 2.2.1 du Chapitre V de la CEI 60747-1, les indices suivants ont été introduits récemment dans la présente norme:

- O chargé par un circuit ouvert
- S chargé par un court-circuit
- R chargé par une résistance
- X avec une tension grille-source spécifiée
- pl plateau
- th seuil.

NOTE X est défini en 4.1.2 de la CEI 60747-7.

3.3.21**MOSFET forward recovery time** t_{fr}

recovery time of the MOSFET which results from the flow of current in the reverse direction

3.3.22**MOSFET forward recovery charge** Q_f

recovery charge of the MOSFET which results from the flow of current in the reverse direction

3.4 Conventional used terms**Table 1 – Terms for MOSFET in this standard and the conventional used terms for the inverse diode integrated in the MOSFET**

Standard terms	Letter symbol	Conventionally used terms for inverse diode with MOSFET in off-state	Letter symbol
Drain-source reverse voltage	V_{DSR}	Inverse diode forward voltage	V_F
MOSFET forward recovery current	I_{FR}	Inverse diode reverse recovery current	I_{RR}
MOSFET peak forward recovery current	I_{FRM}	Inverse diode peak reverse recovery current	I_{RM}
MOSFET forward recovery time	t_{fr}	Inverse diode reverse recovery time	t_{rr}
MOSFET forward recovered charge	Q_f	Inverse diode reverse recovered charge	Q_r
Reverse drain current	I_{DR}	Inverse diode forward current	I_F
Peak reverse drain current	I_{DRM}	Inverse diode peak forward current	I_{FM}

4 Letter symbols

General letter symbols for MOSFETs are defined in Clauses 2, 3 and 4, Chapter V of IEC 60747-1 and in 4.4.3 of IEC 60747-8. Special letter symbols related to inverse diodes are given in 4.3 of IEC 60747-2.

4.1 Additional general subscripts

In addition to the list of recommended general subscripts given in 2.2.1, Chapter V of IEC 60747-1, the following subscripts are newly introduced in this standard:

- O termination with a open circuit
- S termination with a short circuit
- R termination with a resistor
- X termination with specified gate source voltage
- pl plateau
- th threshold.

NOTE X is defined in 4.1.2 of IEC 60747-7.

4.2 Liste des symboles littéraux supplémentaires

Nom et désignation	Symbole littéral	Remarques
4.2.1 Tensions		
Tension de claquage, drain-source (pour type B)	$V_{(BR)DSX}$	
Tension de claquage, drain-source (pour type C)	$V_{(BR)DSS}$	
Tension grille-source, état passant (pour type C)	$V_{GS(on)}$	
Tension drain-source, état passant	$V_{DS(on)}$	
Tension inverse drain-source	V_{DR}	
Tension de plateau grille-source	$V_{GS(pl)}$	
4.2.2 Courants		
Courant de crête de drain	I_{DM}	
Courant de drain inverse	I_{DR}	
Courant de crête de drain inverse	I_{DRM}	
4.2.3 Energie de commutation		
Energie à l'état passant	E_{on}	
Energie à l'état bloqué	E_{off}	
4.2.4 Energie d'avalanche (pour les types dits à avalanche)		
Energie d'avalanche répétitive	E_{AR}	
Energie d'avalanche à impulsion unique non répétitive	E_{AS}	
4.2.5 Résistance		
Résistance de grille interne	r_g	
4.2.6 Charges de grille (voir la Figure 3)		
Charge de grille totale	Q_G	
Charge de grille de plateau	$Q_{GS(pl)}$	
Charge grille-drain	Q_{GD}	
Charge de grille de seuil	$Q_{GS(th)}$	
4.2.7 Recouvrements des MOSFET (recouvrements de diode inverse)		
Courant de crête de recouvrement direct	I_{FRM}	
Temps de recouvrement direct	t_{fr}	
Charge de recouvrement direct	Q_f	

5 Valeurs limites et caractéristiques essentielles

5.1 Généralités

Pour les dispositifs multi-grilles, les valeurs limites et les caractéristiques prescrites doivent être données pour chaque grille séparément, sauf indication contraire.

5.2 Valeurs limites

Les valeurs limites doivent être valables dans toute la plage des conditions de fonctionnement, comme cela est indiqué pour le dispositif individuel, en faisant référence à une courbe, le cas échéant.

4.2 List of additional letter symbols

Name and designation	Letter symbol	Remarks
4.2.1 Voltages		
Breakdown voltage, drain-source (for type B)	$V_{(BR)DSX}$	
Breakdown voltage, drain-source (for type C)	$V_{(BR)DSS}$	
Gate-source on-state voltage (for type C)	$V_{GS(on)}$	
Drain-source on-state voltage	$V_{DS(on)}$	
Drain-source reverse voltage	V_{DR}	
Gate-source plateau voltage	$V_{GS(pl)}$	
4.2.2 Currents		
Peak drain current	I_{DM}	
Reverse drain current	I_{DR}	
Peak reverse drain current	I_{DRM}	
4.2.3 Switching energy		
Turn-on energy	E_{on}	
Turn-off energy	E_{off}	
4.2.4 Avalanche energy (for avalanche types)		
Repetitive avalanche energy	E_{AR}	
Non-repetitive single pulse avalanche energy	E_{AS}	
4.2.5 Resistance		
Internal gate resistance	r_g	
4.2.6 Gate charges (see Figure 3)		
Total gate charge	Q_G	
Plateau gate charge	$Q_{GS(pl)}$	
Gate-drain charge	Q_{GD}	
Threshold gate charge	$Q_{GS(th)}$	
4.2.7 MOSFETs recoveries (inverse diode recoveries)		
Peak forward recovery current	I_{FRM}	
Forward recovery time	t_{fr}	
Forward recovered charge	Q_f	

5 Essential ratings and characteristics

5.1 General

For multiple-gate devices, required gate ratings and characteristics shall be given for each gate separately, except where otherwise stated.

5.2 Ratings (limiting values)

Ratings shall be valid for the whole range of operating conditions as stated for the particular device, with reference to a curve where appropriate.

5.2.1 Températures

5.2.1.1 Températures ambiante, de boîtier ou virtuelle de jonction, minimale et maximale (T_a ou T_c ou T_{vj})

5.2.1.2 Le cas échéant, températures de stockage minimale et maximale (T_{stg})

5.2.2 Dissipation de puissance (P_{tot})

Dissipation totale maximale de puissance, toute exigence particulière relative à la dissipation et/ou au montage doit être établie, le cas échéant, et une courbe de décroissance en fonction de la température.

5.2.3 Tensions et courants

5.2.3.1 Courant de drain maximal à l'état bloqué (I_{D0})

5.2.3.2 Tensions grille-source maximales ($\pm V_{GS}$)

5.2.3.3 Tension grille-grille maximale (pour dispositifs multi-grilles) (V_{G1-G2})

5.2.3.4 Taux maximal d'augmentation de tension à l'état bloqué (dv/dt)

5.2.3.5 Courant de drain maximal à l'état passant (I_D)

5.2.3.6 Courant de crête de drain maximal à l'état passant (I_{DM})

Dans des conditions d'impulsions spécifiées.

5.2.3.7 Courant de drain inverse maximal (I_{DR})

5.2.3.8 Courant de crête de drain inverse maximal (I_{DRM})

Dans des conditions d'impulsions spécifiées.

5.2.4 Zone de fonctionnement de sécurité (SOA), le cas échéant

5.2.4.1 RBSOA maximum

Dans des conditions d'impulsions spécifiées.

5.2.4.2 SCSOA maximum (si applicable)

Dans des conditions de court-circuit spécifiées. En variante, le temps pour lequel le dispositif peut être mis à l'état passant de façon non répétitive à travers une tension drain-source spécifiée et avec des conditions de grille spécifiées, peut être spécifié.

5.2.5 Energie d'avalanche (pour les dispositifs à avalanche)

5.2.5.1 Energie d'avalanche répétitive maximale (E_{AR})

Dans des conditions spécifiées dans un circuit de commutation inductif non écrêté.

5.2.5.2 Energie d'avalanche non répétitive maximale (E_{AS})

Dans des conditions spécifiées dans un circuit de commutation inductif non écrêté.

5.2.6 Données mécaniques

Voir la CEI 60747-1.

5.2.1 Temperatures

5.2.1.1 Minimum and maximum ambient, case or virtual junction temperatures (T_a or T_c or T_{vj})

5.2.1.2 Where appropriate, minimum and maximum storage temperature (T_{stg})

5.2.2 Power dissipation (P_{tot})

Maximum total power dissipation, any special requirements for ventilation and/or mounting shall be stated, where appropriate, a de-rating curve versus temperature.

5.2.3 Voltages and currents

5.2.3.1 Maximum off-state drain current (I_{D0})

5.2.3.2 Maximum gate-source voltages ($\pm V_{GS}$)

5.2.3.3 Maximum gate-gate voltage (for multiple-gate devices) (V_{G1-G2})

5.2.3.4 Maximum rate of rise of off-state voltage (dv/dt)

5.2.3.5 Maximum on-state drain current (I_D)

5.2.3.6 Maximum peak on-state drain current (I_{DM})

Under specified pulse conditions.

5.2.3.7 Maximum reverse drain current (I_{DR})

5.2.3.8 Maximum peak reverse drain current (I_{DRM})

Under specified pulse conditions.

5.2.4 Safe operating area (SOA), where appropriate

5.2.4.1 Maximum RBSOA

Under specified pulse conditions.

5.2.4.2 Maximum SCSOA (if applicable)

Under specified short-circuit conditions. Alternatively the time for which the device can be turned-on non repetitively across a specified drain-source voltage and with specified gate conditions may be specified.

5.2.5 Avalanche energy (for avalanche devices)

5.2.5.1 Maximum repetitive avalanche energy (E_{AR})

Under specified conditions in an unclamped inductive switching circuit.

5.2.5.2 Maximum non-repetitive avalanche energy (E_{AS})

Under specified conditions in an unclamped inductive switching circuit.

5.2.6 Mechanical data

See IEC 60747-1.

5.3 Caractéristiques

Les caractéristiques doivent être données à 25 °C et à une température de fonctionnement plus élevée spécifiée, sauf indication contraire.

5.3.1 Courant de fuite de grille (I_{GSS})

Valeur maximale, à une tension grille-source V_{GS} maximale et avec drain court-circuité à la source.

5.3.2 Courant de fuite de drain (I_{DSX}) (pour type B)

Valeur maximale, à des tensions élevées spécifiées drain-source et grille-source.

5.3.3 Courant de fuite de drain (I_{DSS}) (pour type C)

Valeur maximale, à une tension élevée spécifiée drain-source et tension grille-source court-circuitée.

5.3.4 Tension de claquage, drain-source ($V_{(BR)DSX}$) (pour type B)

Valeur minimale, au courant de drain maximal à l'état bloqué I_{D0} et tension grille-source spécifiée.

5.3.5 Tension de claquage, drain-source ($V_{(BR)DSS}$) (pour type C)

Valeur minimale, au courant de drain maximal à l'état bloqué I_{D0} et tension grille-source court-circuitée.

5.3.6 Tension de blocage grille-source ($V_{GS(off)}$) (pour type B)

Valeurs minimale et maximale à une valeur élevée spécifiée de tension drain-source et à une valeur faible spécifiée de courant de drain.

5.3.7 Tension de seuil grille-source ($V_{GS(th)}$) (pour type C)

Valeurs minimale et maximale à une valeur élevée spécifiée de tension drain-source et à une valeur faible spécifiée de courant de drain.

5.3.8 Tension grille-source, état passant ($V_{GSM(on)}$) (pour type C)

Valeur maximale à l'état passant.

5.3.9 Résistance drain-source, état passant ($r_{DS(on)}$)

Valeur maximale à une tension de grille et une température spécifiées et avec une dissipation interne négligeable (voir la Figure 28).

5.3.10 Tension inverse drain-source (V_{DR})

Valeur maximale au courant inverse élevé spécifié (I_{DR}) et à $V_{GS} = 0$.

5.3.11 Capacité d'entrée en court-circuit (C_{iss})

Valeur maximale, à une tension drain-source spécifiée, à une fréquence spécifiée et avec la tension drain-source court-circuitée en a.c.

5.3 Characteristics

Characteristics shall be given at 25 °C and at one specified higher operating temperature taken except where otherwise stated.

5.3.1 Gate leakage current (I_{GSS})

Maximum value at maximum gate-source voltage V_{GS} with drain shorted to source.

5.3.2 Drain leakage current (I_{DSX}) (for type B)

Maximum value at specified high drain-source voltage and gate-source voltage.

5.3.3 Drain leakage current (I_{DSS}) (for type C)

Maximum value at specified high drain-source voltage and gate-source shorted.

5.3.4 Breakdown voltage, drain to source ($V_{(BR)DSX}$) (for type B)

Minimum value, at maximum off-state drain current I_{D0} and specified gate-source voltage.

5.3.5 Breakdown voltage, drain to source ($V_{(BR)DSS}$) (for type C)

Minimum value, at maximum off-state drain current I_{D0} and gate-source shorted.

5.3.6 Gate-source cut-off voltage ($V_{GS(off)}$) (for type B)

Minimum and maximum values at specified high value of drain-source voltage and low value of drain current.

5.3.7 Gate-source threshold voltage ($V_{GS(th)}$) (for type C)

Minimum and maximum values, at specified high value of drain-source voltage and at a low value of drain current.

5.3.8 Gate-source on-state voltage ($V_{GSM(on)}$) (for type C)

Maximum value in the on-state.

5.3.9 Drain-source on-state resistance ($r_{DS(on)}$)

Maximum value at specified gate voltage, temperature and with negligible internal dissipation (see Figure 28).

5.3.10 Drain-source reverse voltage (V_{DR})

Maximum value at specified high reverse current (I_{DR}) and at $V_{GS} = 0$.

5.3.11 Short-circuit input capacitance (C_{iss})

Maximum value, under specified drain-source voltage, at specified frequency and with the drain source short-circuited to a.c.

5.3.12 Capacité de sortie en court-circuit (C_{oss})

Valeur maximale, à une tension drain-source spécifiée, à une fréquence spécifiée et avec la tension grille-source court-circuitée en a.c.

5.3.13 Capacité de transfert inverse en court-circuit (C_{rss})

Valeur maximale, à une tension drain-source spécifiée, à une fréquence spécifiée et avec la tension grille-source court-circuitée en a.c.

5.3.14 Résistance de grille interne (r_g), le cas échéant

Valeur maximale et/ou type, dans les conditions électriques spécifiées et à une fréquence spécifiée.

5.3.15 Temps de commutation ($t_{d(on)}$, t_r , $t_{d(off)}$, et t_f)

Valeurs types, dans des conditions spécifiées:

- courant de drain;
- tension grille-source à l'état passant et bloqué;
- résistance de charge;
- résistance dans le circuit grille-source;
- température de boîtier ou température ambiante ou température virtuelle de jonction.

NOTE Dans le cas où le temps $t_{d(off)}$ n'est qu'une petite fraction du temps de mise à l'état bloqué total (t_{off}), une valeur maximale pour le temps t_{off} seul est satisfaisante. La valeur de $t_{d(on)}$ est comprise entre 10 % de V_{GS} et 10 % de l'augmentation de I_D . La valeur de t_r est comprise entre 10 % et 90 % de l'augmentation de I_D . La valeur de t_f est obtenue en utilisant la partie linéaire du courant de descente uniquement pour couvrir la valeur (di/dt) de la décroissance de I_D (voir la CEI 60747-1).

5.3.16 Energie à l'état passant (par impulsion) (E_{on}), le cas échéant

Valeur maximale, dans des conditions spécifiées:

- tension drain-source avant l'état passant;
- courant de crête de drain après l'état passant;
- tension grille-source;
- résistance dans le circuit grille-source;
- température de boîtier ou température ambiante ou température virtuelle de jonction.

5.3.17 Energie à l'état bloqué (par impulsion) (E_{off}), le cas échéant

Valeur maximale, dans des conditions spécifiées:

- courant de crête de drain avant l'état bloqué;
- tension drain-source après l'état bloqué;
- tension grille-source;
- résistance dans le circuit grille-source;
- température de boîtier ou température ambiante ou température virtuelle de jonction.

5.3.12 Short-circuit output capacitance (C_{oss})

Maximum value, under specified drain-source voltage, at specified frequency and with gate source short-circuited to a.c.

5.3.13 Short-circuit reverse transfer capacitance (C_{rss})

Maximum value, under specified drain-source voltage, at specified frequency and with gate source short-circuited to a.c.

5.3.14 Internal gate resistance (r_g), where appropriate

Maximum and/or typical value, under the electrical conditions specified and at specified frequency

5.3.15 Switching times ($t_{d(on)}$, t_r , $t_{d(off)}$, and t_f)

Typical values under specified conditions:

- drain current;
- gate-source voltage for turn-on and off;
- load resistance;
- resistance in the gate-source circuit;
- case or ambient temperature or virtual junction temperature.

NOTE Where $t_{d(off)}$ is only a small fraction of the total turn-off time (t_{off}), a maximum value for t_{off} alone is adequate. The value of $t_{d(on)}$ is from 10 % of V_{GS} to 10 % of rising I_D . The value of t_r is from 10 % to 90 % of the rising I_D . The value of t_f is using the linear part of decline only to cover the (di/dt) of falling I_D (see IEC 60747-1).

5.3.16 Turn-on energy (per pulse) (E_{on}), where appropriate

Maximum value under specified conditions:

- drain-source voltage before turn-on;
- drain peak current after turn-on;
- gate-source voltage;
- resistance in the gate-source circuit;
- case or ambient temperature or virtual junction temperature.

5.3.17 Turn-off energy (per pulse) (E_{off}), where appropriate

Maximum value under specified conditions:

- drain peak current before turn-off;
- drain-source voltage after turn-off;
- gate-source voltage;
- resistance in the gate-source circuit;
- case or ambient temperature or virtual junction temperature.

5.3.18 Charges de grille (Q_G , Q_{GD} , $Q_{GD(th)}$, $Q_{GS(pl)}$)

Valeurs types à courant de drain spécifié (I_D), tension drain-source (V_{DS}) et courant de grille (I_{GG}) (voir la Figure 3).

5.3.19 Temps de recouvrement direct (t_{fr})

Valeur maximale, dans des conditions spécifiées.

5.3.20 Courant de crête de recouvrement direct (I_{FRM})

Valeur maximale, dans des conditions spécifiées.

6 Méthodes de mesure

6.1 Généralités

Les polarités des sources d'alimentation, indiquées dans les schémas des circuits de la présente norme, sont applicables aux dispositifs de type canal N. Cependant, les circuits peuvent être adaptés pour des dispositifs de type canal P en changeant les polarités des appareils de mesure et des sources d'alimentation.

Les précautions générales données à l'Article 2, Section un du Chapitre VII de la CEI 60747-1 s'appliquent. En outre, il convient de porter une attention toute particulière à l'utilisation de sources d'alimentation continues à faible ondulation et au découplage correct de toutes les tensions d'alimentation de polarisation, vis-à-vis de la fréquence de mesure. Pour les dispositifs quadripolaires, il convient de relier la quatrième borne comme cela est spécifié.

Lors de la manipulation de ces dispositifs, les précautions de manipulation données à l'Article 1, Chapitre IX, de la CEI 60747-1 doivent être observées. Il convient que l'ensemble du circuit dans les paragraphes suivants soit placé à l'intérieur d'un blindage électrostatique.

6.2 Vérification des valeurs limites

Tableau 2 – Caractéristiques définissant les défaillances et critères de défaillance

Caractéristiques définissant les défaillances	Critères de défaillance
I_{GSS}	$I_{GSS} > USL$
I_{DS*}	$I_{DS*} > USL$
$V_{GS(th)}$ (ou $V_{GS(off)}$)	$V_{GS(th)} > USL$ ou $V_{GS(th)} < LSL$
$r_{DS(on)}$	$r_{DS(on)} > USL$
USL: limite spécifiée supérieure LSL: limite spécifiée inférieure	

5.3.18 Gate charges (Q_G , Q_{GD} , $Q_{GD(th)}$, $Q_{GS(pl)}$)

Typical values at specified drain current (I_D), drain-source voltage (V_{DS}) and gate current (I_{GG}) (see Figure 3).

5.3.19 Forward recovery time (t_{fr})

Maximum value under specified conditions.

5.3.20 Peak forward recovery current (I_{FRM})

Maximum value under specified conditions.

6 Measuring methods

6.1 General

The polarities of the power supplies, shown in the circuits in this standard, are applicable to N-channel type devices. However, the circuits can be adapted for P-channel type devices by changing the polarities of the meters and the power supplies.

The general precautions listed in Clause 2, Section One of Chapter VII of IEC 60747-1 apply. In addition, special care should be taken to use low-ripple d.c. supplies and to decouple adequately all bias supply voltages at the frequency of measurement. For four-terminal devices, the fourth terminal should be connected as specified.

When handling these devices, the handling precautions given in Clause 1, Chapter IX, of IEC 60747-1 shall be observed. The entire circuit in the following subclauses should be placed inside an electrostatic screen.

6.2 Verification of ratings (limiting values)

Table 2 – Failure defining characteristics and failure criteria

Failure defining characteristics	Failure criteria
I_{GSS}	$I_{GSS} > USL$
I_{DS*}	$I_{DS*} > USL$
$V_{GS(th)}$ (or $V_{GS(off)}$)	$V_{GS(th)} > USL$ or $V_{GS(th)} < LSL$
$r_{DS(on)}$	$r_{DS(on)} > USL$
USL: upper specified limit LSL: lower specified limit	

6.2.1 Tensions et courants

6.2.1.1 Tension drain-source (en courant continu) (V_{DS^*})

NOTE * = O, R, S ou X

6.2.1.1.1 Objet

Vérifier la tension drain-source (en courant continu) V_{DS^*} , dans des conditions spécifiées.

6.2.1.1.2 Schéma de circuit

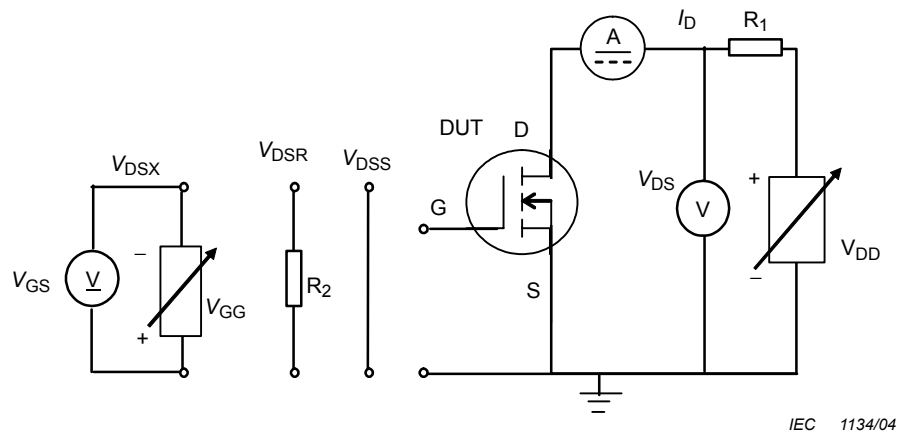


Figure 4 – Schéma de circuit pour la vérification de la tension drain-source

6.2.1.1.3 Description du circuit et exigences

V_{DD} et V_{GG} sont la tension d'alimentation continue. R_1 est une résistance de protection du circuit.

6.2.1.1.4 Procédure d'essai

La tension grille-source est réglée aux conditions spécifiées. V_{DD} est augmentée jusqu'à ce que la tension drain-source mesurée sur le voltmètre V_{DS} atteigne la tension drain-source spécifiée (courant continu) V_{DS^*} . Après l'essai ci-dessus, confirmer que les caractéristiques définissant les défaillances du DUT (dispositif en essai) sont normales par les critères du Tableau 2.

6.2.1.1.5 Conditions spécifiées

- Température ambiante, de boîtier ou de jonction (T_a ou T_c ou T_{vj})
- Conditions de polarisation grille-source
- Tension drain-source: tension drain-source assignée.

6.2.1.2 Tension grille-source (courant continu) (V_{GS^*})

6.2.1.2.1 Objet

Vérifier la tension grille-source (courant continu) pour les deux polarités, dans des conditions spécifiées.

6.2.1 Voltages and currents

6.2.1.1 Drain-source voltage (d.c.) (V_{DS*})

NOTE * = O, R, S or X

6.2.1.1.1 Purpose

To verify the drain-source voltage (d.c.) V_{DS*} under specified conditions.

6.2.1.1.2 Circuit diagram

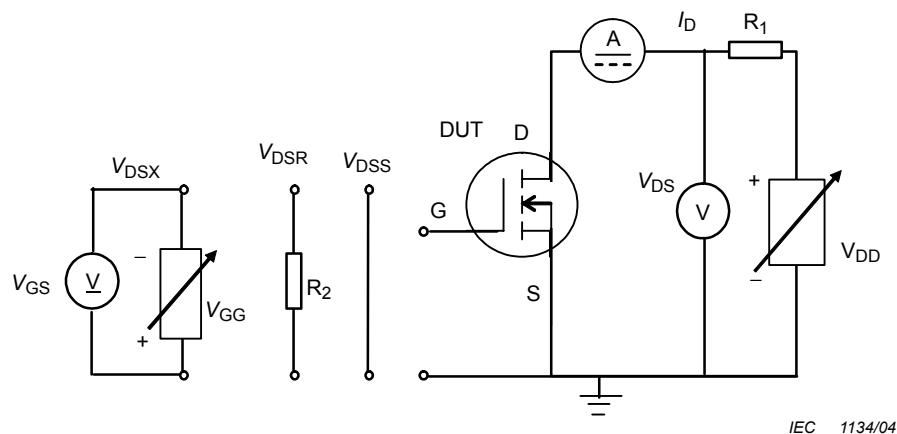


Figure 4 – Circuit diagram for testing of drain-source voltage

6.2.1.1.3 Circuit description and requirements

V_{DD} and V_{GG} are the d.c. voltage supply. R_1 is a circuit protection resistor.

6.2.1.1.4 Testing procedure

The gate-source is set to specified conditions. V_{DD} is increased until the drain-source voltage measured on voltmeter V_{DS} reaches the specified drain-source voltage (d.c.) V_{DS*} . After the above test, confirm the failure-defining characteristics of DUT being normal by the criteria of Table 2.

6.2.1.1.5 Specified conditions

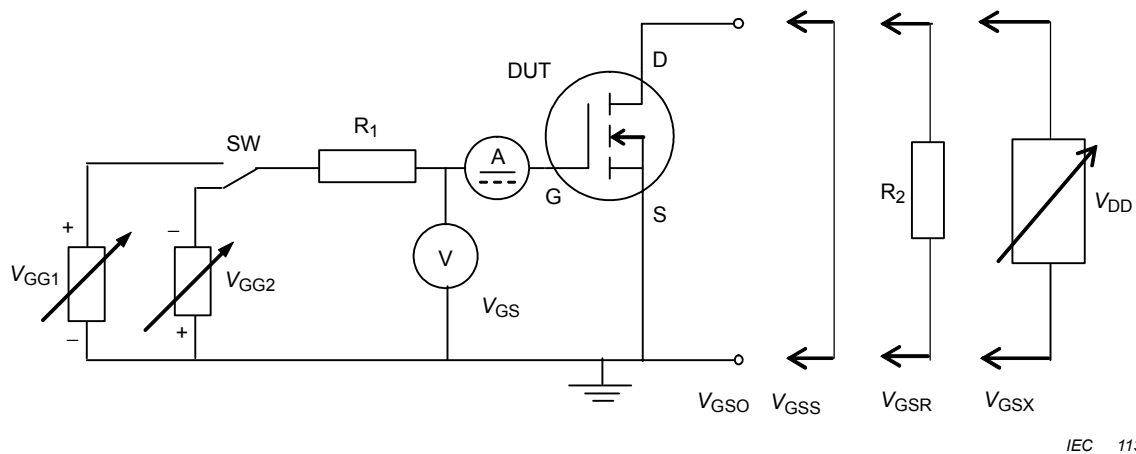
- Ambient or case or junction temperature (T_a or T_c or T_{vj})
- Gate-source bias conditions
- Drain-source voltage: rated drain-source voltage.

6.2.1.2 Gate-source (d.c.) voltage (V_{GS*})

6.2.1.2.1 Purpose

To verify the gate-source (d.c.) voltage for both polarities, under specified conditions.

6.2.1.2.2 Circuit diagram



IEC 1135/04

Figure 5 – Circuit diagram for testing of gate-source voltage

6.2.1.2.3 Circuit description and requirements

V_{DD} , V_{GG1} and V_{GG2} are the d.c. voltage supply. V_{GSX} is applied only for gate reverse biased condition of V_{GG2} .

6.2.1.2.4 Testing procedure

Drain-source voltage is set to specified conditions. V_{GG} is increased until gate-source voltage measured on voltmeter V_{GS} reaches the specified gate-source voltage V_{GS*} . After the above test, confirm the failure-defining characteristics of DUT being normal by the criteria of Table 2.

6.2.1.2.5 Specified conditions

- Ambient or case or junction temperature (T_a or T_c or T_{vj})
- Drain-source bias conditions
- Gate-source voltage: rated gate-source voltage.

6.2.1.3 Gate-drain (d.c.) voltage (V_{GD*}) (IEC 60747-8)

6.2.1.3.1 Purpose

To verify the gate-drain (d.c.) voltage for both polarities, under specified conditions.