NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
748-11-1

QC 790101

Première édition
First edition
1992-04

Dispositifs à semiconducteurs
Circuits intégrés

Onzième partie:
Section un: Examen visuel interne pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides

Semiconductor devices
Integrated circuits

Part 11:
Section 1: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits

Numéro de référence
Reference number
CEI/IEC 748-11-1: 1992

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI***
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement (Catalogue en ligne)*
- **Bulletin de la CEI**
  Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique,* la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles,* et la CEI 60617: *Symboles graphiques pour schémas.*

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
  Published yearly with regular updates (On-line catalogue)*
- **IEC Bulletin**
  Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

* See web site address on title page.

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

NORME INTERNATIONALE
INTERNATIONAL STANDARD

CEI IEC 748-11-1

QC 790101

Première édition
First edition
1992-04

Dispositifs à semiconducteurs
Circuits intégrés

Onzième partie:
Section un: Examen visuel interne pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides

Semiconductor devices
Integrated circuits

Part 11:
Section 1: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits

© CEI 1992 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher

Bureau central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève Suisse

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE W

Pour prix, voir catalogue en vigueur
For price, see current catalogue

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

SOMMAIRE

Pages

AVANT-PROPOS 4

Articles

1 Domaine d'application et objet 6

2 Appareillage 6

3 Procédure pour les circuits intégrés 6

3.0 Introduction 6
3.1 Conditions d'essai 14
3.2 Conditions spécifiées 34

Figures 36

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

CONTENTS

Page

FOREWORD 5

Clause

1 Scope and object 7

2 Apparatus 7

3 Procedure for integrated circuits 7

3.0 Introduction 7
3.1 Test conditions 15
3.2 Specified conditions 35

Figures 37

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS
CIRCUITS INTÉGRÉS

Onzième partie: Section un: Examen visuel interne pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides

AVANT-PROPOS

1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.

2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.

3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

La présente Norme internationale, qui constitue un complément à la CEI 748-11, a été établie par le Sous-Comité 47A: Circuits intégrés, et par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification intermédiaire pour les circuits intégrés à semiconducteurs, à l'exclusion des circuits hybrides, dans le domaine du Système CEI d'assurance de la qualité des composants électroniques (IECQ).

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47A(BC)179	47A(BC)199

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES
INTEGRATED CIRCUITS

Part 11: Section 1: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits

FOREWORD

1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.

2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.

3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

This International Standard, which is a supplement to IEC 748-11, has been prepared by IEC Sub-Committee 47A: Integrated circuits, and IEC Technical Committee No. 47: Semiconductor devices.

This standard is a sectional specification for semiconductor integrated circuits excluding hybrid circuits in the field of the IEC Quality Assessment System for Electronic Components (IECQ).

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47A(CO)179	47A(CO)199

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The QC number that appears on the front of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

DISPOSITIFS À SEMICONDUCTEURS
CIRCUITS INTÉGRÉS

Onzième partie: Section un: Examen visuel interne pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides

1 Domaine d'application et objet

Le but de ces essais est de vérifier la conformité aux exigences de la spécification applicable des matériaux internes utilisés, de la fabrication et de l'assemblage des circuits intégrés.

Ces essais sont normalement effectués, sur la base d'un contrôle unitaire (100%), préalablement au capotage ou à l'encapsulation des dispositifs, dans le but de détecter et d'éliminer ceux qui comportent des défauts internes susceptibles de provoquer leur défaillance dans des conditions normales d'utilisation. Ils peuvent aussi être effectués sur la base d'un contrôle par échantillonnage, préalablement au capotage, dans le but de mesurer l'efficacité des procédures de contrôle de la qualité et de manipulations des dispositifs à semiconducteurs appliquées par le fabricant.

2 Appareillage

Pour cet essai, l'appareillage doit comprendre l'équipement optique permettant d'obtenir les grossissements spécifiés et tous les outillages et étalons (calibres, dessins, photographies, etc.) nécessaires pour faire un examen efficace et permettre à l'opérateur de prendre des décisions objectives quant à l'acceptabilité du dispositif examiné. Le matériel adéquat pour manipuler les dispositifs pendant l'examen doit être fourni dans le but de permettre un travail efficace sans dommage pour les pièces.

3 Procédure pour les circuits intégrés

3.0 *Introduction*

3.0.1 *Dispositions générales*

Le dispositif doit être examiné sous un grossissement compris dans la gamme spécifiée et selon une séquence d'observations appropriée, permettant de vérifier sa conformité aux exigences de la spécification applicable et aux critères décrits dans la condition d'essai spécifiée. Les inspections et critères de cet essai sont à considérer comme des exigences de contrôle pour tous les dispositifs et les zones auxquels ils sont applicables. Lorsqu'un critère est spécifique à un dispositif, un procédé ou une technologie, l'indication en est donnée.

Les circuits complexes peuvent exiger que d'autres procédures d'examen soient substituées à celles qui sont décrites ci-après en ce qui concerne les critères d'examen visuel relatifs à la couverture du métal, à l'oxyde ou aux défauts de diffusion, qui sont difficiles ou incommodes à effectuer. Ces autres méthodes et procédures de sélection sont décrites dans la spécification particulière applicable et leur utilisation est optionnelle.

Les exigences s'appliquent aux technologies pour lesquelles les largeurs de traits sont supérieures ou égales à 2 µm.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

SEMICONDUCTOR DEVICES
INTEGRATED CIRCUITS

Part 11: Section 1: Internal visual examination for semiconductor integrated circuits excluding hybrid circuits

1 Scope and object

The purpose of these tests is to check the internal materials, construction and workmanship of integrated circuits for compliance with the requirements of the applicable specification.

These tests will normally be used prior to capping or encapsulation on a 100 % inspection basis to detect and eliminate devices with internal defects that could lead to device failure in normal application. They may also be employed on a sampling basis prior to capping to determine the effectiveness of the manufacturer's quality control and handling procedures for semiconductor devices.

2 Apparatus

The apparatus for this test shall include optical equipment capable of the specified magnification(s) and any visual standards (gauges, drawings, photographs, etc.) necessary to perform an effective examination and enable the operator to make objective decisions as to the acceptability of the device being examined. Adequate fixturing shall be provided for handling devices during examination to promote efficient operation without inflicting damage to the units.

3 Procedure for integrated circuits

3.0 *Introduction*

3.0.1 *General*

The device shall be examined in a suitable sequence of observations within the specified magnification range to determine compliance with the requirements of the applicable specification and the criteria of the specified test condition. The inspections and criteria in this method shall be required as inspections for all devices and locations to which they are applicable. Where the criterion is intended for a specific device, process or technology, this is indicated.

Complex devices may require the substitution of alternative screening procedures for visual examination criteria pertaining to metal coverage, oxide and diffusion faults that are difficult or impractical to perform. These alternative screening methods and procedures are documented in the applicable detail specification and their use shall be on an optional basis.

The requirements are applicable to technologies with line widths down to 2 μm.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

3.0.2 *Séquence d'inspection*

L'ordre dans lequel les critères sont présentés n'est pas un ordre d'examen exigé et peut être changé à la discrétion du fabricant. Les critères visuels spécifiés en 3.1.1.2, 3.1.1.5, 3.1.1.7, 3.1.2, points (5) et (6) de 3.1.7, 3.1.8, points (1), (2) et (4) de 3.1.9 peuvent être vérifiés avant fixation de la pastille sans réexamen après fixation de la pastille. Les critères visuels spécifiés en 3.1.6.2 et 3.1.6.3 peuvent être vérifiés avant soudure sans réexamen après soudure. Les critères visuels spécifiés en 3.1.1.1 et 3.1.3 peuvent être vérifiés avant fixation de la pastille sous fort grossissement à condition d'être vérifiés à nouveau après fixation de la pastille sous faible grossissement. Lorsque des techniques de montage inversé sont utilisées, les critères d'inspection mentionnés ici qui ne peuvent être vérifiés après montage doivent l'être avant la fixation de la pastille. Les dispositifs non conformes aux critères donnés ici sont des défectueux. Ils doivent être rejetés et enlevés au moment de l'observation.

3.0.3 *Classes de propreté de l'air*

Les deux classes de propreté de l'air définies dans la présente spécification sont décrites ci-dessous. La classification est basée sur le comptage des particules avec, par unité de volume, un nombre maximal autorisé de particules mesurant 0,5 µm et plus, ou 5,0 µm et plus.

La taille d'une particule est définie comme la dimension linéaire maximale apparente ou comme le diamètre de la particule.

Pour le comptage des particules, on doit utiliser, sur les lieux de mise en oeuvre, l'une des méthodes suivantes:

(1) Pour les particules de 0,5 µm et plus, on doit prendre un matériel utilisant le principe de la diffusion de la lumière.

(2) Pour les particules de 5,0 µm et plus, on peut utiliser le comptage au microscope des particules collectées par un filtre à membrane à travers lequel on a fait passer un échantillon d'air.

(3) On peut utiliser d'autres méthodes ou matériels de surveillance seulement s'il est prouvé qu'ils ont une précision et une répétabilité égales à celles des méthodes ci-dessus.

Les méthodes manuelles avec microscope conviennent pour la surveillance de l'air dans la classe 3 500. Le comptage des particules doit être fait à des intervalles spécifiés, pendant les périodes de travail, à un emplacement qui permette le comptage des particules dans l'air à proximité du plan de travail. L'emplacement préféré pour le comptage de particules est situé à la hauteur du plan de travail avec la sonde de prélèvement dirigée dans le courant d'air.

3.0.3.1 *Classe 3,5*

Le nombre de particules par litre n'excède pas 3,5 pour les particules de 0,5 µm et plus, ou 0,35 pour les particules de 5 µm et plus.

3.0.3.2 *Classe 3 500*

Le nombre de particules par litre n'excède pas 3 500 pour les particules de 0,5 µm et plus, ou 25 pour les particules de 5 µm et plus.

Documents
Document Sharing Hub
Full document details: IEC 60748-11-1 1992

3.0.2 *Sequence of inspection*

The order in which criteria are presented is not a required order of examination and may be varied at the discretion of the manufacturer. Visual criteria specified in 3.1.1.2, 3.1.1.5, 3.1.1.7, 3.1.2, items (5) and (6) of 3.1.7, 3.1.8, items (1), (2) and (4) of 3.1.9 may be examined prior to die attachment without required reexamination after die attachment. The visual criteria specified in 3.1.6.2 and 3.1.6.3 may be examined prior to bonding without reexamination after bonding. The visual criteria specified in 3.1.1.1 and 3.1.3 may be examined prior to die attachment at high magnification provided they are reexamined after die attachment at low magnification. When inverted mounting techniques are employed, the inspection criteria contained herein that cannot be checked after mounting shall be checked prior to attachment of the die. Devices which fail any test criteria herein are defective devices. They shall be rejected and removed at the time of observation.

3.0.3 *Air cleanliness classes*

The two classes defined by this specification are shown below. Classifications are based on particle count with a maximum allowable number of particles 0,5 µm and larger, or 5,0 µm and larger per unit volume.

Particle size is expressed as the apparent maximum linear dimension or the diameter of the particle.

One of the following particle counting methods shall be employed on the site in use:

(1) For particle sizes 0,5 µm and larger, equipment employing light scattering principles shall be used.

(2) For particle sizes 5,0 µm and larger, microscopic counting of particles collected on a membrane filter, through which a sample of air has been drawn, may be used.

(3) Other monitoring methods and equipment may be used only if demonstrated to be of an accuracy and repeatability equal to those methods listed above.

Manual microscopic methods are adequate for monitoring air in the 3 500 class. Particle counts are to be taken at specified intervals during work activity periods at a location which will yield the particle count of the air in the proximity of the work location. The preferred location for the particle count is at work level height with the sampling probe pointed into the air stream.

3.0.3.1 *Class 3,5*

Particle count not to exceed a total of 3,5 particles of 0,5 µm per litre and larger or 0,35 particle of 5 µm and larger per litre.

3.0.3.2 *Class 3 500*

Particle count not to exceed a total of 3 500 particles of 0,5 µm per litre and larger or 25 particles of 5 µm and larger per litre.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

3.0.4 *Procédure d'inspection*

Dans tous les cas, l'examen préalable à l'inspection finale avant scellement doit être effectué avec le même programme de qualité que celui qui est exigé au poste d'inspection finale avant scellement. Des précautions doivent être prises après les examens cités en 3.0.2 pour s'assurer que les défauts créés pendant les manipulations ultérieures seront bien détectés et rejetés lors de l'inspection finale avant scellement. Pendant l'intervalle de temps entre l'inspection visuelle et la préparation pour le scellement, les dispositifs doivent être stockés en environnement contrôlé.

3.0.5 *Grossissement*

L'inspection sous fort grossissement doit être faite perpendiculairement à la surface de la pastille, sous incidence normale de la lumière. L'inspection sous faible grossissement doit être faite avec un microscope monoculaire, binoculaire ou stéréoscopique, et sous n'importe quel angle approprié, le dispositif étant convenablement éclairé. Les critères d'inspection de 3.1.4 et de 3.1.6.1 peuvent être vérifiés sous fort grossissement, au choix du fabricant.

3.0.6 *Définitions* (pour les besoins du contrôle seulement)

(1) **Une zone de circuit actif** comprend toutes sortes d'éléments de circuit fonctionnels, les métallisations fonctionnelles ou toutes leurs combinaisons interconnectées à l'exclusion des conducteurs poutres.

NOTE - Dans ce contexte, «actif» s'oppose à «inactif» et n'a rien à voir avec les composants actifs et passifs.

(2) **Un environnement contrôlé** doit être conforme aux exigences de la classe 3,5 pour la propreté de l'air. L'utilisation d'un environnement à gaz inerte tel que l'azote satisfera les exigences de stockage en environnement contrôlé. L'humidité relative ne doit pas dépasser 50 %.

(3) **Un caisson de diffusion** est un volume isolé de matériau semi-conducteur, de type «P» ou «N», entouré par un matériau isolant.

(4) **Un matériau étranger** est tout matériau non utilisé dans la fabrication du microcircuit ou tout matériau qui est déplacé de sa position initiale ou prévue à l'intérieur de l'encapsulation du microcircuit. Il doit être considéré comme attaché s'il ne peut être retiré par un jet d'air normal d'environ 140 kPa.

Un matériau étranger conducteur est défini comme toute substance qui apparaît opaque dans les conditions d'éclairage et de grossissement utilisées lors des inspections visuelles de routine.

NOTE - Une particule doit être considérée comme incrustée dans la vitrification lorsque des franges colorées apparaissent autour de la particule.

(5) **Des éléments de circuit fonctionnels** sont des composants actifs ou passifs, tels que les diodes, transistors, capacités, résistances, passages inférieurs, etc.

(6) **Un pont d'oxyde de porte** est la zone se trouvant entre les diffusions de drain et de source des structures MOS. Lorsqu'il est fait référence à la métallisation couvrant le pont d'oxyde de porte, ceci inclut tous les matériaux qui sont utilisés pour l'électrode de porte.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

3.0.4 *Inspection control*

In all cases, examination prior to final preseal inspection shall be performed under the same quality program that is required at the final preseal inspection station. Care shall be exercised after inspections per 3.0.2 to ensure that defects created during subsequent handling will be detected and rejected at final preseal inspection. During the time interval between visual inspection and preparation for sealing, devices shall be stored in a controlled environment.

3.0.5 *Magnification*

High magnification inspection shall be performed perpendicular to the die surface with normal light incidence. Low magnification inspection shall be performed with either a monocular, binocular or stereo-microscope from any appropriate angle, with the device suitably illuminated. The inspection criteria of 3.1.4 and 3.1.6.1 may be examined at high magnification at the manufacturer's option.

3.0.6 *Definitions* (for inspection purposes only)

(1) **Active circuit area** includes all kinds of functional circuit elements, operating metallization or any connected combinations thereof excluding beam leads.

NOTE - In this context, "active" is the counterpart of "inactive" and has nothing to do with active and passive components.

(2) **Controlled environment** shall be in accordance with the requirements of class 3,5 environment for air cleanliness. The use of an inert gas environment such as nitrogen shall satisfy the requirements for storing in controlled environment. The relative humidity shall not exceed 50 %.

(3) **Diffusion tub** is an isolated volume of semiconductor material, of either "P" or "N" type, surrounded by isolation material.

(4) **Foreign material** is any material not used in the manufacture of the microcircuit or any material that is displaced from its original or intended position within the microcircuit package and shall be considered attached if it cannot be removed by a nominal gas blow of approximately 140 kPa.

Conductive foreign material is defined as any substance that appears opaque under those conditions of lighting and magnification used in routine visual inspection.

NOTE - A particle shall be considered embedded in the glassivation when there is evidence of colour fringing around the periphery of the particle.

(5) **Functional circuit elements** are active or passive components such as diodes, transistors, capacitors, resistors, crossunders, etc.

(6) **Gate oxide bridge** is the area lying between the drain and source diffusions of MOS structures. References to the metallization covering the gate oxide bridge shall include all materials that are used for the gate electrode.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(7) **Une vitrification** est la couche supérieure de matière isolante qui recouvre la zone de circuit actif, y compris la métallisation, à l'exception des emplacements de soudure et des conducteurs-poutres. Une craquelure est la présence de minuscules fissures dans la vitrification.

(8) **Une jonction** est le bord extérieur d'un gradin de passivation qui délimite la frontière entre les matériaux semiconducteurs de type «P» et de type «N».

(9) **Une métallisation multicouche** (conducteurs) est constituée par au moins deux couches de métal ou de tout autre matériau, utilisées pour les interconnexions et qui ne sont pas isolées les unes des autres par un matériau isolant déposé ou obtenu par croissance. Le terme «métal sous-jacent» signifie «toute couche située sous la couche métallique supérieure».

(10) **Une métallisation multiniveau** (conducteurs) est constituée par au moins deux couches de métal ou de tout autre matériau, utilisées pour les interconnexions et qui sont isolées les unes des autres par un matériau isolant déposé ou obtenu par croissance.

(11) **Une métallisation fonctionnelle** (conducteurs) consiste en tout métal ou tout autre matériau utilisé pour assurer les interconnexions, à l'exception des lignes de gravure métallisées, des motifs d'essai, des éléments de circuit fonctionnels inutilisés, des emplacements de soudure inemployés et des marquages d'identification.

(12) **Un résidu de vapeur de polymère organique** (époxyde) est le matériau qui est émis lors de la polymérisation et se forme sur toute la surface disponible.

(13) **Une largeur originelle** est une valeur dimensionnelle de largeur ou une distance qui est prévue lors de la conception (par exemple: largeur originelle de métal, largeur originelle de diffusion, largeur originelle de poutre, etc.).

(14) **Un gradin de passivation** est un changement d'épaisseur de la passivation prévu à la conception pour l'interconnexion métal sur métal ou métal sur silicium, à l'exclusion des lignes situées sur les surfaces où les couches de passivation ont été retirées lors du processus normal de fabrication du dispositif.

(15) **La passivation** est l'oxyde ou le nitrure de silicium ou tout autre matériau isolant qui est déposé directement ou obtenu par croissance sur la pastille avant dépôt de métal.

(16) **Un métal périphérique** désigne tout métal qui est situé sur les grilles de gravure ou qui leur est immédiatement adjacent.

(17) **Une couche épaisse** est une couche déposée, par exemple par sérigraphie, et recuite à haute température pour arriver à la forme finale par fusion.

(18) **Une couche mince** est une couche (ayant habituellement moins de 10 µm d'épaisseur) qui est déposée sur un substrat par un procédé additif tel qu'évaporation sous vide, pulvérisation ou décomposition pyrolytique.

(19) **Le substrat** est le matériau support structurel dans lequel ou au-dessus duquel la passivation, les métallisations et les éléments de circuits sont placés.

(20) **La largeur minimale d'une résistance** est la partie la plus étroite d'une résistance donnée, avant ajustage. La largeur minimale pour une résistance massive peut être spécifiée dans les documents du fabricant.

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(7) **Glassivation** is the top layer of insulating material that covers the active circuit area including metallization, except bonding pads and beam leads. Crazing is the presence of minute cracks in the glassivation.

(8) **Junction** is the outer edge of the passivation step that delimits the boundary between "P" and "N" type semiconductor material.

(9) **Multilayered metallization** (conductors) is two or more layers of metal or any other material used for interconnections that are not isolated from each other by a grown or deposited insulating material. The term "underlying metal" shall refer to any layer below the top layer of metal.

(10) **Multilevel metallization** (conductors) is two or more layers of metal or any other material used for interconnections that are isolated from each other by a grown or deposited insulating material.

(11) **Operating metallization** (conductors) is any metal or any other material used for interconnection except metallized scribe lines, test patterns, unconnected functional circuit elements, unused bonding pads and identification markings.

(12) **Organic polymer (epoxy) vapour residue** is the material that is emitted from the polymer, that forms on an available surface.

(13) **Original width** is the width dimension or distance that is intended by design (e.g. original metal width, original diffusion width, original beam width, etc.).

(14) **Passivation step** is a change in thickness of the passivation for metal to metal or metal to silicon interconnection, by design, excluding lines on the surface where passivation layers have been removed as a result of normal device processing.

(15) **Passivation** is the silicon oxide, nitride or other insulating material that is grown or deposited directly on the die prior to the deposition of metal.

(16) **Peripheral metal** is all metal that lies immediately adjacent to or over the scribe grid.

(17) **Thick film** is a film deposited, for example, by screen printing processes and fired at high temperature to fuse into its final form.

(18) **Thin film** is a film (usually less than 10 μm thickness) which is deposited onto a substrate by an accretion process such as vacuum evaporation, sputtering or pyrolytic decomposition.

(19) **Substrate** is the supporting structural material into and/or upon which the passivation, metallization and circuit elements are placed.

(20) **Narrowest resistor width** is the narrowest portion of a given resistor, prior to trimming. The narrowest resistor width for a block resistor may be specified in the approved manufacturer's documentation.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(21) **La zone d'ajustage** est la partie de la résistance où le matériau résistant a été ôté ou modifié par l'ajustage.

(22) **Les détritus** sont des fragments du matériau résistant, originel ou modifié au laser, restant dans la zone d'ajustage.

(23) **Une résistance massive** est une résistance lamellaire qui, pour les besoins de l'ajustage, est conçue pour être beaucoup plus large que ne l'exigerait la densité de puissance et qui doit être repérée par le fabricant agréé dans le dossier d'exécution de l'examen visuel avant encapsulation.

(24) **Une reprise de soudure** est une deuxième soudure faite entre deux plages, ou entre une plage et une borne, pour remplacer le fil soudé à l'origine et qui a été soit enlevé en laissant la partie soudée sur la plage ou la borne, soit mal soudé la première fois.

(25) **Une éraflure** est toute déchirure de la surface de la métallisation. Les marques de pointes d'essai sont considérées comme des éraflures.

(26) **Un manque** est toute région dans la métallisation qui laisse apparaître le matériau sous-jacent et qui n'est pas provoquée par une éraflure.

3.0.7 *Interprétation*

Pour les inspections exécutées dans la gamme des grossissements de 100 x à 200 x, le critère «2,5 µm de passivation ou de métal» peut être satisfait par une «ligne de séparation» ou une «ligne de métal». De même, «s'il présente» doit être considéré comme satisfait lorsque l'image ou l'apparence visuelle du dispositif en examen indique qu'une condition spécifique est présente et ne demande pas à être confirmée par une autre méthode d'essai.

3.1 *Conditions d'essai*

L'examen visuel interne exigé de 3.1.1 à 3.1.6 doit être effectué sur chaque microcircuit et sur chaque pastille de circuit intégré. De plus, les critères applicables donnés de 3.1.7 à 3.1.9 doivent être vérifiés dans les zones appropriées du microcircuit lorsqu'une vitrification, une isolation diélectrique ou des résistances en couches sont utilisées. L'inspection sous fort grossissement doit être effectuée dans la gamme de 100 x à 200 x et l'inspection sous faible grossissement dans la gamme de 30 x à 60 x.

3.1.1 *Défauts de métallisation sous fort grossissement*

Aucun dispositif ne doit être acceptable s'il présente les défauts suivants dans la métallisation fonctionnelle:

3.1.1.1 *Eraflures de métallisation*

(1) Eraflure dans la métallisation qui expose la passivation sous-jacente, en n'importe quel endroit de sa longueur, et laisse intacte moins de 50% de la largeur originelle de métal (voir figure 3).

(2) Eraflure qui traverse complètement une métallisation et endommage la surface de la passivation avoisinante sur l'un ou l'autre côté (pour les dispositifs MOS, la métallisation est celle de dimension (*L*) (voir figure 4).

Documents
Document Sharing Hub
Full document details: IEC 60748-11-1 1992

(21) **Kerf** is that portion of the resistor area from which resistor material has been removed or modified by trimming.

(22) **Detritus** is a fragment of the original or laser-modified resistor material remaining in the kerf.

(23) **Block resistor** is a sheet resistor which, for trimming purposes, is designed to be much wider than would be dictated by power density requirements and shall be identified in the approved manufacturer's precap visual implementation document.

(24) **Rebond** is a second bonding made between two pads, or a pad and a bonding terminal, to replace the original bonded wire, which has either been removed, leaving the welded portion of the bond attached to the pad or bonding terminal, or failed to adhere at the first bonding attempt.

(25) **Scratch** is any tearing defect. Probe marks in the surface of the metallization are considered as scratches.

(26) **Void** is any region in the metallization where underlying material is visible and which is not caused by a scratch.

3.0.7 *Interpretation*

For inspections performed in the magnification range of 100 x to 200 x, the criteria of "2,5 µm of passivation or metal" can be satisfied by a "line of separation" or a "line of metal". Reference herein to "that exhibits" shall be considered satisfied when the visual image or visual appearance of the device under examination indicates that a specific condition is present and shall not require confirmation by any other method of testing.

3.1 *Test conditions*

Internal visual examination as required in 3.1.1 through 3.1.6 shall be conducted on each microcircuit and each integrated circuit chip. In addition, the applicable criteria in 3.1.7 through 3.1.9 shall be used for the appropriate microcircuit areas where glassivation, dielectric isolation or film resistors are used. The high magnification inspection shall be performed within the range of 100 x to 200 x and the low magnification inspection within the range of 30 x to 60 x.

3.1.1 *Metallization defects, high magnification*

No device shall be acceptable that exhibits the following in the operating metallization:

3.1.1.1 *Metallization scratches*

(1) Scratch in the metallization that exposes underlying passivation anywhere along its length and leaves less than 50 % of the original metal width undisturbed (see figure 3).

(2) Scratch that completely crosses a metallization path and damages the surface of the surrounding passivation on either side (for MOS devices, the path shall be the (*L*) dimension (see figure 4)).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(3) Eraflure dans une métallisation multicouche qui expose le métal sous-jacent en n'importe quel endroit de sa longueur et laisse intacte moins de 25% de la largeur originelle de la couche supérieure du métal (voir figure 3).

NOTE - Les critères des points (1), (2) et (3) peuvent ne pas être appliqués à une métallisation périphérique d'alimentation ou de masse lorsque des circuits parallèles existent et sont tels qu'une ouverture du circuit à l'endroit de l'éraflure ne causerait pas une ouverture imprévue du circuit électrique de cette métallisation.

(4) Eraflure dans la métallisation sur un gradin de passivation qui laisse intacte moins de 75% de la largeur originelle du métal au niveau de ce gradin.

NOTE - Les critères des points (1) à (4) peuvent ne pas être appliqués aux derniers 25 % de longueur linéaire d'une borne ouverte et pour tout métal des métallisations situées au-delà des extrémités des bornes de sortie. Dans ce cas, moins de 50 % de la surface de la zone de contact doivent être couverts par la métallisation et au moins 40 % du périmètre de cette zone doivent être couverts en continu par une métallisation intacte (voir figure 5).

(5) Toute éraflure dans la métallisation, sur le pont d'oxyde de porte, qui expose la passivation sous-jacente et laisse intacte moins de 50 % de la longueur ou de la largeur de la métallisation située entre les diffusions de source et de drain (voir figure 4) (applicable aux structures MOS).

(6) Eraflure dans la métallisation qui expose le matériau diélectrique d'une capacité en couche mince ou d'un passage enterré.

(7) Eraflure dans une plage de soudure ou sur la surface d'un congé de soudure qui expose la passivation sous-jacente et réduit la largeur de la métallisation assurant la liaison avec la plage de soudure à moins de 50 % de la largeur de la plus étroite bande d'interconnexion arrivant sur une plage de soudure. Si deux ou plus de deux bandes arrivent sur la même plage, chacune d'elles sera considérée séparément.

(8) Eraflures (marque de pointe d'essai, etc.) dans la plage de soudure qui exposent la passivation sous-jacente sur plus de 25% de la surface originelle de métallisation non vitrifiée.

3.1.1.2 *Manques de métallisation*

(1) Manques dans la métallisation qui laissent intacte moins de 50 % de la largeur originelle du métal (voir figure 6).

NOTE - Ce critère peut ne pas être appliqué à une métallisation périphérique d'alimentation ou de masse lorsque des circuits parallèles existent et sont tels qu'une ouverture du circuit à l'endroit du manque ne causerait pas une ouverture imprévue du circuit électrique de cette métallisation. Toutefois, si cette dérogation entraîne ou permet que la conception d'un dispositif dépasse la limite de densité de courant imposée par le dessin, elle ne doit pas s'appliquer. La densité de courant doit être déterminée à la conception et non par inspection visuelle.

(2) Manques dans la métallisation sur un gradin de passivation qui laissent intacte moins de 75 % de la largeur originelle du métal au niveau de ce gradin.

NOTE - Les critères des points (1) et (2) peuvent ne pas être appliqués aux derniers 25 % de longueur linéaire d'une borne ouverte et pour tout métal des métallisations situées au-delà des extrémités des bornes de sortie. Dans ce cas, il doit y avoir au moins 50 % de la surface de la zone de contact qui doit être couvert par la métallisation et au moins 40 % du périmètre de cette zone qui doit être couvert en continu par une métallisation intacte (voir figure 5).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(3) Scratch in multilayered metallization that exposes the underlying metal anywhere along its length and leaves less than 25 % of the top layer original metal width undisturbed (see figure 3).

NOTE - The criteria of items (1), (2) and (3) can be excluded for peripheral power or ground metallization where parallel paths exist, so that an opening at the scratch would not cause an unintended isolation of the metallization path.

(4) Scratch in the metallization over a passivation step that leaves less than 75 % of the original metal width at the step undisturbed.

NOTE - The criteria of items (1) through (4) can be excluded for the last 25 % of linear length of the contact cut and all metal beyond on the termination end(s) of the metallization runs. in these cases, there shall be at least 50 % of the contact opening area covered by metallization and at least a continuous 40 % of the contact opening perimeter covered by undisturbed metallization (see figure 5).

(5) Any scratch in the metallization, over the gate oxide bridge, that exposes underlying passivation and leaves less than 50 % of the length or width of the metallization between source and drain diffusions undisturbed (see figure 4) (applicable to MOS structures).

(6) Scratch in the metallization that exposes the dielectric material of a thin film capacitor or cross-over.

(7) Scratch in the bonding pad or fillet area that exposes underlying passivation and reduces the metallization path width connecting the bond to the interconnecting metallization to less than 50 % of the narrowest entering interconnect metallization stripe width. If two or more stripes enter a bonding pad, each shall be considered separately.

(8) Scratches (probe marks, etc.) in the bonding pad area that expose underlying passivation over more than 25 % of the original unglassivated metallization area.

3.1.1.2 *Metallization voids*

(1) Voids in the metallization that leave less than 50 % of the original metal width undisturbed (see figure 6).

NOTE - This criterion can be excluded for peripheral power or ground metallization where parallel paths exist so that an opening at the voids would not cause an unintended isolation of the metallization path. When application of this exclusion causes or permits a device design to exceed the current density limitation imposed by the design document, this exclusion shall not apply. Current density shall be determined by design, not visual inspection.

(2) Voids in the metallization over a passivation step that leave less than 75 % of the original metal width at the step undisturbed.

NOTE - The criteria of items (1) and (2) can be excluded for the last 25 % of linear length of the contact cut and all metal beyond on the termination end(s) of the metallization runs. In these cases, there shall be at least 50 % of the contact opening area covered by metallization and at least a continuous 40 % of the contact opening perimeter covered by undisturbed metallization (see figure 5).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(3) Manques dans la métallisation sur le pont d'oxyde de porte qui laissent intacte moins de 75 % de la longueur de métallisation (*L*) entre les diffusions de source et de drain (voir figure 4) (applicable aux structures MOS).

(4) Manques qui laissent intacte moins de 60 % de la surface de métallisation sur le pont d'oxyde de porte (applicable aux structures MOS).

(5) Manques qui laissent intacte moins de 75 % de la largeur de métallisation coïncidant avec la ligne de jonction de la diffusion de source ou de drain (voir figure 4) (applicable aux structures MOS).

(6) Manques dans une plage de soudure qui laissent intacte moins de 75 % de sa surface originelle de métallisation non vitrifiée.

(7) Manques dans une plage de soudure ou sur la surface d'un congé de soudure qui réduisent la largeur de la bande métallisée assurant la liaison avec la plage de soudure à moins de 50 % de la largeur de la plus étroite bande d'interconnexion arrivant sur une plage de soudure (voir figure 7).

NOTE - Si deux ou plus de deux bandes arrivent sur la même plage, chacune d'elles doit être considérée séparément.

(8) Manques dans la métallisation d'une capacité en couche mince qui réduisent la surface de métallisation de plus de 25 %.

3.1.1.3 *Corrosion de la métallisation*

Toute corrosion de la métallisation.

3.1.1.4 *Adhérence de la métallisation*

Toute métallisation soulevée, décollée ou boursouflée.

3.1.1.5 *Marquage de la métallisation par les pointes d'essai*

Les critères de 3.1.1.1 s'appliquent aux dommages causés par les pointes d'essai.

3.1.1.6 *Pontage de métallisation*

Tout pontage entre métallisations lorsque la séparation entre deux chemins de métallisation est réduite à moins de 2,5 µm sauf par conception.

3.1.1.7 *Alignement de métallisation*

(1) Fenêtre de contact ayant moins de 50 % de sa surface couverte par la métallisation.

(2) Fenêtre de contact ayant moins de 40 % de son périmètre couvert par la métallisation.

NOTE - Lorsque, par conception, le métal est totalement contenu dans la fenêtre de métallisation, les critères du point (1) concernant la couverture de zone et du point (2) concernant la couverture du périmètre peuvent être annulés à condition que les critères de conception soient satisfaits.

(3) Un chemin de métallisation non prévu pour couvrir une fenêtre de contact qui est séparé de la fenêtre par moins de 2,5 µm.

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(3) Voids in the metallization over the gate oxide bridge that leave less than 75 % of the metallization length (*L*) between source and drain diffusions undisturbed (see figure 4) (applicable to MOS structures).

(4) Voids that leave less than 60 % of the metallization area over the gate oxide bridge undisturbed (applicable to MOS structures).

(5) Voids that leave less than 75 % of the metallization width coincident with the source or drain diffusion junction line undisturbed (see figure 4) (applicable to MOS structures).

(6) Voids in the bonding pad area that leave less than 75 % of its original unglassivated metallization area undisturbed.

(7) Voids in the bonding pad or fillet area that reduce the metallization path width connecting the bond to the interconnecting metallization to less than 50 % of the narrowest entering interconnect metallization stripe width (see figure 7).

NOTE - If two or more stripes enter a bonding pad, each shall be considered separately.

(8) Voids in the metallization of a thin film capacitor that reduce the metallization area by more than 25 %.

3.1.1.3 *Metallization corrosion*

Any metallization corrosion.

3.1.1.4 *Metallization adherence*

Any metallization lifting, peeling or blistering.

3.1.1.5 *Metallization probing*

The criteria contained in 3.1.1.1 shall apply as limitations on probing damage.

3.1.1.6 *Metallization bridging*

Any metallization bridging where the separation between any two metallization paths is reduced to less than 2,5 µm unless by design.

3.1.1.7 *Metallization alignment*

(1) Contact window that has less than 50 % of its area covered by metallization.

(2) Contact window that has less than 40 % of its perimeter covered by metallization.

NOTE - When, by design, metal is completely contained in a contact window, the criteria of item (1) area coverage and of item (2) perimeter coverage can be deleted as applicable provided the design criteria are satisfied.

(3) A metallization path not intended to cover a contact window that is separated from the window by less than 2,5 µm.

Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(4) Toute exposition du pont d'oxyde de porte des diffusions de la source au drain (voir figure 8) (applicable aux structures MOS).

(5) Toute exposition du pont d'oxyde de porte qui laisse intacte moins de 75 % de la métallisation coïncidant avec la ligne de jonction des diffusions de drain et de source (applicable aux structures MOS).

(6) Métallisation de porte ne coïncidant pas avec l'anneau de garde diffusé ou ne s'étendant pas au-dessus de lui.

NOTE - Ce critère s'applique aux structures MOS comportant un anneau de garde diffusé. Les dispositifs MOS qui ne comportent pas d'anneau de garde diffusé doivent avoir une métallisation de porte s'étendant au moins à 2,5 µm au-delà du pont d'oxyde de porte (voir figures 4 et 8).

3.1.2 *Défauts des couches de diffusion et de passivation (fort grossissement)*

Aucun dispositif ne doit être acceptable s'il présente les défauts suivants:

(1) Tout défaut de diffusion qui permet un pontage non intentionnel entre des zones diffusées (voir figure 9).

(2) Toute diffusion d'isolation discontinue, à l'exception des murs d'isolement situés autour des zones inutilisées ou autour des zones de soudure, ou toute autre surface diffusée à laquelle il reste moins de 25 % de la largeur originelle de diffusion.

(3) Soit des lignes multiples, soit une absence totale de passivation visibles au bord et continuant sous la métallisation (voir figure 10).

NOTE - Des lignes doubles ou triples indiquent qu'il peut y avoir une profondeur suffisante pour pénétrer sous la métallisation et mettre à nu le silicium. Toutefois, si l'absence de vitrification dans la partie défectueuse ou si les caractéristiques de la vitrification présente permettent la vérification de la présence ou de l'absence de passivation, par la couleur ou des comparaisons de couleurs, respectivement, ces techniques peuvent être utilisées. Le critère du point (3) peut ne pas être appliqué quand une seconde couche de passivation est appliquée en une opération séparée, et par un procédé différent, préalablement au dépôt de métallisation.

(4) Une jonction active non couverte pas la passivation, sauf par conception.

3.1.3 *Défauts de découpe au diamant et de pastille (fort grossissement)*

Aucun dispositif ne sera acceptable s'il présente:

(1) Moins de 25 µm de passivation visible entre la métallisation fonctionnelle ou la périphérie d'une soudure et le bord de la pastille.

NOTE - Ce critère peut ne pas être appliqué à la métallisation périphérique incluant les plages de soudure, lorsque la métallisation est au même potentiel que la pastille.

(2) Un éclat sur la surface active de circuit (voir figure 11).

NOTE - Ce critère peut ne pas être appliqué à la partie de métallisation périphérique qui est au même potentiel que la pastille. Dans ce cas, il doit y avoir au moins 50 % de la largeur de la métallisation périphérique qui reste intact à l'emplacement de l'éclat, à cette exception près qu'il ne doit pas y avoir de critère de largeur lorsqu'il existe des conducteurs parallèles, de telle sorte qu'une coupure à l'emplacement de l'éclat ne puisse être la cause d'un isolement non intentionnel dans la zone de métallisation.

(3) Toute fêlure de substrat ou de passivation dans la zone de circuit actif ou toute fêlure dépassant 75 mm en longueur (voir figure 11).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992

(4) Any exposure of the gate oxide bridge from source to drain diffusions (see figure 8) (applicable to MOS structures).

(5) Any exposure of the gate oxide bridge that leaves less than 75 % of the metallization coincident with the source and drain diffusion junction line undisturbed (applicable to MOS structures).

(6) Gate metallization not coincident with or extending over the diffused guard ring.

NOTE - This criterion applies to MOS structures containing a diffused guard ring. MOS devices that do not contain a diffused guard ring shall have gate metallization extending not less than 2,5 µm beyond the gate oxide bridge (see figures 4 and 8).

3.1.2 *Diffusion and passivation layer faults, high magnification*

No device shall be acceptable that exhibits the following:

(1) Any diffusion defects that allow unintentional bridging between diffused areas (see figure 9).

(2) Any isolation diffusion that is discontinuous, except isolation walls around unused areas or bonding pads, or any other diffused area with less than 25 % of the original diffusion width remaining.

(3) Either multiple lines or a complete absence of passivation visible at the edge and continuing under the metallization (see figure 10).

NOTE - Double or triple lines indicate that it can have sufficient depth to penetrate down to bare silicon; however, should the absence of glassivation in the defect area or the characteristics of the present glassivation allow verification of the presence or absence of passivation by colour or colour comparisons, respectively, then these techniques may be used. The criterion of item (3) can be excluded when a second passivation layer is applied in a separate operation and by a different process prior to metallization deposition.

(4) An active junction not covered by passivation, unless by design.

3.1.3 *Scribing and die defects, high magnification*

No device shall be acceptable that exhibits:

(1) Less than 25 µm of passivation visible between the operating metallization or bond periphery and the edge of the die.

NOTE - This criterion can be excluded for peripheral metallization including bonding pads where the metallization is at the same potential as the die.

(2) A chip out in the active circuit area (see figure 11).

NOTE - This criterion can be excluded for peripheral metallization that is at the same potential as the die. At least 50 % of the undisturbed metallization width shall remain at the chip out, except that there shall be no width criteria where parallel paths exist, so that an opening at the chip out would not cause an unintended isolation of the metallization path.

(3) Any substrate or passivation crack in the active circuit area or a crack that exceeds 75 µm in length (see figure 11).

AVA Documents
Document Sharing Hub

Full document details: IEC 60748-11-1 1992