

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

748-11

QC 790100
Première édition
First edition
1990-12

**Dispositifs à semiconducteurs
Circuits intégrés**

Onzième partie:
Spécification intermédiaire pour les circuits
intégrés à semiconducteurs
à l'exclusion des circuits hybrides

**Semiconductor devices
Integrated circuits**

Part 11:
Sectional specification for semiconductor
integrated circuits
excluding hybrid circuits



Numéro de référence
Reference number
CEI/IEC 748-11: 1990

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement (Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates (On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

748-11

QC 790100
Première édition
First edition
1990-12

**Dispositifs à semiconducteurs
Circuits intégrés**

Onzième partie:
Spécification intermédiaire pour les circuits
intégrés à semiconducteurs
à l'exclusion des circuits hybrides

**Semiconductor devices
Integrated circuits**

Part 11:
Sectional specification for semiconductor
integrated circuits
excluding hybrid circuits

© CEI 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun procédé,
électronique ou mécanique, y compris la photocopie et les
microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized
in any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission
in writing from the publisher

Bureau central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

V

Pour prix, voir catalogue en vigueur
For price, see current catalogue

	Pages
PRÉAMBULE	4
PRÉFACE	4
Articles	
1. Domaine d'application	8
2. Généralités	8
2.1 Documents applicables	8
2.2 Valeurs recommandées de températures	8
2.3 Valeurs recommandées de tensions	8
2.4 Définitions relatives aux opérations de fabrication	8
3. Sous-traitance	12
4. Etape initiale de fabrication	12
4.1 Dispositifs bipolaires	12
4.2 Dispositifs unipolaires	12
5. Procédures d'assurance de la qualité	14
5.1 Procédures d'homologation	14
5.2 Procédures d'agrément de savoir-faire	14
6. Procédures d'associativité	14
6.1 Règles générales	14
6.2 Critères d'associativité spécifiques à chaque essai – Tableau I	16
7. Groupes et sous-groupes	24
Tableau II – Groupe A: Contrôles lot par lot	24
Tableau III – Groupe B: Contrôles lot par lot	26
Tableau IV – Groupe C: Contrôles périodiques	28
Tableau V – Groupe D	30
8. Sélection	30
Tableau VI – Sélection	32
9. Exigences pour les prélèvements	34
Tableau VII – Exigences pour les prélèvements des essais du groupe A	34
Tableau VIII – Exigences pour les prélèvements des essais des groupes B, C et D pour lesquels on doit utiliser les NQT	34
10. Identification des bornes	36
11. Informations supplémentaires (à l'étude)	36
12. Procédures d'essais et de mesures	36
12.1 Méthodes de mesures électriques	36
12.2 Méthodes d'essais mécaniques et climatiques	36
12.3 Essais d'endurance électrique	36
12.4 Procédures d'essais accélérés	38
12.5 Mesures par corrélation	38
ANNEXE A – Guide et format pour la rédaction des spécifications particulières cadres	42

CONTENTS

	Page
FOREWORD	5
PREFACE	5
Clause	
1. Scope	9
2. General	9
2.1 Related documents	9
2.2 Recommended values of temperatures	9
2.3 Recommended values of voltages	9
2.4 Definitions related to manufacturing operations	9
3. Subcontracting	13
4. Primary stage of manufacture	13
4.1 Bipolar devices	13
4.2 Unipolar devices	13
5. Quality assessment procedures	15
5.1 Qualification approval procedures	15
5.2 Capability approval procedures	15
6. Structural similarity procedures	15
6.1 General rules	15
6.2 Test dependent criteria for structural similarity – Table I	17
7. Groups and sub-groups	25
Table II – Group A: Lot by lot	25
Table III – Group B: Lot by lot	27
Table IV – Group C: Periodic tests	29
Table V – Group D	31
8. Screening	31
Table VI – Screening	33
9. Sampling requirements	35
Table VII – Sampling requirements for Group A tests	35
Table VIII – Sampling requirements for Group B, C and D tests in which LTPD shall be used	35
10. Terminal identification	37
11. Additional information (under consideration)	37
12. Test and measurement procedures	37
12.1 Electrical measuring methods	37
12.2 Mechanical and climatic test methods	37
12.3 Electrical endurance tests	37
12.4 Accelerated test procedures	39
12.5 Correlated measurements	39
APPENDIX A – Guidance and format for drafting blank detail specifications	43

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS
CIRCUITS INTÉGRÉS****Onzième partie: Spécification intermédiaire pour les circuits intégrés
à semiconducteurs à l'exclusion des circuits hybrides**

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente norme a été préparée par le Sous-Comité 47A: Circuits intégrés, et par le Comité d'Etudes N° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification intermédiaire pour les circuits intégrés à semiconducteurs, à l'exclusion des circuits hybrides, dans le domaine du Système CEI d'assurance de la qualité des composants électroniques (IECQ).

Le texte de cette norme est issu des documents suivants:

Règle des Six mois	Rapports de vote
47/47A(BC)1037/176	47A(BC)196
47/47A(BC)1049/173	47A(BC)197
47A(BC)204	47A(BC)231
47A(BC)208	47A(BC)236

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES
INTEGRATED CIRCUITS****Part 11: Sectional specification for semiconductor integrated circuits
excluding hybrid circuits**

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by IEC Sub-Committee 47A: Integrated Circuits, and IEC Technical Committee No. 47: Semiconductor Devices.

This standard is a sectional specification for semiconductor integrated circuits excluding hybrid circuits in the field of the IEC Quality Assessment System for Electronic Components (IECQ).

The text of this standard is based on the following documents:

Six Months' Rule	Reports on Voting
47/47A(CO)1037/176	47A(CO)196
47/47A(CO)1049/173	47A(CO)197
47A(CO)204	47A(CO)231
47A(CO)208	47A(CO)236

Full information on the voting for the approval of this standard can be found in the Voting Reports indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

Les publications suivantes de la CEI sont citées dans la présente norme:

- | | |
|------------------------------|---|
| Publications N ^{os} | 68: Essais d'environnement. |
| 68-2-17 (1978): | Deuxième partie: Essais – Essai Q: Etanchéité. |
| 191-2 (1966): | Normalisation mécanique des dispositifs à semi-conducteurs.
Deuxième partie: Dimensions. |
| 191-4 (1987): | Quatrième partie: Système de codification et classification en formes
des boîtiers pour dispositifs à semiconducteurs. |
| 617-12 (1983): | Symboles graphiques pour schémas, Douzième partie: Opérateurs
logiques binaires. |
| 617-13 (1978): | Treizième partie: Opérateurs analogiques. |
| 747-1 (1983): | Dispositifs à semiconducteurs. Dispositifs discrets et circuits intégrés,
Première partie: Généralités. |
| 747-10 (1984): | Dixième partie: Spécification générique pour les dispositifs discrets et
les circuits intégrés. |
| | 748: Dispositifs à semiconducteurs. Circuits intégrés. |
| 748-1 (1984): | Première partie: Généralités. (Voir note) |
| 748-2 (1985): | Deuxième partie: Circuits intégrés digitaux. |
| 748-3 (1986): | Troisième partie: Circuits intégrés analogiques. |
| 748-4 (1987): | Quatrième partie: Circuits intégrés d'interface. |
| 749 (1984): | Dispositifs à semiconducteurs. Essais mécaniques et climatiques. |
| QC 001002 (1986): | Règles de procédure du Système CEI d'assurance de la qualité des composants
électroniques (IECQ). |

NOTE – La Publication 748-1 a été modifiée par les documents 47(BC)207 et 238. Ces documents annulent et remplacent l'article 2 du chapitre VI (de l'édition 1984) et introduit le nouvel article 10 de ce même chapitre.

The following IEC publications are quoted in this standard:

- | | |
|-------------------|---|
| Publications Nos. | 68: Environmental testing. |
| 68-2-17 (1978): | Part 2: Tests – Test Q: Sealing. |
| 191-2 (1966): | Mechanical standardization of semiconductor devices, Part 2: Dimensions. |
| 191-4 (1987): | Part 4: Coding system and classification into forms of package outlines
for semiconductor devices. |
| 617-12 (1983): | Graphical symbols for diagrams, Part 12: Binary logic elements. |
| 617-13 (1978): | Part 13: Analogue elements. |
| 747-1 (1983): | Semiconductor devices. Discrete devices and integrated circuits,
Part 1: General. |
| 747-10 (1984): | Part 10: Generic specification for discrete devices and integrated circuits. |
| 748: | Semiconductor devices. Integrated circuits. |
| 748-1 (1984): | Part 1: General. (See note) |
| 748-2 (1985): | Part 2: Digital integrated circuits. |
| 748-3 (1986): | Part 3: Analogue integrated circuits. |
| 748-4 (1987): | Part 4: Interface integrated circuits. |
| 749 (1984): | Semiconductor devices. Mechanical and climatic test methods. |
| QC 001002 (1986): | Rules of Procedure of the IEC Quality Assessment System for Electronic
Components (IECQ). |

NOTE – IEC Publication 748-1 has been amended by documents 47(CO)207 and 238. These documents supersede clause 2 in Chapter VI (1984 edition) and add a new clause 10 to the same chapter.

DISPOSITIFS À SEMICONDUCTEURS CIRCUITS INTÉGRÉS

Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides

1. Domaine d'application

La présente spécification intermédiaire s'applique aux circuits intégrés à semiconducteurs en boîtier, y compris les circuits intégrés polyolithiques, mais à l'exclusion des circuits hybrides.

2. Généralités

Cette spécification doit être lue conjointement avec la spécification générique à laquelle elle se réfère; elle donne des détails sur les procédures d'assurance de la qualité, les exigences de contrôle, les séquences de sélection, les exigences pour les prélèvements, les essais et les mesures exigés pour tous les circuits intégrés à semiconducteurs, comprenant les circuits digitaux, analogiques et d'interface.

Au lieu de la procédure d'homologation, on peut utiliser la procédure d'agrément de savoir-faire (voir les règles de procédure de la Publication QC 001002 de la CEI, paragraphe 11.7, mais les procédures d'agrément de savoir-faire pour les circuits intégrés sont actuellement à l'étude) pour tous les dispositifs fabriqués selon un procédé défini.

Il est possible d'appliquer en outre les règles de contrôle de la conformité de la qualité (voir paragraphe 3.6 de la Publication 747-10 de la CEI et articles 5 à 9 de la présente spécification) pour chaque modèle ou groupe de modèles produits selon ce procédé, si cela est exigé et réalisable techniquement.

Toutes les exigences de cette spécification demeurent valables, tant qu'elles ne seront pas modifiées par le nouvel article «Procédure d'agrément de savoir-faire» (à l'étude).

2.1 Documents applicables

Publication 747-10/QC 700 000 (1984) de la CEI.

2.2 Valeurs recommandées de températures

Voir la Publication 748-1 de la CEI, chapitre VI, article 5.

2.3 Valeurs recommandées des tensions

Voir la Publication 748-1 de la CEI, chapitre VI, article 6.

2.4 Définitions relatives aux opérations de fabrication

2.4.1 Ligne de fabrication

Une ligne de fabrication est définie comme un ensemble unique d'opérations de fabrication comprenant une ou plusieurs des phases de fabrication suivantes:

- 1) diffusion;
- 2) préparation des pastilles;
- 3) assemblage;
- 4) finition et mesures électriques finales;
- 5) sélection (si applicable).

NOTE – Les procédures d'assurance de la qualité ne sont pas comprises dans ces phases.

SEMICONDUCTOR DEVICES INTEGRATED CIRCUITS

Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits

1. Scope

This sectional specification applies to encapsulated semiconductor integrated circuits, including multi-chip integrated circuits, but excluding hybrid circuits.

2. General

This specification shall be read together with the generic specification to which it refers and it gives details on the Quality Assessment Procedures, the inspection requirements, screening sequences, sampling requirements, and test and measurement procedures required for the assessment of semiconductor integrated circuits, including digital, analogue and interface circuits.

Instead of the Qualification Approval Procedure, it is allowed to apply the Capability Approval Procedure (see IEC Publication QC 001002, Rules of Procedure, Subclause 11.7; but at present, Capability Approval Procedures for integrated circuits are under consideration) for all devices manufactured in a defined process.

Additional application of the Quality Conformance Inspection rules (see IEC Publication 747-10, Subclause 3.6, and this specification, Clauses 5 to 9) is possible for any type or group of types, produced in that process, if required and technically feasible.

All the requirements of this specification remain valid, unless modified by the requirements set out in the new clause: "Capability Approval Procedure" (under consideration).

2.1 Related documents

IEC Publication 747-10/QC 700000 (1984).

2.2 Recommended values of temperatures

See IEC Publication 748-1, Chapter VI, Clause 5.

2.3 Recommended values of voltages

See IEC Publication 748-1, Chapter VI, Clause 6.

2.4 Definitions related to manufacturing operations

2.4.1 Production line

A production line is defined as a single set of process operations including one or several of the following manufacturing phases:

- 1) diffusion;
- 2) preparation of dice;
- 3) assembly;
- 4) finishing and final electrical measurements;
- 5) screening (if applicable).

NOTE – Quality assessment procedures are not included in these phases.

1) Diffusion

Cette phase est l'ensemble des opérations de fabrication effectuées à partir de l'étape initiale de fabrication, jusqu'à la dernière étape précédant la séparation des pastilles.

2) Préparation des pastilles

Cette phase est l'ensemble des opérations de fabrication effectuées pour diviser la plaquette en pastilles. Au titre de la présente spécification, cette phase peut, au gré du fabricant, être incluse soit dans la phase de diffusion, soit dans la phase d'assemblage.

3) Assemblage

Cette phase est l'ensemble des opérations de fabrication comprenant la fixation de la pastille, la réalisation des connexions internes et l'encapsulation.

4) Finition et mesures électriques finales

Cette phase est l'ensemble final des opérations de fabrication situées avant la disponibilité du lot et comprenant, par exemple:

- traitement final des sorties incluant, le cas échéant, l'opération de métallisation des sorties;
- revêtement de surface;
- marquage;
- mesures électriques finales.

5) Sélection (si applicable)

Cette phase peut faire partie des opérations d'assemblage et/ou de finition.

Les opérations de sélection sont définies à l'article 8.

2.4.2 Lot de fabrication

Un lot de fabrication est constitué de dispositifs du même type, fabriqués dans une même ligne de fabrication et qui passent par le même processus désigné, normalement au cours d'une même semaine.

2.4.3 Modifications de fabrication

1) Définitions des modifications majeures

Tout changement dans la technologie ou le procédé de fabrication susceptible d'affecter la qualité ou les performances d'un produit fourni selon une spécification, ou susceptible de provoquer le passage d'un tel produit d'un groupe de circuits associables à un autre groupe (existant ou nouveau) (voir article 6) représente une modification considérée comme majeure. Il est de la responsabilité du contrôleur du fabricant de décider si une modification est majeure ou non.

Des exemples de modifications majeures sont donnés à l'alinéa 3) ci-dessous.

2) Procédure en cas de modification majeure

Aucune modification majeure ne doit devenir effective sans être notifiée à l'Organisme national de surveillance (ONS) avec la démonstration du maintien de la qualité par des essais significatifs.

3) Exemples de modifications majeures

a) Fixation de la pastille

- d'une soudure eutectique à une fixation par résine époxyde.

Non considéré comme modification majeure: changement d'outillage sans changement de technologie ou utilisation d'une préforme à la place de surfaces d'alliage plaquées d'or.

b) Passivation du cristal

- l'utilisation d'oxyde de silicium à la place de nitrure de silicium;
- la séquence des couches de passivation.

Non considéré comme modification majeure: changement de la méthode de dépôt des couches de passivation.

1) Diffusion

This phase is the set of manufacturing process operations from the primary stage of manufacture to the last step before separation of dice.

2) Preparation of dice

This phase is the set of manufacturing process operations to divide the wafer into dice. For the purpose of this specification, this phase may be included in either the diffusion or the assembly phase at the manufacturer's convenience.

3) Assembly

This phase is the set of manufacturing process operations comprising die attach, lead bonding and encapsulation.

4) Finishing and final electrical measurements

This phase is the final set of manufacturing process operations before lot release, including for example:

- post-treatment of terminals including plating operation, if any;
- coating;
- marking;
- final electric measurements.

5) Screening (if applicable)

This phase may be part of the assembly and/or finishing operation(s).

Screening is defined in Clause 8 below.

2.4.2 *Production lot*

A production lot consists of devices of the same type, manufactured in the same production line and passing through the same nominated process, normally within one week.

2.4.3 *Changes in manufacturing operations*

1) Definition of major changes

Any change in manufacturing process or technology which could affect the quality or performance of a product supplied to an approved specification, or which could require a product to be transferred from one structural similarity group of circuits to another (new or existing) group (see Clause 6 below) represents a change considered as major. It is the responsibility of the Chief Inspector to decide whether the change is major or not.

Some examples of major changes are given in 3) below.

2) Procedure in the event of a major change

Any major change shall only be implemented with notification and demonstration by test evidence of maintenance of quality to the NSI.

3) Examples of major changes

a) Die attach

- from eutectic solder to epoxy attachment.

Not considered as a major change: equipment change without changing the technology or the use of preform instead of gold plated alloy surfaces.

b) Crystal passivation

- from silicon-nitride to silicon-oxide;
- sequence of the passivation layers.

Not considered as a major change: changing of the method of deposition of the passivation layers.

- c) Matériau du boîtier
 - le boîtier céramique devient une encapsulation plastique;
 - le plastique A devient un plastique B.
- d) Métallisation
 - la métallisation or devient aluminium.
- e) Taille et/ou dessin de la pastille
 - introduction d'anneaux de garde et/ou de couches d'arrêt.
- f) Connexions internes
 - la thermocompression est remplacée par une soudure aux ultrasons;
 - les fils d'or deviennent des fils d'aluminium.
- g) Vérification fonctionnelle pendant le contrôle de conformité de la qualité
 - toute réduction de séquences d'essais dans les programmes d'essais.

3. Sous-traitance

Lorsqu'un fabricant agréé se réfère aux règles de procédure, paragraphe 11.1.2 de la Publication QC 001002 de la CEI relatives à la sous-traitance, il doit s'assurer que les conditions suivantes sont remplies:

- le processus de fabrication sous-traité peut être soit le processus de diffusion, soit le processus d'assemblage, y compris les opérations de sélection qui en font partie. Les opérations de sélection postérieures à l'assemblage peuvent également être sous-traitées indépendamment. Les opérations de finition peuvent être sous-traitées uniquement avec le processus complet d'assemblage, à l'exception de l'opération de métallisation des sorties qui peut être sous-traitée séparément (voir 2.4.1).

L'ONS doit s'assurer que le contrôleur qui certifie la conformité des composants au système IECQ:

- dispose de la totalité des documents d'assurance de qualité et de contrôle de toute opération réalisée en dehors de la zone géographique de l'IECQ. Les documents doivent inclure les enregistrements des contrôles effectués sur chaque échantillon du produit sous assurance de qualité;
- vérifie régulièrement que l'assurance de qualité et le contrôle sont appliqués conformément aux exigences agréées.

Le contrôleur doit agréer et posséder les procédures utilisées pour le transfert des pièces depuis le lieu de fabrication jusqu'au fabricant, situé dans la zone géographique de l'IECQ, qui certifie les composants. L'ONS doit être informé et avoir accès à la documentation applicable.

Toute modification des exigences de contrôle et des procédures de fabrication doit être communiquée au contrôleur qui certifie les composants. Le contrôleur doit informer l'ONS des modifications majeures (voir 2.4.3).

Le fabricant agréé doit exécuter les essais d'acceptation prescrits par la spécification particulière du composant qu'il certifie. Ces essais peuvent être exécutés dans un établissement situé à l'extérieur de la zone géographique de l'IECQ, à condition que cet établissement soit supervisé par l'ONS. D'autre part, les essais d'acceptation peuvent être sous-traités dans un laboratoire d'essais agréé situé à l'intérieur de la zone géographique de l'IECQ.

4. Etape initiale de fabrication

Pour les besoins de cette spécification intermédiaire, cette étape est définie comme suit:

4.1 Dispositifs bipolaires

Le premier processus qui fait apparaître l'autre polarité de dopage dans un matériau semiconducteur monocristallin entièrement de type P ou de type N.

4.2 Dispositifs unipolaires (par exemple dispositifs à effet de champ MOS)

La première oxydation du substrat ou le dépôt sur le substrat.

- c) Package material
 - from ceramic to plastic;
 - from plastic A to plastic B.
- d) Metallization
 - from gold to aluminium metallization.
- e) Die size and/or die layout
 - introduction of guard-rings and/or barrier layers.
- f) Bonding
 - from the thermo-compression to the ultrasonic method;
 - from gold bond wire to aluminium wire.
- g) Functional verification during quality conformance inspection
 - any reduction of test sequences in the test programs.

3. Subcontracting

When the approved manufacturer invokes Rules of Procedure, Subclause 11.1.2 of IEC Publication QC 001002 concerning subcontracting, he shall ensure that the following conditions are satisfied:

- the subcontracted manufacturing process may be either the diffusion process or the assembly process, including screening steps which are incorporated in them. Screening operation applied after assembly process may also be independently subcontracted. The finishing process can only be subcontracted together with the complete assembly process, except for the lead plating operation which may be subcontracted separately (see 2.4.1 above).

The National Supervising Inspectorate (NSI) shall be satisfied that the Chief Inspector who is certifying the components under the IECQ system:

- has been provided with the full quality assessment and inspection documentation of any operation outside the IECQ geographical area. The documentation shall include the inspection records for each sample of the product which undergoes inspection;
- regularly verifies that the quality assessment and inspection is applied in accordance with the agreed requirements.

The Chief Inspector shall be provided and shall agree with the procedures for the transfer of the parts from the place of manufacture to the manufacturer within the IECQ geographical area who is certifying the component. The NSI shall be informed and have access to the applicable documents.

Any changes in inspection requirements and manufacturing procedures shall be reported back to the Chief Inspector who is certifying the components. The major changes shall be reported by the approved Chief Inspector to the NSI (see 2.4.3 above).

The approved manufacturer shall perform the acceptance tests prescribed by the detail specification for the component he is certifying. He can perform the acceptance tests in a facility outside the IECQ geographical area, provided that this facility is supervised by the NSI. Acceptance tests can be subcontracted to approved test laboratories within the IECQ geographical area.

4. Primary stage of manufacture

For the purpose of this sectional specification, this stage is defined as follows:

4.1 Bipolar devices

The first process that changes the monocrystalline semiconductor material from being either entirely P type or entirely N type.

4.2 Unipolar devices (for example MOS, field-effect devices)

The first oxidation of, or deposition on, the substrate.

5. Procédures d'assurance de la qualité

5.1 Procédures d'homologation

La méthode b) du paragraphe 11.3.1 des règles de procédure de la Publication QC 001002 de la CEI doit être normalement utilisée, avec des exigences de prélèvement en accord avec celles données dans les tableaux VII et VIII de cette spécification.

Il est cependant permis d'utiliser la méthode a) du paragraphe 11.3.1 des règles de procédure, à condition que les exigences de prélèvement à utiliser soient spécifiées dans la spécification particulière cadre correspondante.

5.1.1 Lot de contrôle

Le lot de contrôle est défini au paragraphe 12.2 de la Publication QC 001002 de la CEI.

De plus, les échantillons utilisés pour les essais des groupes A, B et C doivent être issus de lots de produits provenant de la même ligne de fabrication (voir 2.4.1 et 6.2.1) dans les conditions suivantes:

- *Groupes A et B*: un lot de contrôle contient des dispositifs produits dans la même période d'un mois ou de quatre semaines consécutives comme indiqué par le ou les codes utilisés pour la date de fabrication.
- *Groupe C*: les échantillons de la production soumis aux essais périodiques doivent avoir été fabriqués dans la même période de trois mois repérée par la date de fabrication de trois mois consécutifs ou de treize semaines consécutives.
- *Groupe D*: les échantillons de la production soumis aux essais périodiques doivent avoir été fabriqués dans la même période de douze mois repérée par la date de fabrication de douze mois consécutifs ou de 52 semaines consécutives.

5.2 Procédures d'agrément de savoir-faire

Voir le paragraphe 3.10 d'une prochaine édition de la Publication 747-10 de la CEI (en préparation).

6. Procédures d'associativité

6.1 Règles générales

6.1.1 But

Les procédures d'associativité sont destinées à permettre de réduire le nombre de lots de contrôle pour lesquels il est nécessaire d'effectuer des essais.

6.1.2 Principes

Pour un essai applicable à un ensemble de types de dispositifs, l'essai peut être effectué sur un seul type issu de cet ensemble et les résultats obtenus sont considérés comme valables pour l'ensemble des types, si les critères d'associativité généraux et particuliers décrits dans cet article et applicables à cet essai sont satisfaits (voir tableau I). La définition de ces critères doit être basée sur le principe selon lequel la conformité et la fiabilité constatées sur le type représentatif donne au moins la même assurance de conformité et de fiabilité pour les types qui lui sont associés.

Les procédures d'associativité ne sont pas applicables aux essais électriques et aux examens visuels spécifiés au titre du groupe A.

6.1.3 Conditions d'application

1) Essais et mesures spécifiés en séquence

Les procédures d'associativité décrites dans cet article s'appliquent à chaque essai pris individuellement.

5. Quality assessment procedures

5.1 Qualification approval procedures

Method b) of IEC Publication QC 001002, Rules of Procedure, Subclause 11.3.1, shall normally be used with the sampling requirements in accordance with those stated in Tables VII and VIII of this specification.

It is however permitted to use method a) of Rules of Procedure, Subclause 11.3.1, provided that the sampling requirements to be used are specified in the relevant blank detail specification.

5.1.1 Inspection lot

Inspection lot is defined in Subclause 12.2 of IEC Publication QC 001002.

In addition to this, lots from which samples are used for testing in Groups A, B and C shall consist of products coming from the same production line (see 2.4.1 above and 6.2.1 below) in the following conditions:

- *Groups A and B*: one inspection lot contains devices produced within a period of one month or four consecutive weeks as indicated by the used date code(s).
- *Group C*: samples from production submitted for periodic testing shall have been manufactured within a period of three months as indicated by three consecutive month date codes or by thirteen consecutive week date codes.
- *Group D*: samples from production submitted for periodic testing shall have been manufactured within a period of twelve months as indicated by twelve consecutive month date codes or by 52 consecutive week date codes.

5.2 Capability approval procedures

See Subclause 3.10 of the next edition of the IEC Publication 747-10 (in preparation).

6. Structural similarity procedures

6.1 General rules

6.1.1 Purpose

Structural similarity procedures are intended to permit a reduction in the number of inspection lots that shall be tested.

6.1.2 Principles

For a test applicable to a group of device types, the test may be performed on one type from the group and the results obtained considered as representative for all the types if the general and particular criteria for structural similarity described in this clause and applicable to this test are complied with (see Table I). The definition of these criteria shall be based on the principle that conformity and reliability verified on the representative type gives at least the same conformity and reliability assurance for the associated types.

Structural similarity procedures shall not be applied for electrical and visual tests under Group A.

6.1.3 Application conditions

1) Tests and measurements specified in sequence

Structural similarity procedures described in this clause apply to a single test.

Lorsque plusieurs essais sont spécifiés en séquence, l'application de ces procédures doit être basée sur le principe suivant:

Dans un sous-groupe, l'essai essentiel de la séquence doit être pris comme seul déterminant pour définir les critères applicables à l'ensemble des essais de la séquence et permettre la composition du groupement d'associativité correspondant.

NOTE – Par application de ce principe, l'essai de variations rapides de température doit être considéré comme essentiel pour les séquences spécifiées dans les sous-groupes B5 et C5.

2) Application aux procédures d'assurance de la qualité

L'application des procédures d'associativité est spécifique à la procédure d'assurance de qualité considérée. Les conditions particulières d'application à chaque procédure sont indiquées à l'article 7 ci-après.

6.1.4 Critères généraux d'associativité

- 1) Dans le cadre d'un essai donné, le type considéré comme représentatif d'un groupement de types peut varier d'une période à l'autre en fonction des dispositifs fabriqués pendant la période considérée.
- 2) La même procédure d'essai accéléré doit être autorisée pour tous les types de dispositifs appartenant à un groupement d'associativité.
- 3) Si, bien que les critères particuliers applicables pour un groupement d'associativité soient satisfaits, il existe toujours une ou des différences significatives pour une ou des caractéristiques, le type choisi pour effectuer un essai doit correspondre au dispositif le plus critique, présentant les plus grands risques de défauts pour l'essai considéré.
- 4) Si un défaut apparaît sur un type de dispositif soumis à un essai, tous les dispositifs qui lui sont associés doivent être considérés comme étant affectés par ce défaut.
- 5) Si, conformément à l'article 8, les dispositifs font l'objet d'une procédure de sélection et si plusieurs séquences de sélection sont appliquées dans une même ligne de fabrication, les dispositifs ne peuvent être associés que si la même séquence de sélection leur est appliquée.

6.2 Critères d'associativité spécifiques à chaque essai

Les critères d'associativité applicables aux essais du groupe B et aux essais périodiques sont récapitulés dans le tableau I.

Les paragraphes 6.2.1 à 6.2.18 précisent l'interprétation qui doit être donnée à ces critères.

Exemple d'utilisation du tableau I:

Dans le sous-groupe C3, on effectue l'essai de robustesse des sorties.

Pour cet essai, il ne peut y avoir associativité que si l'on considère les exigences suivantes (voir tableau I):

- paragraphe 6.2.1 – Ligne d'assemblage;
- paragraphe 6.2.3 – Famille de boîtiers;
- paragraphe 6.2.5 – Méthodes d'encapsulation;
- paragraphe 6.2.6 – Matériau des connexions externes;
- paragraphe 6.2.7 – Opérations de finition.

Pour l'essai de robustesse des sorties, on considère comme associables les dispositifs satisfaisant à toutes les exigences des paragraphes ci-dessus.

When several tests are specified in sequence, the application shall be based on the following principles:

The essential test in the sequence of tests in a sub-group shall be decisive for criteria to be used for structural similarity grouping for the complete sequence.

NOTE – For application of this principle for B5/C5 tests, the essential test is “Rapid change of temperature”.

2) Application for quality assessment procedures

The application of the structural similarity procedures is specific to a considered quality assessment procedure and detailed application conditions are given in Clause 7 below.

6.1.4 General criteria for structural similarity

- 1) The type chosen as representative for a group of types in relation to a given test may differ from one period to another, depending on the types produced in that period.
- 2) For all relevant types in a group of types, the same acceleration test procedure shall be allowed.
- 3) If, although fulfilling the particular criteria for a group, significant difference(s) still exist in characteristic(s), the type selected for the relevant test shall be represented by the most critical device giving the greatest risk of failure for this test.
- 4) If failure occurs on a device type, all the devices associated with this representative type are to be considered affected.
- 5) If the devices are submitted to a screening procedure in accordance with Clause 8, and if several screening sequences are applied in the same production line, the devices can only be grouped if they are screened according to the same screening sequence.

6.2 Test dependent criteria for structural similarity

The test dependent criteria for structural similarity applicable to the Group B and periodic tests are given in Table I.

Subclauses 6.2.1 to 6.2.18 specify the interpretation of these criteria.

Example for the use of Table I:

Sub-group C3 requires that the test on the robustness of terminations be performed.

For this test, the following requirements for structural similarity apply (see Table I):

- subclause 6.2.1 – Assembly line;
- subclause 6.2.3 – Family of package;
- subclause 6.2.5 – Encapsulation methods;
- subclause 6.2.6 – External terminals material;
- subclause 6.2.7 – Finishing process.

Devices satisfying all the requirements of all the subclauses above are considered structurally similar for the “Robustness of terminations” test.

Tableau I – Critères d'associativité spécifiques à chaque essai (voir note)

Essais	Critères																	
	Ligne d'assemblage (6.2.1)				Géométrie et dimensions du boîtier (6.2.2)	Famille de boîtiers (6.2.3)	Matériau du boîtier (6.2.4)	Méthodes d'encapsulation (6.2.5)	Matériaux des connexions externes (6.2.6)	Opérations de finition (6.2.7)	Méthodes de marquage (6.2.8)	Nombre de sorties (6.2.9)		Matériaux et raccordement des connexions internes (6.2.10)	Fixation de la pastille (6.2.11)	Rapport des surfaces de pastilles (6.2.12)		
Dimensions, masse	X				X	X	X	X	X	X								
Immersion dans les solvants de nettoyage	X						X	X			X							
Brouillard salin	X						X		X	X	X							
Soudabilité	X					X		X	X	X								
Robustesse des sorties	X					X		X	X	X								
Etanchéité	X					X	X	X	X	X		X						
Chaleur humide (boîtiers à cavité)	X					X	X	X	X	X	X							
Chocs – Vibrations – Accélération	X					X	X	X	X			X		X	X	X		
Résistance à la chaleur de soudage	X					X	X	X	X			X		X	X	X		
Variations rapides de température	X					X	X	X	X			X		X	X	X		
Chaleur humide (boîtiers sans cavité)	X					X	X	X	X	X	X	X		X	X	X	X	
Stockage	X					X	X	X	X	X	X			X	X		X	X
Endurance en fonctionnement	X					X	X	X	X	X				X	X		X	X
Vérification des corrélations (si applicable)																	X	X
Caractéristiques dynamiques complémentaires à 25 °C et aux températures extrêmes																	X	X
Caractéristiques statiques et fonctionnelles complémentaires à 25 °C et aux températures extrêmes																	X	X
Essais électriques spéciaux																	X	X

NOTE – Une croix dans le tableau signifie que le critère est obligatoire pour l'essai correspondant.

Table I – Test dependent criteria for structural similarity (see note)

Tests	Criteria																	
	Assembly line (6.2.1)			Outline and dimensions of the package (6.2.2)	Family of package (6.2.3)	Package material (6.2.4)	Encapsulation methods (6.2.5)	External terminals material (6.2.6)	Finishing process (6.2.7)	Marking methods (6.2.8)	Number of terminals (6.2.9)			Material of internal connections, wire bonding (6.2.10)	Die bonding (6.2.11)	Ratio of die areas (6.2.12)		
Dimensions, mass	X			X	X	X	X	X	X									
Immersion in cleaning solvents	X					X	X			X								
Salt mist	X					X		X	X	X								
Solderability	X				X		X	X	X									
Robustness of terminations	X				X		X	X	X									
Sealing	X				X	X	X	X	X		X							
Damp heat (cavity packages)	X				X	X	X	X	X	X								
Shock – Vibrations – Acceleration	X				X	X	X	X			X		X	X	X			
Resistance to solder heat	X				X	X	X	X			X		X	X	X			
Rapid change of temperature	X				X	X	X	X			X		X	X	X			
Damp heat (non-cavity packages)	X				X	X	X	X	X	X	X		X	X	X		X	X
Storage	X				X	X	X	X	X	X			X	X			X	X
Operating endurance	X				X	X	X	X	X				X	X			X	X
Verification of correlations (if applicable)																	X	X
Additional dynamic characteristics at 25 °C and extreme temperatures																	X	X
Additional functional and static characteristics at 25 °C and extreme temperatures																	X	X
Special electrical test																	X	X

NOTE – A cross in the table denotes that the criterion is mandatory for the corresponding test.