

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

Publication 748-2

Première édition — First edition

1985

Dispositifs à semiconducteurs

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

Semiconductor devices

Integrated circuits

Part 2: Digital integrated circuits



© CEI 1985

Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

3, rue de Varembe
Genève, Suisse

Prix
Price Fr. s. **250.—**

AVA Documents
Document Sharing Hub

SOMMAIRE

	Pages
PRÉAMBULE	10
PRÉFACE	10
Index des références croisées	12
 Articles	
CHAPITRE I: GÉNÉRALITÉS	
1. Note d'introduction	16
2. Domaine d'application	16
 CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX	
1. Terminologie pour les circuits intégrés combinatoires et séquentiels	18
1.1 Termes généraux	18
1.2 Termes relatifs à la fonction	20
1.3 Types de circuits	26
1.4 Termes relatifs aux valeurs limites et aux caractéristiques	30
2. Exemples	34
3. Terminologie pour les mémoires à circuit intégré	62
3.1 Termes généraux	62
3.2 Termes généraux relatifs à la fonction et à l'organisation d'une mémoire	64
3.3 Types de mémoires	66
3.4 Termes relatifs aux valeurs limites et aux caractéristiques	70
3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique	72
4. Terminologie pour les microprocesseurs à circuit intégré	78
5. Terminologie pour les dispositifs à transfert de charge	78
6. Symboles littéraux pour circuits combinatoires et séquentiels	86
7. Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires ..	86
 CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES	
SECTION UN — GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS DIGITAUX	
1. Identification et description du circuit	112
1.1 Désignation et type	112
1.2 Technologie	112
1.3 Identification du boîtier	112
2. Spécifications fonctionnelles	112
2.1 Schéma synoptique	112
2.2 Description fonctionnelle	114
2.3 Structures complexes	114
3. Valeurs limites	114
3.1 Tensions et courants continus	116
3.2 Tensions et courants non continus	116
3.3 Températures	116
3.4 Aptitude à supporter un court-circuit	116
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	116
5. Caractéristiques électriques statiques pour les circuits intégrés bipolaires	118
5.1 Caractéristiques essentielles en tension des signaux digitaux	118
5.2 Tension d'écroûtage d'entrée (s'il y a lieu)	120
5.3 Caractéristiques essentielles des courants d'entrée et de sortie	120
5.4 Conditions appliquées pour le pire cas	126
6. Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS	126
6.1 Caractéristiques essentielles en tension des signaux digitaux	126
6.2 Caractéristiques essentielles des courants	128
7. Caractéristiques électriques dynamiques	128
7.1 Introduction	130
7.2 Temps caractérisant la réponse d'un circuit	130
7.3 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct	132
7.4 Impédances d'entrée et de sortie	136
8. Puissance totale ou courants fournis par les alimentations	140
9. Courant total extrait des alimentations (fonctionnement dynamique)	140

CONTENTS

FOREWORD	Page 11
PREFACE	11
Cross reference index	13

Clause

CHAPTER I: GENERAL

1. Introductory note	17
2. Scope	17

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1. Terminology for combinatorial and sequential integrated circuits	19
1.1 General terms	19
1.2 Terms related to functions	21
1.3 Types of circuits	27
1.4 Terms related to ratings and characteristics	31
2. Examples	35
3. Terminology for integrated circuit memories	63
3.1 General terms	63
3.2 General terms relating to memory function and organization	65
3.3 Types of memories	67
3.4 Terms related to ratings and characteristics	71
3.5 Typical waveforms for static read/write memories	73
4. Terminology for integrated circuit microprocessors	79
5. Terminology for charge-transfer devices	79
6. Letter symbols for combinatorial and sequential circuits	87
7. Letter symbols for the dynamic parameters of sequential integrated circuits, including memories	87

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

SECTION ONE — DIGITAL INTEGRATED CIRCUITS, GENERAL

1. Circuit identification and description	113
1.1 Designation and type	113
1.2 Technology	113
1.3 Package identification	113
2. Functional specifications	113
2.1 Block diagram	113
2.2 Functional description	115
2.3 Complex structures	115
3. Ratings (limiting values)	115
3.1 Continuous voltages and currents	117
3.2 Non-continuous voltages and currents	117
3.3 Temperatures	117
3.4 Capability of sustaining a short circuit	117
4. Recommended operating conditions (within the specified operating temperature range)	117
5. Static electrical characteristics for bipolar integrated circuits	119
5.1 Essential characteristics of the digital voltage signals	119
5.2 Input clamping voltage (where appropriate)	121
5.3 Essential characteristics for input and output currents	121
5.4 Applied conditions for worst case	127
6. Static and quasi-static electrical characteristics for MOS integrated circuits	127
6.1 Essential characteristics of the digital voltage signals	127
6.2 Essential characteristics for currents	129
7. Dynamic electrical characteristics	129
7.1 Introduction	131
7.2 Times characterizing the response of the circuit	131
7.3 Requirements at the inputs to ensure correct sequential operation	133
7.4 Input and output impedances	137
8. Total power or currents provided from the supplies	141
9. Total current drawn from the power supplies (dynamic operation)	141

Articles	Pages
10. Informations sur les impulsions de commande (s'il y a lieu)	140
11. Résistance d'isolement	140
12. Valeurs limites, caractéristiques mécaniques et autres données	140
13. Informations supplémentaires	142
13.1 Facteur de charge de sortie	142
13.2 Marges de protection contre les perturbations	142
13.3 Interconnexions de circuits intégrés digitaux	142
14. Précautions de manipulation	142
ANNEXE À LA SECTION UN — Spécification des caractéristiques	142

SECTION DEUX — MÉMOIRES À CIRCUIT INTÉGRÉ

A. Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1. Identification et description du circuit	144
2. Spécifications fonctionnelles	144
2.1 Schéma synoptique	144
2.2 Description fonctionnelle	144
3. Valeurs limites	144
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	146
5. Caractéristiques électriques statiques pour les mémoires bipolaires	146
6. Caractéristiques électriques statiques pour les mémoires MOS	146
7. Caractéristiques électriques dynamiques	146
7.1 Temps caractérisant la réponse du circuit	146
7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct	150
7.3 Capacités d'entrée et de sortie	158
8. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	158
9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)	158
10. Valeurs limites, caractéristiques mécaniques et autres données	158
11. Informations supplémentaires	158
11.1 Facteur de charge de sortie	158
11.2 Marges de protection contre les perturbations	158
11.3 Interconnexions de circuits similaires	158
11.4 Type de circuit de sortie	160
11.5 Interconnexions avec d'autres types de circuits	160
12. Précautions de manipulation	160

B. — Mémoires à lecture seule à contenu programmable par l'utilisateur

1. Identification et description du circuit	160
2. Spécifications fonctionnelles	160
2.1 Schéma synoptique	160
2.2 Identification des bornes	160
2.3 Description fonctionnelle	162
3. Valeurs limites	162
4. Mode de lecture	162
4.1 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	162
4.2 Caractéristiques électriques statiques	162
4.3 Caractéristiques électriques dynamiques	164
4.4 Exigences de temps	164
5. Mode de programmation	166
5.1 Procédure de programmation	166
5.2 Conditions de programmation recommandées	166
5.3 Exigences de temps	166
6. Mode d'effacement (si applicable)	168
6.1 Mémoires effaçables électriquement	168
6.2 Mémoires effaçables par ultraviolet	170
7. Nombre de cycles de programmation-effacement	170
8. Informations concernant la rétention des données	170
9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	170
10. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)	172
11. Valeurs limites et caractéristiques mécaniques et autres données	172
12. Informations supplémentaires	172
13. Précautions de manipulation	172

SECTION TROIS — MICROPROCESSEURS À CIRCUIT INTÉGRÉ

1. Identification et description du circuit	174
1.4 Compatibilité électrique	174

Clause	Page
10. Command pulse information (where appropriate)	141
11. Insulation resistance	141
12. Mechanical ratings, characteristics and other data	141
13. Supplementary information	143
13.1 Output loading capability	143
13.2 Noise margins	143
13.3 Interconnections of digital integrated circuits	143
14. Handling precautions	143
APPENDIX TO SECTION ONE — Specification of characteristics	143

SECTION TWO — INTEGRATED CIRCUIT MEMORIES

A. — Static and dynamic read/write memories and read-only memories

1. Circuit identification and description	145
2. Functional specifications	145
2.1 Block diagram	145
2.2 Functional description	145
3. Ratings (limiting values)	145
4. Recommended operating conditions (within the specified operating temperature range)	147
5. Static electrical characteristics for bipolar memories	147
6. Static electrical characteristics for MOS memories	147
7. Dynamic electrical characteristics	147
7.1 Times characterizing the response of the circuit	147
7.2 Requirements at the inputs to ensure correct sequential operation	151
7.3 Input and output capacitances	159
8. Power or current drawn from each supply (static operation)	159
9. Power or current drawn from each supply (dynamic operation)	159
10. Mechanical ratings, characteristics and other data	159
11. Supplementary information	159
11.1 Output loading capability	159
11.2 Noise margins	159
11.3 Interconnections of similar units	159
11.4 Type of output circuit	161
11.5 Interconnections to other types of circuits	161
12. Handling precautions	161

B. — Field-programmable read-only memories

1. Circuit identification and description	161
2. Functional specifications	161
2.1 Block diagram	161
2.2 Identification of terminals	161
2.3 Functional description	163
3. Ratings (limiting values)	163
4. Read mode	163
4.1 Recommended operating conditions (within the specified operating temperature range)	163
4.2 Static electrical characteristics	163
4.3 Dynamic electrical characteristics	165
4.4 Timing requirements	165
5. Programming mode	167
5.1 Programming procedure	167
5.2 Recommended programming conditions	167
5.3 Timing requirements	167
6. Erasing mode (if applicable)	169
6.1 Electrically erasable memories	169
6.2 Ultraviolet erasable memories	171
7. Number of programming/erasing cycles	171
8. Data retention information	171
9. Power or current drawn from each supply (static operation)	171
10. Power or current drawn from each supply (dynamic operation)	173
11. Mechanical ratings, characteristics and other data	173
12. Supplementary information	173
13. Handling precautions	173

SECTION THREE — INTEGRATED CIRCUIT MICROPROCESSORS

1. Circuit identification and description	175
1.4 Electrical compatibility	175

Articles	Pages
2. Spécifications fonctionnelles	174
2.1 Schéma synoptique	174
2.2 Description fonctionnelle	176
2.3 Jeux d'instructions	176
2.4 Configuration de l'instruction	178
2.5 Signaux d'entrée et de sortie	178
3. Valeurs limites	180
3.1 Valeurs limites électriques	180
3.2 Températures	180
3.3 Dissipation de puissance	180
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	180
4.1 Tension(s) d'alimentation	180
4.2 Entrées d'horloge	182
4.3 Tensions d'entrée (à l'exclusion des entrées d'horloge)	182
4.4 Courants de sortie	182
4.5 Eléments extérieurs (s'il y a lieu)	182
4.6 Temps de préparation et de maintien	182
4.7 Diagrammes des temps (chronogrammes) pour les séquences de commande	182
5. Caractéristiques électriques	182
5.1 Caractéristiques statiques	182
5.2 Caractéristiques dynamiques	186
6. Valeurs limites, caractéristiques mécaniques et autres données	188
7. Informations supplémentaires	188
7.1 Facteur de charge de sortie	188
7.2 Marges de protection contre les perturbations	188
7.3 Données d'application	188
7.4 Autres informations	190
8. Précautions de manipulation	190

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN — GÉNÉRALITÉS

1. Exigences générales	192
2. Exigences spécifiques	192
2.1 Exigences générales pour les mesures statiques et dynamiques	192
2.2 Conditions spécifiées pour les caractéristiques statiques	192
2.3 Conditions spécifiées pour les caractéristiques dynamiques	194
3. Matrice d'application pour les méthodes de mesure	194

SECTION DEUX — MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1. Tensions de sortie au niveau haut et au niveau bas (V_{OH} et V_{OL}) [37]	198
2. Courants d'entrée au niveau haut et au niveau bas (I_{IH} et I_{IL}) [38]	200
3. Courant de court-circuit en sortie (I_{OS}) [40]	202
4. Courant d'alimentation en fonctionnement statique [41]	204
5. Tensions de seuil (d'entrée) et tension d'hystérésis [48]	206

SECTION TROIS — MESURES DYNAMIQUES

1. Courant total fourni par les alimentations (fonctionnement dynamique) [1]	212
2. Puissance fournie à travers la ligne d'horloge [2]	214
3. Impédances d'entrée et de sortie [6], [11]	220
3.1 Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6]	220
3.2 Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes [11]	224
4. Temps caractérisant le circuit	232
4.1 Temps de propagation [3], [7]	232

Clause	Page
2. Functional specifications	175
2.1 Block diagram	175
2.2 Functional description	177
2.3 Instruction set	177
2.4 Configuration of instructions	179
2.5 Input and output signals	179
3. Ratings (limiting values)	181
3.1 Electrical limiting values	181
3.2 Temperatures	181
3.3 Power dissipation	181
4. Recommended operating conditions (within the specified operating temperature range)	181
4.1 Power supply voltage(s)	181
4.2 Clock inputs	183
4.3 Input voltages (excluding clock inputs)	183
4.4 Output currents	183
4.5 External elements (where appropriate)	183
4.6 Set-up and hold times	183
4.7 Timing diagrams for control sequences	183
5. Electrical characteristics	183
5.1 Static characteristics	183
5.2 Dynamic characteristics	187
6. Mechanical ratings, characteristics and other data	189
7. Supplementary information	189
7.1 Output loading capability	189
7.2 Noise margins	189
7.3 Application data	189
7.4 Other information	191
8. Handling precautions	191

CHAPTER IV. MEASURING METHODS

SECTION ONE — GENERAL

1. Basic requirements	193
2. Specific requirements	193
2.1 General requirements for static and dynamic measurements	193
2.2 Specified conditions for static characteristics	193
2.3 Specified conditions for dynamic characteristics	195
3. Application matrix for the measuring methods	195

SECTION TWO — MEASURING METHODS OF STATIC CHARACTERISTICS

1. High-level and low-level output voltages (V_{OH} and V_{OL}) [37]	199
2. High-level and low-level input currents (I_{IH} and I_{IL}) [38]	201
3. Short-circuit output current (I_{OS}) [40]	203
4. Power supply current under static conditions [41]	205
5. (Input) threshold voltages and hysteresis voltage [48]	207

SECTION THREE — DYNAMIC MEASUREMENTS

1. Total current drawn from the power supplies under dynamic conditions [1]	213
2. Power supplied through the clock line [2]	215
3. Input and output impedances [6] , [11]	221
3.1 Current measurement: input and output capacitances for large-signal operation [6]	221
3.2 Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances [11]	225
4. Times characterizing the circuit	233
4.1 Propagation times [3] , [7]	233

Articles	Pages
4.2 Temps de délai et de transition 4 , 5	240
4.3 Temps d'établissement 8 et temps de maintien 9	246
4.4 Temps de résolution 36	252
4.5 Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états») 49	256
4.6 Temps spécifiques aux mémoires 50 à 54	260
5. Fréquence de commutation d'un circuit séquentiel 10	270

CHAPITRE V: RÉCEPTION ET FIABILITÉ

SECTION UN — ESSAIS D'ENDURANCE ÉLECTRIQUE

1. Exigences générales	276
2. Exigences spécifiques	276
TABLEAU II	278

Withdrawn

Clause	Page
4.2 Delay and transition times 4 , 5	241
4.3 Set-up time 8 and hold time 9	247
4.4 Resolution time 36	253
4.5 Output enable and disable times (for three-state outputs) 49	257
4.6 Specific times for memories 50 to 54	261
5. Switching frequency of a sequential circuit 10	271

CHAPTER V: ACCEPTANCE AND RELIABILITY

SECTION ONE — ELECTRICAL ENDURANCE TESTS

1. General requirements	277
2. Specific requirements	277
TABLE II	279

Withdrawing

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente norme a été préparée par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

La Publication 748-2 constitue la deuxième partie d'une norme générale sur les circuits intégrés, la Publication 748.

En plus des normes générales des Publications 747-1 et 748-1, les normes données dans la présente publication complètent les normes sur les circuits intégrés digitaux.

Le Comité d'Etudes n° 47, réuni à Londres en septembre 1982, a approuvé le remaniement des Publications 147 et 148 de la CEI qui consiste en une nouvelle articulation en fonction des semiconducteurs traités. Toutes les parties constituantes ayant déjà été approuvées par des votes suivant la Règle des Six Mois ou la Procédure des Deux Mois, il n'a pas été jugé nécessaire d'organiser un nouveau scrutin.

Les informations relatives aux circuits intégrés, figurant dans les Publications 147 et 148, sont incorporées dans la Publication 747-1 et dans les Publications 748.

Les informations relatives aux essais mécaniques et climatiques, figurant dans les Publications 147-5 et 147-5A, sont incorporées dans la Publication 749 de la CEI.

Cette norme sera tenue à jour en révisant et en élargissant son texte parallèlement à la poursuite des travaux du Comité d'Etudes n° 47 pour tenir compte des progrès effectués dans le domaine des circuits intégrés.

Cette norme annule en totalité le contenu des Publications 147-1D et 147-2L.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES**Integrated circuits****Part 2: Digital integrated circuits****FOREWORD**

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by IEC Technical Committee No. 47: Semiconductor Devices.

Publication 748-2 constitutes the second part of a general standard on integrated circuits, Publication 748.

In addition to the general standards of Publications 747-1 and 748-1, the standards given in the present publication complete the standards on digital integrated circuits.

The meeting of Technical Committee No. 47, held in London in September 1982, approved the reorganization of Publications 147 and 148 into the present device-oriented arrangement. Since all the constituent parts had been previously approved by votes under the Six Months' Rule or Two Months' Procedure, a new vote was not deemed necessary.

Material concerning integrated circuits, found in Publications 147 and 148, is included in Publication 747-1 and in Publication 748.

Material concerning mechanical and climatic test methods, found in Publications 147-5 and 147-5A, is included in Publication 749.

This standard will be kept up to date by revising and extending the document as the work in Technical Committee No. 47 continues and takes into account advances in the field of integrated circuits.

This standard wholly supersedes the material in Publications 147-1D and 147-2L.

INDEX DES RÉFÉRENCES CROISÉES

Nouveau paragraphe	Ancien paragraphe	Document ou publication	Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre II</i>			3.1.5	1.5	147-0F, VI, D
1.1	1	147-0D, VI, A	3.1.6	1	47(BC)792
1.1.1	1.1	147-0E, VI, A	3.1.7	—	47(BC)945
1.1.2	1.2	147-0D, VI, A	3.2.1	2.1	47(BC)792
1.1.3	1.3	147-0D, VI, A	3.2.2	2.2	47(BC)792
1.1.4	1.4	147-0D, VI, A	3.2.3	2.3	47(BC)792
1.1.5	1.9	147-0D, VI, A	3.3.1 à 3.3.6	2.1 à 2.6	147-0E, VI, D
1.1.6	1.39	147-0F, VI, A	3.3.7	2.7	147-0F, VI, D
1.2.1	1.7	147-0D, VI, A	3.3.8	2.8	147-0F, VI, D
1.2.2	1.8	147-0D, VI, A	3.4.1	3.1	147-0F, VI, D
1.2.3	1.13	147-0D, VI, A	3.4.2	3.2	147-0F, VI, D
1.2.4	1.14	147-0D, VI, A	3.4.3	3.3	147-0F, VI, D
1.2.5	1.17	147-0D, VI, A	3.4.4	3.4	147-0F, VI, D
1.2.6	1.18	147-0D, VI, A	3.4.5	3.5	147-0F, VI, D
1.2.7	1.19	147-0D, VI, A	3.4.6	3.6	147-0F, VI, D
1.2.8	1.20	147-0D, VI, A	3.4.7	—	47(BC)876
1.2.9	1.21	147-0D, VI, A	3.5	4	147-0F, VI, D
1.2.10	1.22	147-0D, VI, A	4.1	1.40	147-0F, VI, A
1.2.11	1.27	147-0D, VI, A	5	—	47(BC)874
1.2.12	1.32	147-0E, VI, A	6	Nouveau	—
1.2.13	1	47(BC)794	7.1 à 7.6	—	47(BC)793
1.2.14	2	47(BC)794	7.7	—	47(BC)877
1.2.15	3	47(BC)794	<i>Chapitre III</i>		
1.2.16	4	47(BC)794	Section un		
1.2.17	5	47(BC)794	1 à 14	1 à 14	147-0D, VI, un
1.2.18	6	47(BC)794	Sauf 5.1.1	—	47A(BC)121
1.2.19	8	47(BC)794	Annexe	Annexe	147-0D, VI, un
1.2.20	9	47(BC)794	<i>Chapitre III</i>		
1.2.21	10	47(BC)794	Section deux		
1.2.22	11	47(BC)794	A:		
1.3.1	1.5	147-0D, VI, A	1 à 7.2.1	1 à 7.2.1	147-1D, VI, deux
1.3.2	1.6	147-0D, VI, A	7.2.2	7.2.2	47A(BC)104
1.3.3	1.10	147-0D, VI, A	7.3 à 7.12	7.3 à 7.12	147-1D, VI, deux
1.3.4	1.11	147-0D, VI, A	B:		
1.3.5	1.12	147-0D, VI, A	1 à 13	—	47A(BC)122
1.3.6	1.23	+147-0E, VI, A	<i>Chapitre III</i>		
1.3.6.1 à 1.3.6.3	—	47(BC)945	Section trois		
1.3.7	1.24	147-0D, VI, A	1 à 8	1 à 8	147-1D, VI, trois
1.3.8	1.25	147-0D, VI, A	<i>Chapitre IV</i>		
1.3.9	1.26	147-0D, VI, A	Section un		
1.3.10	1.28	147-0E, VI, A	1	1.1	147-2L, VI, un
1.3.11	1.29	147-0E, VI, A	2.1.1 à 2.1.7	1.1.1 à 1.1.7	147-2L, VI, un
1.3.12	1.30	147-0E, VI, A	2.2.1	1.2.1	147-2L, VI, un
1.3.13	1.31	147-0E, VI, A	2.2.2	1.2.2	147-2L, VI, un
1.3.14	7	47(BC)794	2.3	Nouveau	—
1.3.15	—	47(BC)945	3	Partie de	147-2L, Sommaire
1.4.1	—	47(BC)944	<i>Chapitre IV</i>		
1.4.2	1.15	147-0D, VI, A	Section deux		
1.4.3	1.16	147-0D, VI, A	1 à 4	1 à 4	47A(BC)105
1.4.4	1.33	{ 147-0E, VI, A +47(BC)795	5	—	47A(BC)120+146
1.4.5 à 1.4.8	1.34 à 1.37	147-0E, VI, A			
1.4.9 à 1.4.15	—	47(BC)875			
1.4.16	1.38	147-0F, VI, A			
2.1	2.1	147-0D, VI, A			
2.2.1 à 2.2.2.15	2.2 à 2.2.2.15	147-0D, VI, A			
2.2.2.16	2.2.2.16	147-0E, VI, A			
3.1.1	1.1	147-0E, VI, D			
3.1.2	1.2	147-0E, VI, D			
3.1.3	1.3	147-0F, VI, D			
3.1.4	1.4	147-0F, VI, D			

CROSS REFERENCE INDEX

New clause number	Old clause number	Document or publication	New clause number	Old clause number	Document or publication
<i>Chapter II</i>			3.1.5	1.5	147-0F, VI, D
1.1	1	147-0D, VI, A	3.1.6	1	47(CO)792
1.1.1	1.1	147-0E, VI, A	3.1.7	—	47(CO)945
1.1.2	1.2	147-0D, VI, A	3.2.1	2.1	47(CO)792
1.1.3	1.3	147-0D, VI, A	3.2.2	2.2	47(CO)792
1.1.4	1.4	147-0D, VI, A	3.2.3	2.3	47(CO)792
1.1.5	1.9	147-0D, VI, A	3.3.1 to 3.3.6	2.1 to 2.6	147-0E, VI, D
1.1.6	1.39	147-0F, VI, A	3.3.7	2.7	147-0F, VI, D
1.2.1	1.7	147-0D, VI, A	3.3.8	2.8	147-0F, VI, D
1.2.2	1.8	147-0D, VI, A	3.4.1	3.1	147-0F, VI, D
1.2.3	1.13	147-0D, VI, A	3.4.2	3.2	147-0F, VI, D
1.2.4	1.14	147-0D, VI, A	3.4.3	3.3	147-0E, VI, D
1.2.5	1.17	147-0D, VI, A	3.4.4	3.4	147-0F, VI, D
1.2.6	1.18	147-0D, VI, A	3.4.5	3.5	147-0F, VI, D
1.2.7	1.19	147-0D, VI, A	3.4.6	3.6	147-0F, VI, D
1.2.8	1.20	147-0D, VI, A	3.4.7	—	47(CO)876
1.2.9	1.21	147-0D, VI, A	3.5	4	147-0F, VI, D
1.2.10	1.22	147-0D, VI, A	4.1	1.40	147-0F, VI, A
1.2.11	1.27	147-0D, VI, A	5	—	47(CO)874
1.2.12	1.32	147-0E, VI, A	6	New	—
1.2.13	1	47(CO)794	7.1 to 7.6	—	47(CO)793
1.2.14	2	47(CO)794	7.7	—	47(CO)877
1.2.15	3	47(CO)794	<i>Chapter III</i>		
1.2.16	4	47(CO)794	Section One		
1.2.17	5	47(CO)794	1 to 14	1 to 14	147-1D, VI, One
1.2.18	6	47(CO)794	except 5.1.1	—	47A(CO)121
1.2.19	8	47(CO)794	Appendix	Appendix	147-1D, VI, One
1.2.20	9	47(CO)794	<i>Chapter III</i>		
1.2.21	10	47(CO)794	Section Two		
1.2.22	11	47(CO)794	A:		
1.3.1	1.5	147-0D, VI, A	1 to 7.2.1	1 to 7.2.1	147-1D, VI, Two
1.3.2	1.6	147-0D, VI, A	7.2.2	7.2.2	47A(CO)104
1.3.3	1.10	147-0D, VI, A	7.3 to 12	7.3 to 12	147-1D, VI, Two
1.3.4	1.11	147-0D, VI, A	B:		
1.3.5	1.12	147-0D, VI, A	1 to 13	—	47A(CO)122
1.3.6	1.23	147-0D, VI, A	<i>Chapter III</i>		
1.3.6.1 to 1.3.6.3	—	+147-0E, VI, A 47(CO)945	Section Three		
1.3.7	1.24	147-0D, VI, A	1 to 8	1 to 8	147-1D, VI, Three
1.3.8	1.25	147-0D, VI, A	<i>Chapter IV</i>		
1.3.4	1.26	147-0D, VI, A	Section One		
1.3.10	1.28	147-0E, VI, A	1	1.1	147-2L, VI, One
1.3.11	1.29	147-0E, VI, A	2.1.1 to 2.1.7	1.1.1 to 1.1.7	147-2L, VI, One
1.3.12	1.30	147-0E, VI, A	2.2.1	1.2.1	147-2L, VI, One
1.3.13	1.31	147-0E, VI, A	2.2.2	1.2.2	147-2L, VI, One
1.3.14	7	47(CO)794	2.3	New	—
1.3.15	—	47(CO)945	3	Part of	147-2L, Contents Appendix II
1.4.1	—	47(CO)944	<i>Chapter IV</i>		
1.4.2	1.15	147-0D, VI, A	Section Two		
1.4.3	1.16	147-0D, VI, A	1 to 4	1 to 4	47A(CO)105
1.4.4	1.33	147-0E, VI, A +47(CO)795	5	—	47A(CO)120+146
1.4.5 to 1.4.8	1.34 to 1.37	147-0E, VI, A			
1.4.9 to 1.4.15	—	47(CO)875			
1.4.16	1.38	147-0F, VI, A			
2.1	2.1	147-0D, VI, A			
2.2.1 to 2.2.2.15	2.2 to 2.2.2.15	147-0D, VI, A			
2.2.2.16	2.2.2.16	147-0E, VI, A			
3.1.1	1.1	147-0E, VI, D			
3.1.2	1.2	147-0E, VI, D			
3.1.3	1.3	147-0F, VI, D			
3.1.4	1.4	147-0F, VI, D			

Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre IV</i>		
Section trois		
1 à 4.4	1 à 4.4	147-2L, VI, deux
4.5	—	47A(BC)141
4.6	—	47A(BC)123
5	5	147-2L, VI, deux

Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre V</i>		
Section un		
1		Référence à 748-1, VIII, trois, 2 (qui est 147-4, II, deux, art. 4)
2	5	147-4, II, deux
Tableau I	Tableau III	147-4, II, deux

Withdrawn

New clause number	Old clause number	Document or publication
<i>Chapter IV</i>		
Section Three		
1 to 4.4	1 to 4.4	147-2L, VI, Two
4.5	—	47A(CO)141
4.6	—	47A(CO)123
5	5	147-2L, VI, Two

New clause number	Old clause number	Document or publication
<i>Chapter V</i>		
Section One		
1		Reference to 748-1, VIII, Three, 2 (which is 147-4, II, Two, art. 4)
2	5	147-4, II, Two
Table I	Table III	147-4, II, Two

Withdrawn

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

CHAPITRE I: GÉNÉRALITÉS

1. Note d'introduction

La présente publication doit être utilisée avec les Publications 747-1 et 748-1 qui donnent les informations de base sur:

- la terminologie;
- les symboles littéraux;
- les valeurs limites et les caractéristiques essentielles;
- les méthodes de mesure;
- la réception et la fiabilité.

2. Domaine d'application

La présente publication donne les normes pour les catégories ou sous-catégories suivantes de dispositifs:

- Circuits digitaux combinatoires et séquentiels.
 - Mémoires à circuit intégré.
 - Microprocesseurs à circuit intégré.
 - Dispositifs à transfert de charge.
-

SEMICONDUCTOR DEVICES

Integrated circuits

Part 2: Digital integrated circuits

CHAPTER I: GENERAL

1. Introductory note

As a rule, it will be necessary to use Publications 747-1 and 748-1 together with the present publication.

In Publications 747-1 and 748-1, the user will find all basic information on:

- terminology;
- letter symbols;
- essential ratings and characteristics;
- measuring methods;
- acceptance and reliability.

2. Scope

The present publication gives standards for the following categories or sub-categories of devices:

- Combinatorial and sequential digital circuits.
 - Integrated circuit memories.
 - Integrated circuit microprocessors.
 - Charge-transfer devices.
-

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1. Terminologie pour les circuits intégrés combinatoires et séquentiels

1.1 Termes généraux

Note explicative

Une variable est une représentation physique de l'information. Une variable digitale est le comportement ou la variation temporelle d'une grandeur physique avec un nombre fini de gammes de valeurs, non enchevêtrées. Une variable digitale peut être utilisée pour la transmission d'informations. Pour tenir compte de l'usage courant, on a choisi ci-dessous des définitions simplifiées. Pour ce qui est des circuits digitaux, cela ne produira en général ni ambiguïté, ni confusion.

1.1.1 Variable digitale

Variation temporelle d'une grandeur physique qui possède un nombre fini de gammes disjointes de valeurs et qui est utilisée pour la transmission ou le traitement d'informations.

Notes 1. — La grandeur physique peut être une tension, un courant, une impédance, etc.

2. — Pour simplifier, chaque gamme de valeurs peut être représentée par une valeur unique, par exemple la valeur nominale.

1.1.2 Variable binaire

Variable digitale qui n'a que deux gammes disjointes de valeurs possibles.

Note. — Pour simplifier, chacune des gammes peut être représentée par une seule valeur, par exemple la valeur nominale.

1.1.3 Gamme des valeurs basses (d'une variable binaire)

Gamme des niveaux les moins positifs (les plus négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme L» et une valeur quelconque dans cette gamme «niveau L».

1.1.4 Gamme des valeurs hautes (d'une variable binaire)

Gamme des niveaux les plus positifs (les moins négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme H» et une valeur quelconque dans cette gamme «niveau H».

1.1.5 Borne d'entrée

Borne par l'intermédiaire de laquelle une variable appliquée à cette entrée peut modifier la configuration de sortie du circuit:

- soit directement;
- soit indirectement, en changeant les conditions pour lesquelles le circuit réagit aux signaux appliqués aux autres entrées.

1.1.6 Sortie «trois-états»

Sortie d'un circuit binaire qui est une source à impédance relativement basse ou un élément qui absorbe le courant aux niveaux haut et bas et qui, en outre, dans des conditions appropriées d'entrée, présente un état à haute impédance voisin d'un circuit ouvert.

Note. — Dans les tables de fonctionnement et dans les matrices (séquentielles) de fonctionnement, on utilise l'abréviation Z pour l'état à haute impédance.

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1. Terminology for combinatorial and sequential integrated circuits

1.1 General terms

Explanatory note

A signal is a physical representation of information. A digital signal is the time-dependent behaviour or variation of a physical quantity with a finite number of non-overlapping ranges of values. A digital signal can be used for transmission of information or for information processing. Taking into account common practice, simplified definitions have been chosen below. Referring to digital circuits, this will generally produce no ambiguity or misunderstanding.

1.1.1 Digital signal

The variation with time of a physical quantity, having a finite number of non-overlapping ranges of values, that is used for transmission or the processing of information.

Notes 1. — The physical quantity may be voltage, or current, or impedance, etc.

2. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.2 Binary signal

A digital signal with only two possible ranges of values.

Note. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.3 Low range (of a binary signal)

The range of least positive (most negative) levels of a binary signal.

Note. — This range is often denoted by “L-range” and any level in the range by “L-level”.

1.1.4 High range (of a binary signal)

The range of most positive (least negative) levels of a binary signal.

Note. — This range is often denoted by “H-range” and any level in the range by “H-level”.

1.1.5 Input terminal

A terminal by means of which an applied signal may modify the output configuration (output pattern) of the circuit:

- either directly;
- or indirectly by modifying the ways in which the circuit reacts to signals at other terminals.

1.1.6 Three-state output

An output of a binary circuit that is a relatively low-impedance source or sink at the high and low levels and, in addition, under appropriate input conditions, provides a high-impedance state approaching an open-circuit.

Note. — In function tables and function (sequential) matrices, the abbreviation Z should be used for the high-impedance state.

1.2 Termes relatifs à la fonction

1.2.1 Configuration d'entrée (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes entrées du circuit à un instant donné.

1.2.2 Configuration de sortie (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes sorties du circuit à un instant donné.

Note. — Lorsque aucune ambiguïté ne peut en découler, une configuration de sortie peut être représentée par le niveau (exprimé par L ou H) de la variable à une sortie du circuit déterminée (la sortie de référence).

1.2.3 Table de fonctionnement

Représentation des relations nécessaires ou possibles entre les valeurs des variables digitales aux entrées et aux sorties d'un circuit digital, ces valeurs des variables digitales étant indiquées soit en utilisant directement les valeurs électriques, soit en indiquant la signification électrique des symboles (par exemple, L et H pour les circuits binaires).

En général:

- chaque colonne indique les valeurs des variables digitales à une entrée ou à une sortie du circuit digital;
- chaque ligne indique la combinaison des valeurs des variables digitales aux entrées et les valeurs correspondantes des signaux digitaux en sortie;
- chaque fois que la valeur d'une variable digitale en sortie est indéterminée, elle doit être indiquée par un point d'interrogation;
- chaque fois que la valeur d'une variable digitale à une entrée n'a pas d'influence, elle doit être indiquée par le symbole L/H ou X.

1.2.4 Table de vérité (pour une relation entre des variables digitales)

Représentation de la relation logique entre une ou plusieurs variables digitales indépendantes et une ou plusieurs variables dépendantes, au moyen d'une table qui, pour chaque combinaison possible des valeurs des variables indépendantes, donne les valeurs appropriées des variables dépendantes.

Note. — La distinction entre «table de fonctionnement» et «table de vérité» est fondamentalement nécessaire car le même circuit digital peut réaliser plusieurs opérations logiques différentes, selon le choix arbitraire de la relation entre les valeurs des variables digitales et les valeurs des grandeurs électriques digitales.

1.2.5 Excitation

Configuration, ou changement de configuration, d'entrée qui peut:

- provoquer la modification de configuration de sortie, soit directement, soit eu égard à un état de préparation préalablement existant;
- ou placer le circuit dans un état de préparation;
- ou effacer ou modifier un état de préparation déjà existant.

Notes 1. — La répétition, ou la réitération, d'une excitation donnée ne produit pas forcément le même effet.

2. — Dans certains cas, une excitation peut aussi maintenir une configuration de sortie qu'elle pourrait avoir produite.

1.2.6 Niveau actif (d'une variable digitale d'entrée d'un circuit séquentiel)

Niveau d'une variable digitale d'entrée susceptible de provoquer une excitation.

1.2 Terms related to functions

1.2.1 Input configuration (input pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the input terminals at a given instant.

1.2.2 Output configuration (output pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the output terminals at a given instant.

Note. — When there is no possibility of ambiguity, the output configuration (output pattern) may be represented by the level (expressed as L-level or H-level) of the signal at a stated output terminal of the circuit (the reference output terminal).

1.2.3 Function table

A representation of the necessary or possible relations between the values of the digital signals at the inputs and the outputs of a digital circuit, these values of the digital signals being indicated either by using electrical values directly or by stating the electrical significance of the symbols (e.g., L and H for binary circuits).

Generally:

- every column indicates the values of the digital signals at an input or at an output of the digital circuit;
- every line indicates the combination of values of the digital signals at the input(s) and the resulting values of the digital signals at the output(s);
- whenever the value of the digital signal at an output is not determined, it should be indicated by a question mark;
- whenever the value of a digital signal at an input has no influence, it should be indicated by the symbol L/H or X.

1.2.4 Truth table (for a relation between digital variables)

A representation of the logic relationship between one or more independent digital variables and one or more dependent digital variables, by means of a table which, for each possible combination of the values of the independent variables, gives the appropriate values of the dependent variables.

Note. — The distinction between “function table” and “truth table” is fundamentally necessary, because the same digital circuit may fulfil several different logic operations, according to the arbitrary choice of the assignment of the values of the digital variables to the values of the digital electrical quantities.

1.2.5 Excitation

An input configuration (input pattern), or change in input configuration (input pattern), that can:

- cause the circuit to change its output configuration (output pattern), either directly, or in conjunction with an already existing state of preparedness;
- or put the circuit in a state of preparedness;
- or either cancel or modify an already existing state of preparedness.

Notes 1. — The repetition, or reiteration, of a given excitation will not necessarily produce the same effect.

2. — In some cases, an excitation can also maintain an output configuration (output pattern) which it could have produced.

1.2.6 Active level (of a digital input signal to a sequential circuit)

A level of a digital input signal which can produce excitation.

1.2.7 *Transition active (d'une variable digitale d'entrée d'un circuit séquentiel)*

Transition d'un niveau d'une variable digitale vers un autre niveau, susceptible de produire une excitation.

Note. — Une transition active peut être aussi sujette à des limitations provenant de la pente du signal.

1.2.8 *Configuration de sortie stable (d'un circuit séquentiel)*

Configuration de sortie que conserve un circuit après que l'excitation qui l'a produite, ou toute excitation qui pourrait l'avoir maintenue, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation, ou bien:

configuration de sortie que prend un circuit en l'absence de toute excitation.

Note. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.9 *Configuration de sortie pseudo-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste pas après que l'excitation qui l'a produite, ou toute autre excitation susceptible de la maintenir, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation.

Note. — Toute configuration de sortie de faible durée, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.10 *Configuration de sortie méta-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste que pour un temps limité après qu'une excitation appropriée ait été appliquée.

Notes 1. — La durée de cette configuration de sortie dépend des caractéristiques du circuit; elle peut dépendre de la durée de l'excitation qui l'a produite et peut être affectée par une excitation ultérieure.

2. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.11 *Matrice (séquentielle) de fonctionnement*

Table à plusieurs entrées qui donne les configurations possibles de sortie pour chaque configuration d'entrée, et grâce à laquelle on peut connaître, par lecture directe, la (les) configuration(s) de sortie qui résulte(nt) de la transition d'une configuration d'entrée déterminée à une autre configuration d'entrée.

Note. — S'il y a lieu, on pourra compléter une matrice (séquentielle) de fonctionnement par des données ou par des détails supplémentaires relatifs aux conditions de temps (par exemple, temps de transition pour les niveaux d'entrée, temps de délai, durée de la configuration d'entrée avant que l'on puisse obtenir la nouvelle configuration de sortie désirée).

1.2.12 *Entrée de préparation*

Entrée sur laquelle l'application d'une variable digitale peut modifier la façon dont le circuit réagit aux variables appliquées aux autres entrées, mais sans entraîner directement un changement de la configuration de sortie du circuit.

1.2.13 *Entrée d'autorisation*

Entrée qui, lorsqu'elle est active, permet à une ou plusieurs opérations spécifiques de débiter.

1.2.7 *Active transition (of a digital input signal to a sequential circuit)*

A transition from one level of a digital input signal to another level, which can produce excitation.

Note. — An active transition may also be subject to limitations arising from the slope of the signal.

1.2.8 *Stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern), in which the circuit will remain after the excitation that produced it, or any other that could have maintained it, has been replaced by an input configuration (input pattern) which is not an excitation,

or:

an output configuration (output pattern) which the circuit takes up in the absence of excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.9 *Pseudo-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which does not persist after the excitation that produced it, or other excitations that have maintained it, have been replaced by an input configuration (input pattern) which is not an excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.10 *Meta-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which persists, for a limited duration only, after the appropriate excitation has been applied.

Notes 1. — The duration of the meta-stable output configuration (output pattern) will depend on the design of the circuit, may depend on the duration of the excitation that produced it and may be affected by further excitation.

2. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.11 *Function (sequential) matrix*

A table having several inputs which gives the possible output configurations for each input configuration(s) and from which the output configuration(s) resulting from a transition from each individual input configuration to any other input configuration can be read directly.

Note. — Where appropriate, a function (sequential) matrix may be completed by additional data or details concerning time conditions (e.g., transition times for the input levels, delay time, duration of the input configuration to produce a desired new output configuration).

1.2.12 *Preparatory input terminal*

An input terminal through which an applied digital signal can modify the manner in which the circuit reacts to signals at other input terminals, without directly causing a change of the output configuration (output pattern) of the circuit.

1.2.13 *Enable input*

An input that when active permits one or more specific operations to be commenced.

Notes 1. — Un signal d'autorisation peut:

- a) soit permettre un ou plusieurs fonctionnements tant que le signal est maintenu à un niveau spécifié;
- b) soit activer un verrou permettant au fonctionnements de continuer même après cessation du signal d'autorisation.

2. — «Autorisation» est un terme générique. On peut le préciser grâce à des qualificatifs convenables selon les cas.

1.2.14 *Entrée d'autorisation boîtier*

Entrée d'autorisation qui, lorsqu'elle est inactive, maintient le circuit intégré dans un état de repos à puissance réduite.

1.2.15 *Entrée de sélection boîtier*

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit toute entrée ou sortie d'informations vers ou à partir du circuit intégré.

1.2.16 *Entrée d'autorisation pour la sortie*

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit la sortie d'informations du circuit intégré.

Note. — Lorsqu'il n'y a pas autorisation, les sorties peuvent être à l'état bas, à l'état haut ou à l'état haute impédance, suivant le type particulier de circuit considéré.

1.2.17 *Entrée d'autorisation d'écriture*

Entrée qui, lorsqu'elle est active, permet d'introduire des informations pour les stocker dans la mémoire.

1.2.18 *Entrée d'inhibition*

Entrée qui, lorsqu'elle est active, interdit d'accomplir une ou plusieurs opérations spécifiques.

Notes 1. — En anglais, il existe deux termes équivalents qui désignent une entrée d'inhibition dont ils soulignent l'aspect complémentaire ou négatif.

2. — Lorsqu'elle est inactive, une entrée d'autorisation inhibe ou interdit les opérations qu'elle aurait autorisées si elle était active. A l'inverse, lorsqu'elle est inactive, une entrée d'inhibition permet d'accomplir l'(les) opération(s) qu'elle aurait empêchée(s) si elle était active.

1.2.19 *Entrée à fonctionnement en niveau*

Entrée qui continue à être active (à causer une excitation) tant qu'elle demeure à un niveau actif.

1.2.20 *Entrée à fonctionnement par transition*

Entrée qui est active (cause une excitation) dans un seul des sens de transition ou entrée qui cause une excitation seulement si la vitesse de variation d'un niveau à un autre est suffisamment grande.

1.2.21 *Positionnement à un état spécifié*

- (1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre spécifié.
- (2) (ISO) Mettre un dispositif de stockage dans un état spécifié, généralement différent de celui qui correspond à zéro.

Note. — A distinguer de «restauration».

Notes 1. — An “enable” signal may either:

- a) permit one or more operations to be performed while the signal is maintained at a specified level, or
- b) operate a latch that will allow an operation to continue even after the “enable” signal has been removed.

2. — “Enable” is a generic term. It may be qualified by suitable descriptive adjectives as required.

1.2.14 *Chip-enable input*

An enable input that when inactive causes the integrated circuit to be in a reduced-power stand-by mode.

1.2.15 *Chip-select input*

An enable input that when inactive prevents both input and output of data to and from the integrated circuit.

1.2.16 *Output enable input*

An enable input that when inactive prevents the output of data from the integrated circuit.

Note. — When not enabled, the outputs will assume a low level, a high level, or a floating (high-impedance) state, depending on the design of the particular circuit.

1.2.17 *Write-enable input*

An input that when active permits data to be entered into a memory for storage.

1.2.18 *Disable input; inhibit input*

An input that when active prevents one or more specific operations from being performed.

Note 1. — These are alternative names for an enable input emphasizing the complementary or negative aspect.

2. — When inactive, an enable input disables or prevents the operations that it would permit if active. Conversely, when inactive, a disable input permits the operation(s) to be performed that it would prevent if active.

1.2.19 *Level-operated input*

An input that continues to be active (to cause excitation) as long as it remains at an active level.

1.2.20 *Transition-operated input*

An input that is active (causes excitation) only on one of the two directions of transition or an input that causes excitation only if the rate of change from one level to another is sufficiently large.

1.2.21 *Set*

- (1) (ISO) To cause a counter to take the state corresponding to a specified number.
- (2) (ISO) To place a storage device into a specified state, usually other than that denoting zero.

Note. — Contrast with “reset”.

1.2.22 Restauration à l'état initial

- (1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre initial spécifié.
- (2) (ISO) Remettre un dispositif de stockage dans un état initial prescrit, pas nécessairement dans celui qui correspond à zéro.

Note. — A distinguer de «positionnement».

1.3 Types de circuits

1.3.1 Circuit digital

Circuit qui est conçu pour fonctionner avec des variables digitales tant en entrée(s) qu'en sortie(s).

Notes 1. — Il est sous-entendu, dans cette définition, que l'alimentation continue n'est ni une entrée, ni une sortie.

2. — Dans certains circuits digitaux, par exemple les circuits astables, les entrées peuvent ne pas exister.

1.3.2 Circuit binaire

Circuit digital conçu pour fonctionner à l'aide de variables binaires.

Note. — Les paires de gammes de valeurs des variables binaires peuvent être différentes aux différentes bornes du circuit.

1.3.3 Circuit (digital) combinatoire

Circuit digital pour lequel il existe une, et une seule, combinaison des états de sortie pour chaque combinaison des états des entrées.

1.3.4 Circuit (digital) séquentiel

Circuit digital pour lequel il existe au moins une combinaison des valeurs des variables d'entrée qui conduisent à plus d'une combinaison des valeurs des variables de sortie.

Note. — Ces combinaisons de sortie sont fonction de l'histoire antérieure du circuit (effet de mémoire interne, retard, etc.).

1.3.5 Circuit combinatoire élémentaire

Circuit (digital) combinatoire qui n'a qu'une borne de sortie et dans lequel l'état de la variable de sortie est celui qui n'apparaît qu'une fois dans la table de fonctionnement si, et seulement si, les variables d'entrée sont toutes dans l'état H ou toutes dans l'état L.

Notes 1. — Comme l'état de la variable de sortie (qui n'apparaît qu'une seule fois dans la table de fonctionnement) peut être soit l'état H, soit l'état L, il y a quatre types de circuits combinatoires élémentaires.

Suivant la relation entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole, on peut réaliser les opérations logiques suivantes au moyen de quatre circuits combinatoires élémentaires: ET, OU, NON-ET, NON-OU.

2. — On peut réaliser des circuits combinatoires non élémentaires à l'aide de circuits combinatoires élémentaires ou à l'aide de circuits combinatoires élémentaires et d'inverseurs.

1.3.6 Circuit bistable

Circuit séquentiel qui a deux, et seulement deux, configurations de sortie stables.

Notes 1. — Cette grande classe peut être subdivisée en sous-classes, eu égard au nombre et aux types de configurations de sortie méta-stable ou pseudo-stable du circuit et au nombre d'excitations appropriées nécessaires pour changer de configuration de sortie stable.

1.2.22 *Reset*

- (1) (ISO) To cause a counter to take the state corresponding to a specified initial number.
- (2) (ISO) To restore a storage device to a prescribed initial state, not necessarily that denoting zero.

Note. — Contrast with “set”.

1.3 *Types of circuits*

1.3.1 *Digital circuit*

A circuit which is designed to operate by means of digital signals at the input(s) and at the output(s).

Notes 1. — In this definition, it is understood that “inputs” and “outputs” exclude static power supplies.

2. — In some digital circuits, e.g. certain types of astable circuits, the input(s) need not exist.

1.3.2 *Binary circuit*

A digital circuit designed to operate with binary signals.

Note. — The pairs of ranges of values of the binary signals may be different at different terminals.

1.3.3 *Combinatorial (digital) circuit*

A digital circuit in which there exists one, and only one, combination of the digital signals at the outputs for each possible combination of digital signals at the inputs.

1.3.4 *Sequential (digital) circuit*

A digital circuit in which there exists at least one combination of the digital signals at the inputs for which there is more than one corresponding combination of the digital signals at the outputs.

Note. — These combinations at the outputs are determined by previous history (as a result of internal memory, delay, etc.).

1.3.5 *Elementary combinatorial circuit*

A binary combinatorial (digital) circuit which has only one output terminal, and in which the output signal accepts the value occurring only once in the function if, and only if, the signals applied to all the input terminals are either all in the H-range or all in the L-range.

Notes 1. — Because the output signal value (occurring only once in the function table) can lie either in the H-range or in the L-range, there are four types of elementary combinatorial circuits.

According to the assignment of the signal values L and H to the binary values 0 and 1 of Boolean algebra, the following logic operations can be realized by means of the four types of elementary combinatorial circuits: AND, OR, NAND, NOR.

2. — Non-elementary combinatorial circuits can be formed by combining elementary combinatorial circuits or by combining elementary combinatorial circuits with inverters.

1.3.6 *Bistable circuit*

A sequential circuit which has two, and only two, stable output configurations (output patterns).

Notes 1. — This broad classification can be divided into sub-classes according to the numbers and kinds of pseudo-stable and meta-stable output configurations (output patterns) available and the number of applications of appropriate excitations required to change from one stable output configuration (output pattern) to the other.

2. — Une configuration stable de sortie d'un circuit bistable peut être exprimée par le niveau L ou le niveau H à la borne de sortie prise comme référence.
3. — Le terme «circuit bistable» est utilisé comme terme générique pour couvrir toute la gamme des circuits séquentiels ayant deux, et seulement deux, configurations de sorties stables.
Il peut être utilisé seul pour n'importe quelle classe de circuits bistables, quand il n'en résulte ni ambiguïté ni confusion. En particulier, le terme abrégé «circuit bistable» est souvent utilisé pour les circuits bistables nécessitant une seule excitation.

1.3.6.1 *Circuit bistable à déclenchement par transition*

Circuit bistable ayant une ou plusieurs entrées à fonctionnement par transition.

1.3.6.2 *Circuit bistable à déclenchement par impulsions*

Circuit bistable nécessitant la présence d'un signal à une entrée de préparation avant une première transition d'un signal à une entrée de déclenchement, et son maintien après une deuxième transition se produisant à la même entrée de déclenchement, et qui est susceptible de provoquer le changement d'état des sorties.

Note. — Cette définition n'exclut pas la possibilité que les temps minimaux d'établissement et/ou de maintien puissent être négatifs.

1.3.6.3 *Circuit bistable à verrouillage de sortie*

Circuit bistable nécessitant la présence des signaux aux entrées de préparation avant et après la transition du signal à l'entrée de déclenchement, et qui ne provoque pas le changement d'état des sorties.

1.3.7 *Circuit monostable*

Circuit séquentiel qui n'a qu'une configuration de sortie stable.

- Notes 1.* — La définition précédente correspond au sens le plus général du terme. Le sens qui est donné généralement au terme «circuit monostable» suppose qu'en plus de la configuration stable il existe au moins une configuration de sortie méta-stable.
2. — En général, de tels circuits peuvent avoir une ou plusieurs configurations de sortie méta-stable ou pseudo-stable.

1.3.8 *Circuit extenseur*

Circuit auxiliaire que l'on peut utiliser pour augmenter le nombre des entrées jouant le même rôle d'un circuit associé, sans modifier la fonction du circuit associé.

1.3.9 *Inverseur binaire*

Circuit binaire qui n'a qu'une borne d'entrée et une borne de sortie et pour lequel, à un état L (H) de la variable d'entrée, correspond un état H (L) de la variable de sortie.

1.3.10 *Association maître-esclave*

Association de deux circuits bistables, de sorte que l'un d'entre eux, appelé «esclave», reproduise la configuration de sortie de l'autre circuit, appelé «maître». Le transfert de l'information du maître à l'esclave s'effectue grâce à un signal approprié.

1.3.11 *Registre*

Association de circuits bistables grâce à laquelle une information peut être enregistrée, conservée et restituée.

Note. — Le registre peut faire partie d'une autre mémoire et a une capacité spécifiée.

2. — A stable output configuration (output pattern) of a bistable circuit can be expressed by the L-level or the H-level of the reference output terminal.
3. — The term “bistable circuit” is used as a generic term to cover the whole range of sequential circuits with two, and only two, stable output configurations.
It may be used by itself for any kind or class of bistable circuits, when such use does not result in ambiguity or misunderstanding. In particular, the abbreviated term “bistable circuit” is often used for the single excitation bistable circuits.

1.3.6.1 *Edge-triggered (transition-operated) bistable circuit*

A bistable circuit having one or more transition-operated inputs.

1.3.6.2 *Pulse-triggered bistable circuit*

A bistable circuit requiring that a signal at a preparatory input be set up with respect to a first transition of a signal at a triggering input and be held with respect to a second transition occurring at the same triggering input and possibly causing the outputs to change state.

Note. — This definition does not preclude the possibilities that minimum set-up and/or hold times may be negative.

1.3.6.3 *Data-lock-out bistable circuit*

A bistable circuit requiring that the signals at the preparatory inputs be set up and held with respect to that transition of the triggering-input signal that does not cause the outputs to change state.

1.3.7 *Monostable circuit*

A sequential circuit which has only one stable output configuration (output pattern).

- Notes*
1. — The definition above is given in its most general form. In present usage, the term “monostable circuit” implies that there is at least one meta-stable output configuration (output pattern) in addition to the stable output configuration (output pattern).
 2. — In general, such circuits may have one or more meta-stable and/or pseudo-stable output configurations (output patterns).

1.3.8 *Expander circuit*

An auxiliary circuit which can be used to expand the number of inputs of equal influence of an associated circuit without modifying the function of the associated circuit.

1.3.9 *Binary inverter*

Binary circuit which has only one input terminal and one output terminal, and in which a signal value L (H) at the input produces a signal value H (L) at the output.

1.3.10 *Master-slave arrangement*

An arrangement of two bistable circuits such that one of them, called the “slave”, reproduces the output configuration of the other circuit, called the “master”. The transfer of information from the master to the slave is produced by means of an appropriate signal.

1.3.11 *Register*

An arrangement of bistable circuits by means of which information may be accepted, stored, and retrieved.

Note. — The register may form part of another memory and is of a specified capacity.

1.3.12 *Registre à décalage*

Registre qui, grâce à un signal de commande approprié, peut transférer l'information d'un circuit bistable au suivant, la séquence étant préservée.

1.3.13 *Compteur*

Circuit séquentiel organisé pour enregistrer des nombres et qui permet de les augmenter ou de les diminuer d'une constante définie, y compris l'unité.

1.3.14 *Décodeur digital (à circuit intégré)*

Arrangement d'éléments logiques (ou l'équivalent) qui choisit une ou plusieurs voies de sortie selon la combinaison des signaux présents à l'entrée.

1.3.15 *Réseau logique programmable*

Circuit intégré consistant en un réseau d'opérateurs (ou de circuits) logiques combinatoires, ayant une configuration fixe d'interconnexions, dans lequel les connexions peuvent être réalisées ou détruites après la fabrication, de façon à obtenir des fonctions logiques spécifiques.

Note. — Le réseau logique programmable comporte en général un grand nombre de portes ET commandant plusieurs portes OU.

1.4 *Termes relatifs aux valeurs limites et aux caractéristiques*

1.4.1 *Tension de seuil (d'entrée)*

Niveau de tension d'entrée qui, lorsqu'il est franchi, permet à une sortie de changer d'état logique.

Note. — Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil à la transition positive et à la transition négative.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

$$\text{ou: } V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

1.4.1.1 *Tension de seuil (d'entrée) à la transition positive $V_{\text{IT+}}$, V_{ITP}*

Tension de seuil d'entrée lorsque la tension d'entrée est croissante.

Note. — Voir la note du paragraphe 1.4.1.

1.4.1.2 *Tension de seuil (d'entrée) à la transition négative $V_{\text{IT-}}$, V_{ITN}*

Tension de seuil d'entrée lorsque la tension d'entrée est décroissante.

Note. — Voir la note du paragraphe 1.4.1.

1.4.2 *Facteur de charge d'entrée (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant d'entrée d'une borne d'entrée spécifiée au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisit de préférence la charge de référence de telle façon que le facteur de charge d'entrée soit un nombre entier.

1.4.3 *Capacité de charge de sortie (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant maximal de sortie d'une borne de sortie spécifiée d'un circuit digital au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisit de préférence la charge de référence de telle façon que la capacité de charge de sortie soit un nombre entier.

1.3.12 *Shift register*

A register that, by means of an appropriate control signal, can transfer information between consecutive bistable circuits with the sequence being preserved.

1.3.13 *Counter*

A sequential circuit for storing numbers that permits such numbers to be incremented or decremented by a defined constant, including unity.

1.3.14 *Digital decoder (integrated circuit)*

An arrangement of logic elements (or the equivalent) that selects one or more output channels according to the combination of input signals present.

1.3.15 *Programmable logic array (PLA)*

An integrated circuit consisting of an array of combinatorial logic elements (circuits) with a fixed interconnection pattern in which connections can be made or broken after manufacture to perform specific logic functions.

Note. — The PLA is typically a large set of AND gates driving several OR gates.

1.4 *Terms related to ratings and characteristics*

1.4.1 *(Input) threshold voltage*

The input voltage level that, when crossed, enables an output to change its logic state.

Note. — The term hysteresis, often used in data sheets, denotes the difference between the positive-going and negative-going threshold voltages.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

or: $V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$

1.4.1.1 *Positive-going (input) threshold voltage* $V_{\text{IT+}}$, V_{ITP}

The input threshold voltage when the input voltage is rising.

Note. — See Note to Sub-clause 1.4.1.

1.4.1.2 *Negative-going (input) threshold voltage* $V_{\text{IT-}}$, V_{ITN}

The input threshold voltage when the input voltage is falling.

Note. — See Note to Sub-clause 1.4.1.

1.4.2 *Input loading factor (of a bipolar digital circuit)*

A factor which indicates the ratio of the input current of a specified input terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the input loading factor becomes an integer.

1.4.3 *Output loading capability (of a bipolar digital circuit)*

A factor which indicates the ratio of the maximum output current of a specified output terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the output loading capability becomes an integer.

1.4.4 Temps de préparation (temps d'établissement)

Intervalle de temps entre l'application d'un signal qui est maintenu à une borne d'entrée spécifiée et une transition active ultérieure spécifiée se produisant à une autre borne d'entrée.

- Notes 1. — On mesure le temps d'établissement entre les instants où les grandeurs des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps d'établissement est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.
3. — Le temps d'établissement peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.5 Temps de maintien

Intervalle de temps pendant lequel un signal est maintenu à une borne d'entrée spécifiée après qu'une transition active se soit produite à une autre borne d'entrée spécifiée.

- Notes 1. — On mesure le temps de maintien entre les instants où les amplitudes des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps de maintien est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.
3. — Le temps de maintien peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.6 Temps de résolution

Intervalle de temps entre la fin d'une impulsion d'entrée et le début de l'impulsion d'entrée suivante appliquée à la même borne d'entrée.

- Notes 1. — On mesure le temps de résolution entre les instants où l'amplitude du signal d'entrée atteint des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps de résolution est le temps qui s'écoule entre deux impulsions; il peut être insuffisant pour assurer que les deux impulsions sont distinctes. On définit une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.7 Temps de propagation du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur les impulsions à l'entrée et à la sortie lorsque la sortie évolue vers le niveau bas (haut) et que le dispositif est commandé et chargé par des dispositifs typiques d'un type déterminé.

- Notes 1. — Dans certains cas, les circuits de commande et de charge peuvent être remplacés, pour les essais, par des réseaux équivalents qui doivent être spécifiés.
2. — La valeur moyenne entre la limite supérieure de la gamme des valeurs du niveau bas à l'entrée et la limite inférieure de la gamme des valeurs du niveau haut à l'entrée est généralement utilisée comme niveau de référence spécifié.

1.4.8 Temps de transition du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur le flanc de l'impulsion de sortie, lorsque la sortie évolue vers le niveau bas (haut) et qu'un signal d'entrée spécifié est appliqué à travers un réseau spécifié, la sortie étant chargée par un autre réseau spécifié.

1.4.9 Temps d'autorisation

Intervalle de temps entre un point spécifié sur la transition du signal d'autorisation et un point spécifié sur la forme d'onde de sortie qui représente le début du fonctionnement prévu.

1.4.4 Set-up time

The time interval between application of a signal that is maintained at a specified input terminal and a specified subsequent active transition at another input terminal.

- Notes* 1. — The set-up time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.
2. — The set-up time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.
3. — The set-up time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.5 Hold time

The time interval during which a signal is retained at a specified input terminal after an active transition occurs at another specified input terminal.

- Notes* 1. — The hold time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.
2. — The hold time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.
3. — The hold time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.6 Resolution time

The time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal.

- Notes* 1. — The resolution time is measured between the instants at which the magnitude of the input signal passes through specified values within the transition of the signal levels.
2. — The resolution time is the actual time between two pulses and may be insufficient to ensure that both pulses are recognized. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

1.4.7 High-level to low-level (low-level to high-level) propagation time

The time interval between specified reference points on the input and on the output pulses, when the output is going to the low-(high-)level and when the device is driven and loaded by typical devices of stated types.

- Notes* 1. — In some circumstances, the driving and the loading circuits may be replaced for test purposes by equivalent networks which must be specified.
2. — The mean value between the upper limit of the input low range and the lower limit of the input high range is generally used as the specified reference level.

1.4.8 High-level to low-level (low-level to high-level) transition time

The time interval between specified reference points on the edge of the output pulse when the output is going to the low-(high-)level and when a specified input signal is applied through a specified network and the output is loaded by another specified network.

1.4.9 Enable time

The time interval from a specified point on the transition of the enabling signal to a specified point on an output waveform that represents the commencement of the intended operation.

1.4.10 Temps d'inhibition

Intervalle de temps entre un point spécifié sur la transition du signal d'inhibition et un point spécifié sur la forme d'onde de sortie qui représente la fin du fonctionnement concerné.

1.4.11 Temps d'autorisation en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change d'un état à haute impédance à l'un des niveaux actifs (haut ou bas) définis.

1.4.12 Temps d'inhibition en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change de l'un des niveaux actifs (haut ou bas) définis à l'état à haute impédance.

1.4.13 Durée (largeur) d'une impulsion

Intervalle de temps séparant des points de référence spécifiés sur les flancs de l'impulsion.

1.4.14 Temps de validation

Intervalle de temps pendant lequel un signal de sortie est valide ou durant lequel un signal d'entrée doit être valide.

1.4.15 Temps de validation de l'information en sortie

Intervalle de temps pendant lequel l'information en sortie reste valide, à la suite d'un changement des conditions d'entrée qui pourraient provoquer, à la fin de cet intervalle, un changement de l'information en sortie.

1.4.16 Capacité équivalente d'entrée (ou de sortie) (d'un circuit binaire)

Capacité d'un condensateur discret qui provoque le même effet sur la forme d'onde d'un signal digital que la composante capacitive de l'impédance d'entrée (ou de sortie) d'un circuit binaire.

2. Exemples

2.1 Circuits combinatoires élémentaires

2.1.1 Types de circuits combinatoires élémentaires et leur table de fonctionnement

a) Circuit ET (état L), OU (état H)

Entrées	Sortie
A B C	Q
L L L.... L	L
Toutes combinaisons avec H.....	H

1.4.10 *Disable time*

The time interval from a specified point on the transition of the disabling signal to a specified point on an output waveform that represents the cessation of the affected operation.

1.4.11 *Output enable time (of a three-state output)*

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from a high-impedance (off) state to either of the defined active levels (high or low).

1.4.12 *Output disable time (of a three-state output)*

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from either of the defined active levels (high or low) to a high-impedance (off) state.

1.4.13 *Pulse duration (width)*

The time interval between the specified reference points on the two transitions of the pulse waveform.

1.4.14 *Valid time*

The time interval during which an output signal is valid or during which an input signal must be valid.

1.4.15 *Output data-valid time*

The time interval during which output data continues to be valid following a change of input conditions that could cause the output data to change at the end of the interval.

1.4.16 *Equivalent input (output) capacitance (of a binary circuit)*

The capacitance of a discrete capacitor that causes the same effect on the waveform of a digital signal as the capacitive component of the input (output) impedance of a binary circuit.

2. **Examples**

2.1 *Elementary combinatorial circuits*

2.1.1 *Types of elementary combinatorial circuits and their function tables*

a) L-AND, H-OR circuit

Inputs	Output
A B C	Q
L L L.... L	L
All combinations with H	H

b) Circuit NON-ET (état L), NON-OU (état H)

Entrées	Sortie
A B C	Q
L L L.... L	H
Toutes combinaisons avec H.....	L

c) Circuit ET (état H), OU (état L)

Entrées	Sortie
A B C	Q
H H H.... H	H
Toutes combinaisons avec L	L

d) Circuit NON-ET (état H), NON-OU (état L)

Entrées	Sortie
A B C	Q
H H H.... H	L
Toutes combinaisons avec L	H

e) Inverseur binaire

Entrée	Sortie
L	H
H	L

2.1.2 Réalisation d'opérations logiques au moyen de circuits combinatoires élémentaires

(pour deux relations possibles entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole)

Circuit		Relations	
Type	Nom	$L \triangleq 1$ $H \triangleq 0$	$L \triangleq 0$ $H \triangleq 1$
a	ET (état L), OU (état H)	ET	OU
b	NON-ET (état L), NON-OU (état H)	NON-ET	NON-OU
c	OU (état L), ET (état H)	OU	ET
d	NON-OU (état L), NON-ET (état H)	NON-OU	NON-ET

b) L-NAND, H-NOR circuit

Inputs	Output
A B C	Q
L L L.... L	H
All combinations with H	L

c) H-AND, L-OR circuit

Inputs	Output
A B C	Q
H H H.... H	H
All combinations with L	L

d) H-NAND, L-NOR circuit)

Inputs	Output
A B C	Q
H H H.... H	L
All combinations with L	H

e) Binary inverter

Input	Output
L	H
H	L

2.1.2 Realization of logic operations by means of elementary combinatorial circuits

(for two possible assignments of the signal values L and H to the binary values 0 and 1 of Boolean algebra)

Circuit		Assignment	
Type	Name	L $\hat{=}$ 1 H $\hat{=}$ 0	L $\hat{=}$ 0 H $\hat{=}$ 1
a	L-AND, H-OR	AND	OR
b	L-NAND, H-NOR	NAND	NOR
c	L-OR, H-AND	OR	AND
d	L-NOR, H-NAND	NOR	NAND

2.2 Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale

Avant-propos

Deux modes de représentation des matrices (séquentielles) de fonctionnement sont indiqués.

2.2.1 Préambule

2.2.1.1 Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau H,
- ou lors de la transition du niveau L vers le niveau H,

la lettre qui représente cette entrée est écrite sans barre.

Exemples: R, S, J...

Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau L (c'est-à-dire LORSQU'IL N'EST PAS AU NIVEAU H),
- ou lors de la transition du niveau H vers le niveau L (c'est-à-dire LORS DE LA TRANSITION QUI N'EST PAS DU NIVEAU L VERS LE NIVEAU H),

la lettre qui représente cette entrée est surmontée d'une barre.

Exemples: $\bar{R}$, $\bar{S}$, J...

Dans le cas de circuits fonctionnant en niveau et par transition et lorsque la règle qui précède conduit à une impossibilité, la priorité est donnée à la transition.

2.2.1.2 Les bornes de sortie d'un circuit bistable sont habituellement notées Q et Q*; Q est la sortie prise comme référence.

2.2.1.3 Normalement, pour les deux configurations de sortie stables d'un circuit bistable, les niveaux aux bornes Q et Q* sont complémentaires.

La configuration de sortie pseudo-stable est indiquée par les lettres H ou L ou leur combinaison, placées entre parenthèses après les lettres RS, quand elle existe.

Si dans la configuration de sortie pseudo-stable, les niveaux de Q et Q* sont complémentaires, les deux lettres H et L sont utilisées, la première lettre désignant le niveau de Q.

Si dans la configuration de sortie pseudo-stable les niveaux de Q et de Q* sont identiques, une seule lettre est utilisée pour désigner ces niveaux.

Exemples: RS(H), RS(L), RS(HL), RS(LH).

Si ce n'est pas exigé, les parenthèses et les lettres à l'intérieur peuvent être omises.

2.2.1.4 Tous les autres types de bascules RS, $R_G S_G$, JK, $J_T K_T$, etc., peuvent être décrits d'une manière analogue aux exemples qui suivent.

2.2.2 Circuits

2.2.2.1 Circuit RS (L)

Circuit dont les deux entrées R et S sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau H seulement.

2.2 Principle of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations

Foreword

Two different ways of presenting the (sequential) function matrices are quoted.

2.2.1 Preamble

2.2.1.1 If the signal applied to the input terminal concerned is:

- active when it is at the H-level,
- or active during the transition from the L-level to the H-level,

then the letter which represents the input is used without a bar.

Examples: R, S, J...

If the signal applied to the input terminal concerned is:

- active when it is at the L-level (i.e. NOT AT THE H-LEVEL),
- or active during the transition from the H-level to the L-level (i.e. NOT DURING THE TRANSITION FROM THE L-LEVEL TO THE H-LEVEL),

then the letter which represents the input is used with a bar.

Examples: $\bar{R}$, $\bar{S}$, $\bar{J}$...

In cases of level/transition-operated circuits where the above gives rise to contrary indications, priority is given to the transition.

2.2.1.2 The output terminals of a bistable circuit are denoted by Q and Q*, where Q is the reference-output terminal.

2.2.1.3 Normally, in the two stable output configurations (output patterns) of a bistable circuit, the levels at the terminals Q and Q* are complementary.

The pseudo-stable output configuration (output pattern) is stated by the letters H or L or combinations thereof, to be put in brackets following the letters RS, when it occurs.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are complementary, both the letters H and L are used, the first letter designating the level at Q.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are the same, only one letter is used to designate these levels.

Examples: RS(H), RS(L), RS(HL), RS(LH).

If not required, the brackets and letters between them can be omitted.

2.2.1.4 All other types of RS, $R_G S_G$, JK, $J_T K_T$ circuits, etc., can be described in a manner analogous to the examples that follow.

2.2.2 Circuits

2.2.2.1 RS (L) circuit

A circuit having two level-operated input terminals R and S. Either input signal can be active in the H-level only.

La configuration d'entrée $(R, S) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau L de l'entrée S est sans effet.

La configuration d'entrée $(R, S) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau L de l'entrée R est sans effet.

La configuration d'entrée $(R, S) = (H, H)$ conduit à la configuration de sortie pseudostable $(Q, Q^*) = (L, L)$. Le retour simultané des deux entrées du niveau H vers le niveau L conduit à une configuration de sortie stable imprévisible.

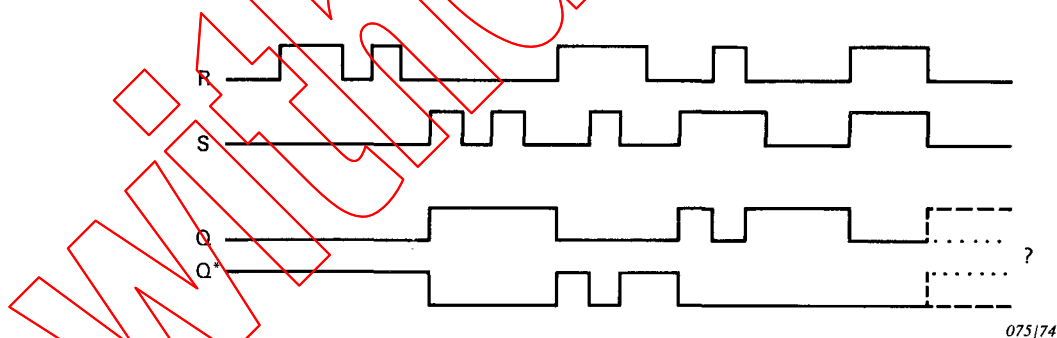
Note. — Pour des raisons techniques, dans certains cas, la configuration d'entrée $(R, S) = (H, H)$ peut être interdite.

Matrices (séquentielles) de fonctionnement:

R	L		H		Q	Q*
S	L	H	L	H		
1	1	3	2	H	L	
2	1	3	2	L	H	
?	1	3	2	L	L	

R	L		H		Q	Q*
S	L	H	L	H		
1	1	3	2	H	L	
2	1	3	2	L	H	
?	1	3	2	L	L	

Diagramme des temps:



075174

FIGURE 1

2.2.2.2 Circuit $\overline{R}\overline{S}$ (H)

Circuit dont les deux entrées $\overline{R}$, $\overline{S}$ sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau L seulement.

La configuration d'entrée $(\overline{R}, \overline{S}) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau H de l'entrée S est sans effet.

La configuration d'entrée $(\overline{R}, \overline{S}) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau H de l'entrée R est sans effet.

The input configuration (input pattern) $(R, S) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, H)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (L, L)$. The simultaneous return of both input signals from the H-level to the L-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(R, S) = (H, H)$ may not be permitted due to technical reasons.

Function (sequential) matrices:

R	L		H		Q	Q*
S	L	H	L	H		
①	①	3	2	H	L	
②	1	3	②	L	H	
?	1	③	2	L	L	

R	L		H		Q	Q*
S	L	H	L	H		
?	?	?	?	?	H	L
?	?	?	?	?	L	H
?	?	?	?	?	L	L

Timing diagram:

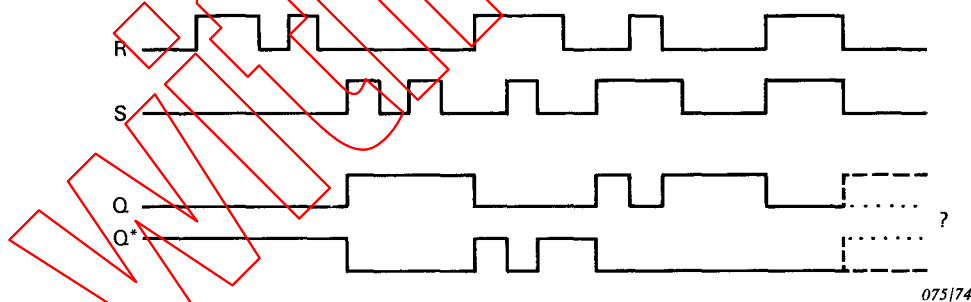


FIGURE 1

2.2.2.2 $\bar{R}\bar{S}$ (H) circuit

A circuit having two level-operated input terminals $\bar{R}$ and $\bar{S}$. Either input signal can be active in the L-level only.

The input configuration (input pattern) $(\bar{R}, \bar{S}) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the H-level produces no action.

The input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the H-level produces no action.

La configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ conduit à la configuration de sortie pseudo-stable $(Q, Q^*) = (H, H)$. Le retour simultané des deux entrées du niveau L vers le niveau H conduit à une configuration de sortie stable imprévisible.

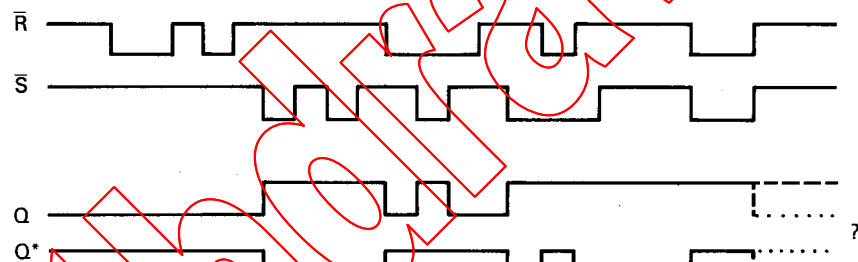
Note. — Pour des raisons techniques, dans certains cas la configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ peut être interdite.

Matrices (séquentielles) de fonctionnement:

$\bar{R}$	L		H	H			
$\bar{S}$	L	H	L	Q	Q*		
	3	2	(1)	(1)	H	L	
	3	(2)	(2)	1	L	H	
	(3)	2	?	1	H	H	

$\bar{R}$	L		H	H			
$\bar{S}$	L	H	L	Q	Q*		
						H	L
						L	H
						H	H

Diagramme des temps:



076/74

FIGURE 2

2.2.2.3 Circuit T

Circuit dont l'entrée T est à fonctionnement par transition.

Le passage du niveau L au niveau H de la variable, appliquée sur cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau H vers le niveau L est sans effet.

Matrices (séquentielles) de fonctionnement:

T	L	H	Q	Q*
	(1)	2	L	H
	3	(2)	H	L
	(3)	4	H	L
	1	(4)	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

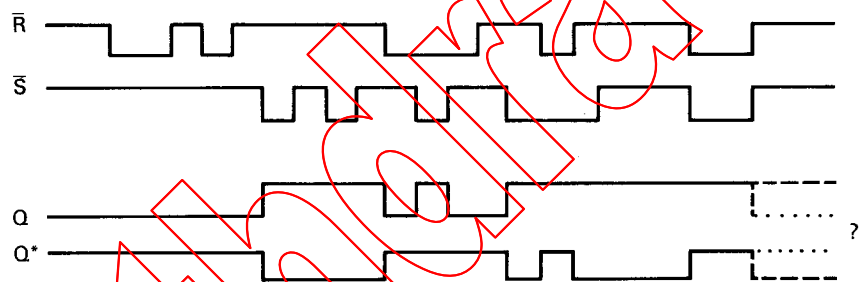
The input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, L)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (H, H)$. The simultaneous return of both input signals from the L-level to the H-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, L)$ may not be permitted due to technical reasons.

Function (sequential) matrices:

$\bar{R}$	L		H		Q	Q*
$\bar{S}$	L	H	L	H		
	3	2	(1)	(1)	H	L
	3	(2)	(2)	1	L	H
	(3)	2	?	1	H	H

Timing diagram:



076/74

FIGURE 2

2.2.2.3 T circuit

A circuit having one input terminal, T, which is transition-operated.

When the signal applied to the input terminal changes from the L-level to the H-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the H-level to the L-level produces no action.

Function (sequential) matrices:

T	L	H	Q	Q*
	(1)	2	L	H
	3	(2)	H	L
	(3)	4	H	L
	1	(4)	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Diagramme des temps:

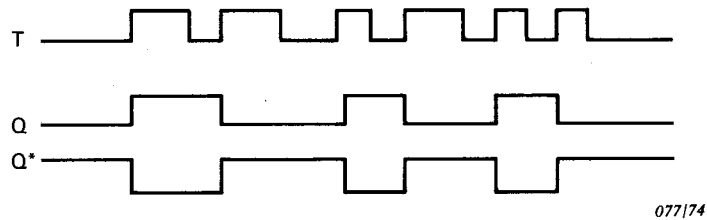


FIGURE 3

2.2.2.4 Circuit $\bar{T}$

Circuit dont l'entrée $\bar{T}$ est du type à fonctionnement par transition.

Le passage du niveau H au niveau L de la variable, appliquée à cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau L vers le niveau H est sans effet.

Matrices (séquentielles) de fonctionnement:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
②	3		H	L
4	③		H	L
④	1		L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Diagramme des temps:

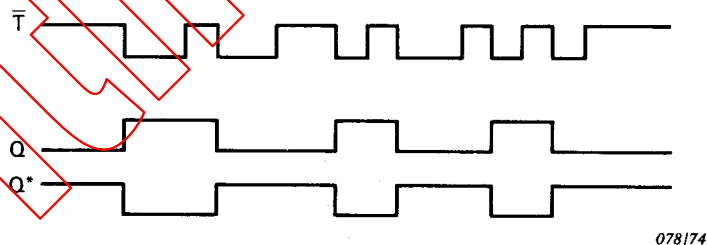


FIGURE 4

2.2.2.5 Circuit T_G (définition générale)

Circuit dont l'entrée T est du type à fonctionnement par transition et l'entrée G du type à fonctionnement en niveau.

Tant que l'entrée G est portée au niveau H, le circuit fonctionne comme un circuit T.

Tant que l'entrée G est portée au niveau L, la variable d'entrée T n'a plus aucune action sur la configuration de sortie.

La configuration de sortie atteinte après une transition simultanée des variables aux deux entrées est imprévisible lorsque la variable appliquée à l'entrée T passe du niveau L au niveau H, quelle que soit la transition à l'entrée G.

Timing diagram:

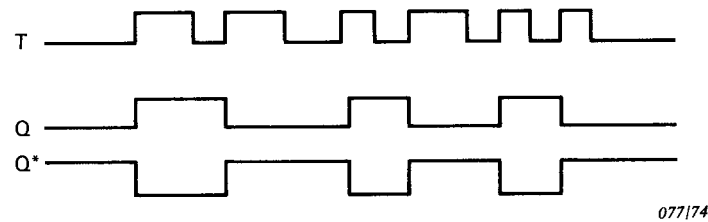


FIGURE 3

2.2.2.4 $\bar{T}$ circuit

A circuit having one input terminal, $\bar{T}$, which is transition-operated.

When the signal applied to the input terminal $\bar{T}$ changes from the H-level to the L-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the L-level to the H-level produces no action.

Function (sequential) matrices:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Timing diagram:

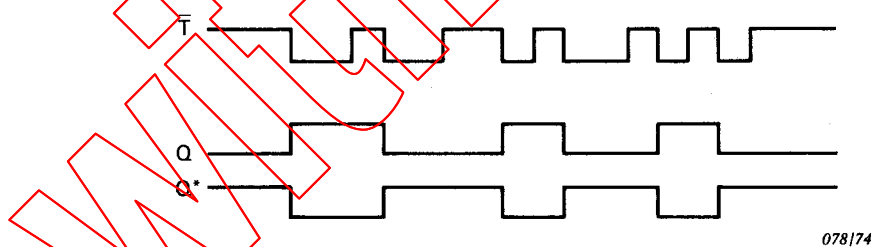


FIGURE 4

2.2.2.5 General T_G circuit

A circuit having one transition-operated input terminal, T, and one level-operated input terminal, G.

While the G input signal has the H-level, the circuit functions like a T circuit.

While the G input signal has the L-level, the T input signal has no effect on the output configuration (output pattern).

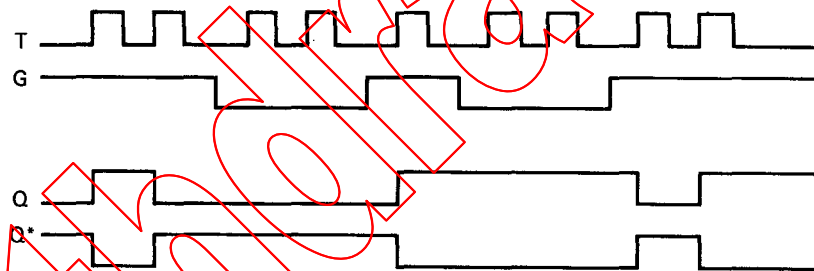
The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the T input signal changes from the L-level to the H-level and the G input signal changes, either from the L-level to the H-level, or from the H-level to the L-level.

Matrices (séquentielles) de fonctionnement

G	L	H				
T	L	H	L	Q	Q*	
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L	H				
T	L	H	L	Q	Q*	
			?	L	H	
			?	L	H	
				L	H	
				H	L	
			?	H	L	
			?	H	L	

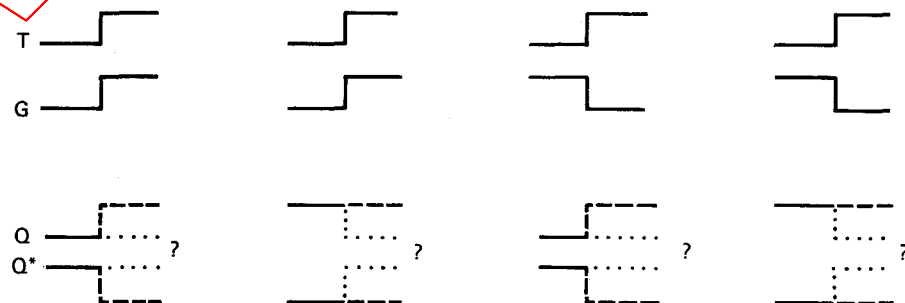
Diagramme des temps:



079/74

FIGURE 5

Diagramme des temps d'un circuit général T_G (suite):



080/74

FIGURE 6

Function (sequential) matrices:

G	L		H			
T	L		H	L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L		H			
T	L		H	L	Q	Q*
	?		?		L	H
	?				L	H
					L	H
					H	L
	?				H	L
			?		H	L

Timing diagram:

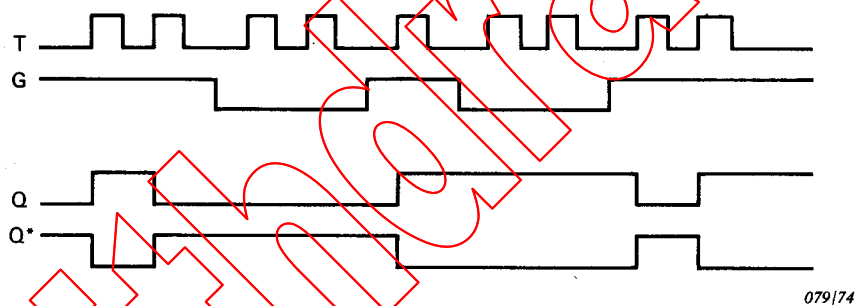


FIGURE 5

Timing diagram of general T_G circuit (continued):

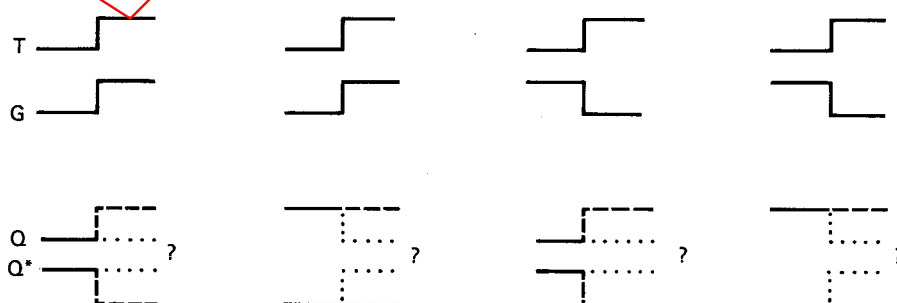


FIGURE 6

Matrices (séquentielles) de fonctionnement du circuit T_G (cas où T est retardé par rapport à G):

G	L	H	L/H		
T	H			L	H
	2	3	①	L	H
	②	②	1	L	H
	③	③	4	H	L
	3	2	④	H	L

G	L	H	L/H		
T	H			L	H
				L	H
				L	H
				H	L
				H	L

Matrices (séquentielles) de fonctionnement du circuit T_G (cas où G est retardé par rapport à T):

G	L	L/H	H		
T	L	H	L	L	H
	①	①	2	L	H
	1	3	②	L	H
	③	③	4	H	L
	3	1	④	H	L

G	L	L/H	H		
T	L	H	L	L	H
				L	H
				L	H
				H	L
				H	L

2.2.2.6 Circuit JK (fonctionnement par transition)

Circuit dont les deux entrées J et K sont du type à fonctionnement par transition et dont les transitions actives sont celles du niveau L vers le niveau H.

Lorsque la variable appliquée à la borne d'entrée J passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour de la variable d'entrée sur la borne J vers le niveau L est sans effet.

Lorsque la variable appliquée à la borne d'entrée K passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour de la variable d'entrée sur la borne K vers le niveau L est sans effet.

Le passage simultané des variables appliquées sur les deux entrées du niveau L au niveau H provoque le changement de la configuration de sortie.

Le retour de la variable appliquée sur l'une ou l'autre ou sur les deux entrées vers le niveau L est sans effet.

Function (sequential) matrices of the T_G circuit with T delayed with respect to G :

G	L	H	L/H		
T	H			L	H
	2	3	(1)	L	H
	(2)	(2)	1	L	H
	(3)	(3)	4	H	L
	3	2	(4)	H	L

G	L	H	L/H		
T	H			L	H
				L	H
				L	H
				H	L
				H	L

Function (sequential) matrices of the T_G circuit with G delayed with respect to T :

G	L	L/H	H		
T	L	H	L	L	H
	(1)	(1)	2	L	H
	1	3	(2)	L	H
	(3)	(3)	4	H	L
	3	1	(4)	H	L

G	L	L/H	H		
T	L	H	L	L	H
				L	H
				L	H
				H	L
				H	L

2.2.2.6 (Transition-operated) JK circuit

A circuit having two transition-operated input terminals, J and K, for which the input signals are active during the change from the L-level to the H-level.

When the signal applied to the K input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the J terminal to the L-level produces no action.

When the signal applied to the J input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the K terminal to the L-level produces no action.

The simultaneous change of both input signals from the L-level to the H-level produces change-over of the output configuration (output pattern).

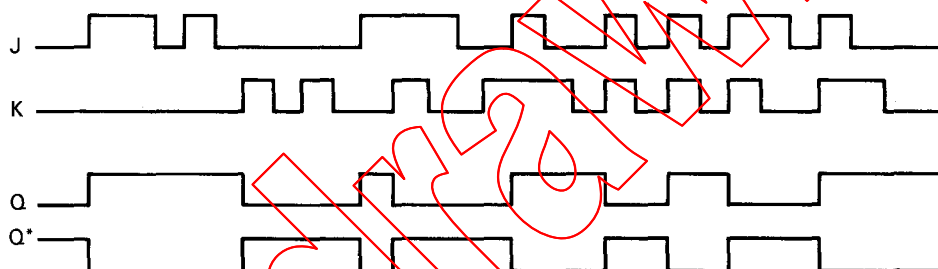
The return of either, or both, input signals to the L-level produces no action.

Matrices (séquentielles) de fonctionnement:

K	L		H			
J	L	H		L	Q	Q*
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L

K	L		H			
J	L	H		L	Q	Q*
	⊗	⊗	⊗	⊗	L	H
	⊗	⊗	⊗	⊗	L	H
	⊗	⊗	⊗	⊗	H	L
	⊗	⊗	⊗	⊗	H	L

Diagramme des temps:



081/74

FIGURE 7

2.2.2.7 Circuit JK (fonctionnement par transition)

Description analogue à la précédente (2.2.2.6), mais en considérant les transitions de H vers L comme actives.

2.2.2.8 Circuit D_G

Circuit dont l'entrée D et l'entrée G sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée G est portée au niveau H, la sortie de référence Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau H vers le niveau L de l'entrée G, la configuration de sortie est maintenue.

Aussi longtemps que le niveau L est maintenu en G, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur G passe du niveau H au niveau L et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.