

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-2

Deuxième édition
Second edition
1997-12

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 2:
Circuits intégrés numériques**

**Semiconductor devices –
Integrated circuits –**

**Part 2:
Digital integrated circuits**



Numéro de référence
Reference number
CEI/IEC 60748-2:1997

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
Accès en ligne*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement (Accès en ligne)*

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International (VEI)*.

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
On-line access*
- **Catalogue of IEC publications**
Published yearly with regular updates (On-line access)*

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary (IEV)*.

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-2

Deuxième édition
Second edition
1997-12

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 2:
Circuits intégrés numériques**

**Semiconductor devices –
Integrated circuits –**

**Part 2:
Digital integrated circuits**

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XH**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	16
Articles	
CHAPITRE I: GÉNÉRALITÉS	
1 Domaine d'application.....	18
2 Références normatives	18
CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX	
1 Terminologie pour les circuits intégrés combinatoires et séquentiels	20
1.1 Termes généraux	20
1.2 Termes relatifs à la fonction.....	20
1.3 Types de circuits	26
1.4 Termes relatifs aux valeurs limites et aux caractéristiques	32
1.5 Concept de verrouillage	36
2 Exemples	36
3 Terminologie pour les mémoires à circuit intégré.....	66
3.1 Termes généraux	66
3.2 Termes généraux relatifs à la fonction et à l'organisation d'une mémoire.....	68
3.3 Types de mémoires	70
3.4 Termes relatifs aux valeurs limites et aux caractéristiques	74
3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique	76
3.6 Termes et descriptions pour les configurations de test pour l'essai des mémoires.....	86
4 Terminologie pour les microprocesseurs à circuit intégré	98
5 Terminologie pour les dispositifs à transfert de charge	98
6 Symboles littéraux pour circuits combinatoires et séquentiels	106
7 Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires	106
8 Termes et définitions supplémentaires pour les circuits intégrés numériques.....	132
9 Classification des réseaux logiques programmables (PLDs)	132
CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES	
SECTION UN – GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS NUMÉRIQUES	
1 Identification et description du circuit	134
1.1 Désignation et type	134
1.2 Technologie.....	134
1.3 Identification du boîtier	134
2 Spécifications fonctionnelles	134
2.1 Schéma synoptique	134
2.2 Description fonctionnelle.....	136
2.3 Structures complexes	136

CONTENTS

	Page
FOREWORD	17
Clause	
CHAPTER I: GENERAL	
1 Scope.....	19
2 Normative references.....	19
CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS	
1 Terminology for combinatorial and sequential integrated circuits.....	21
1.1 General terms.....	21
1.2 Terms related to functions	21
1.3 Types of circuits	27
1.4 Terms related to ratings and characteristics	33
1.5 Latch-up concept	37
2 Examples	37
3 Terminology for integrated circuit memories	67
3.1 General terms.....	67
3.2 General terms relating to memory function and organization.....	69
3.3 Types of memories	71
3.4 Terms related to ratings and characteristics	75
3.5 Typical waveforms for static read/write memories	77
3.6 Terms and descriptions for test patterns for memory testing.....	87
4 Terminology for integrated circuit microprocessors.....	99
5 Terminology for charge-transfer devices	99
6 Letter symbols for combinatorial and sequential circuits	107
7 Letter symbols for the dynamic parameters of sequential integrated circuits, including memories	107
8 Additional terms and definitions for digital integrated circuits	133
9 Classification of programmable logic devices (PLDs).....	133
CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS	
SECTION ONE — DIGITAL INTEGRATED CIRCUITS, GENERAL	
1 Circuit identification and description	135
1.1 Designation and type	135
1.2 Technology.....	135
1.3 Package identification.....	135
2 Functional specifications.....	135
2.1 Block diagram.....	135
2.2 Functional description	137
2.3 Complex structures.....	137

3	Valeurs limites	136
3.1	Tensions et courants continus.....	138
3.2	Tensions et courants non continus.....	138
3.3	Températures.....	138
3.4	Aptitude à supporter un court-circuit.....	138
4	Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	138
5	Caractéristiques électriques statiques pour les circuits intégrés bipolaires	140
5.1	Caractéristiques essentielles en tension des signaux numériques	140
5.2	Tension d'écrêtage d'entrée (s'il y a lieu)	142
5.3	Caractéristiques essentielles des courants d'entrée et de sortie	142
5.4	Conditions appliquées pour le pire cas	148
5.5	Caractéristiques du phénomène de verrouillage	148
6	Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS.....	150
6.1	Caractéristiques essentielles en tension des signaux numériques	150
6.2	Caractéristiques essentielles des courants.....	150
6.3	Caractéristiques du phénomène de verrouillage	152
7	Caractéristiques électriques dynamiques	152
7.1	Introduction	154
7.2	Temps caractérisant la réponse d'un circuit	154
7.3	Exigences sur les entrées pour assurer un fonctionnement séquentiel correct....	156
7.4	Impédances d'entrée et de sortie	158
8	Puissance totale ou courants fournis par les alimentations	162
9	Courant total extrait des alimentations (fonctionnement dynamique)	162
10	Informations sur les impulsions de commande (s'il y a lieu)	164
11	Résistance d'isolement	164
12	Valeurs limites, caractéristiques mécaniques et autres données.....	164
13	Informations supplémentaires	164
13.1	Facteur de charge de sortie	164
13.2	Marges de protection contre les perturbations	164
13.3	Interconnexions de circuits intégrés numériques	164
14	Précautions de manipulation	164

ANNEXE À LA SECTION UN – Spécification des caractéristiques

SECTION DEUX – MÉMOIRES À CIRCUIT INTÉGRÉ

A. Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1	Identification et description du circuit	168
2	Spécifications fonctionnelles	168
2.1	Schéma synoptique	168
2.2	Description fonctionnelle.....	168
3	Valeurs limites	168
4	Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	170
5	Caractéristiques électriques statiques pour les mémoires bipolaires.....	170
6	Caractéristiques électriques statiques pour les mémoires MOS	170

3	Ratings (limiting values).....	137
3.1	Continuous voltages and currents	139
3.2	Non-continuous voltages and currents	139
3.3	Temperatures.....	139
3.4	Capability of sustaining a short circuit	139
4	Recommended operating conditions (within the specified operating temperature range) ..	139
5	Static electrical characteristics for bipolar integrated circuits	141
5.1	Essential characteristics of the digital voltage signals.....	141
5.2	Input clamping voltage (where appropriate)	143
5.3	Essential characteristics for input and output currents	143
5.4	Applied conditions for worst case	149
5.5	Latch-up characteristics.....	149
6	Static and quasi-static electrical characteristics for MOS integrated circuits.....	151
6.1	Essential characteristics of the digital voltage signals.....	151
6.2	Essential characteristics for currents.....	151
6.3	Latch-up characteristics.....	153
7	Dynamic electrical characteristics	153
7.1	Introduction	155
7.2	Times characterizing the response of the circuit.....	155
7.3	Requirements at the inputs to ensure correct sequential operation	157
7.4	Input and output impedances	159
8	Total power or currents provided from the supplies	163
9	Total current drawn from the power supplies (dynamic operation).....	163
10	Command pulse information (where appropriate)	165
11	Insulation resistance	165
12	Mechanical ratings, characteristics and other data	165
13	Supplementary information	165
13.1	Output loading capability.....	165
13.2	Noise margins	165
13.3	Interconnections of digital integrated circuits.....	165
14	Handling precautions	165

APPENDIX TO SECTION ONE — Specification of characteristics

SECTION TWO — INTEGRATED CIRCUIT MEMORIES

A. Static and dynamic read/write memories and read-only memories

1	Circuit identification and description	169
2	Functional specifications	169
2.1	Block diagram.....	169
2.2	Functional description	169
3	Ratings (limiting values).....	169
4	Recommended operating conditions (within the specified operating temperature range)	171
5	Static electrical characteristics for bipolar memories	171
6	Static electrical characteristics for MOS memories	171

7	Caractéristiques électriques dynamiques	170
7.1	Temps caractérisant la réponse du circuit	170
7.2	Exigences sur les entrées pour assurer un fonctionnement séquentiel correct	172
7.3	Capacités d'entrée et de sortie.....	180
8	Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	182
9	Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique) .	182
10	Valeurs limites, caractéristiques mécaniques et autres données.....	182
11	Informations supplémentaires	182
11.1	Facteur de charge de sortie	182
11.2	Marges de protection contre les perturbations	182
11.3	Interconnexions de circuits similaires	182
11.4	Type de circuit de sortie.....	182
11.5	Interconnexions avec d'autres types de circuits	182
12	Précautions de manipulation	182

B. Mémoires à lecture seule à contenu programmable par l'utilisateur

1	Identification et description du circuit	184
2	Spécifications fonctionnelles	184
2.1	Schéma synoptique	184
2.2	Identification des bornes	184
2.3	Description fonctionnelle.....	186
3	Valeurs limites	186
4	Mode de lecture.....	186
4.1	Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	186
4.2	Caractéristiques électriques statiques	186
4.3	Caractéristiques électriques dynamiques	188
4.4	Exigences de temps	188
5	Mode de programmation	188
5.1	Procédure de programmation.....	188
5.2	Conditions de programmation recommandées.....	188
5.3	Exigences de temps	190
6	Mode d'effacement (si applicable).....	190
6.1	Mémoires effaçables électriquement	190
6.2	Mémoires effaçables par ultraviolet.....	192
7	Nombre de cycles de programmation-effacement.....	192
8	Informations concernant la rétention des données.....	194
9	Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	194
10	Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique) .	194
11	Valeurs limites et caractéristiques mécaniques et autres données	194
12	Informations supplémentaires	194
12.1	Capacité de charge de sortie	194
12.2	Marges de protection contre les perturbations électriques	194
12.3	Interconnexions de circuits similaires	194
12.4	Type de circuit de sortie.....	196
12.5	Interconnexions à d'autres types de circuits	196
13	Précautions de manipulation	196

7	Dynamic electrical characteristics	171
7.1	Times characterizing the response of the circuit.....	171
7.2	Requirements at the inputs to ensure correct sequential operation	173
7.3	Input and output capacitances	181
8	Power or current drawn from each supply (static operation).....	183
9	Power or current drawn from each supply (dynamic operation)	183
10	Mechanical ratings, characteristics and other data	183
11	Supplementary information	183
11.1	Output loading capability.....	183
11.2	Noise margins	183
11.3	Interconnections of similar units.....	183
11.4	Type of output circuit	183
11.5	Interconnections to other types of circuits	183
12	Handling precautions	183

B. Field-programmable read-only memories

1	Circuit identification and description	185
2	Functional specifications.....	185
2.1	Block diagram.....	185
2.2	Identification of terminals.....	185
2.3	Functional description.....	187
3	Ratings (limiting values).....	187
4	Read mode.....	187
4.1	Recommended operating conditions (within the specified operating temperature range)	187
4.2	Static electrical characteristics.....	187
4.3	Dynamic electrical characteristics	189
4.4	Timing requirements	189
5	Programming mode	189
5.1	Programming procedure	189
5.2	Recommended programming conditions.....	189
5.3	Timing requirements	191
6	Erasing mode (if applicable).....	191
6.1	Electrically erasable memories.....	191
6.2	Ultraviolet erasable memories.....	193
7	Number of programming-erasing cycles	193
8	Data retention information.....	195
9	Power or current drawn from each supply (static operation).....	195
10	Power or current drawn from each supply (dynamic operation)	195
11	Mechanical ratings, characteristics and other data	195
12	Supplementary information	195
12.1	Output loading capability.....	195
12.2	Electrical noise margins.....	195
12.3	Interconnections of similar units.....	195
12.4	Type of output circuit	197
12.5	Interconnections to other types of circuits	197
13	Handling precautions	197

C. Mémoires à contenu adressable (CAM)

1	Identification et description du circuit	198
2	Spécifications fonctionnelles	198
2.1	Schéma fonctionnel	198
2.2	Description fonctionnelle	198
2.3	Jeu d'instructions	198
2.4	Mode d'opération	200
3	Les stipulations des articles 3 à 6 de la section deux A s'appliquent	200
4	Les stipulations de l'article 7 et du 7.1 de la section deux A s'appliquent à l'exception du 7.1.1 qui est remplacé par ce qui suit	200
5	Les stipulations des 7.2 et 7.3 de la section deux A s'appliquent	200
6	Les stipulations des articles 8 à 12 de la section deux A s'appliquent	200

SECTION TROIS – MICROPROCESSEURS À CIRCUIT INTÉGRÉ

1	Identification et description du circuit	202
1.4	Compatibilité électrique	202
2	Spécifications fonctionnelles	202
2.1	Schéma synoptique	202
2.2	Description fonctionnelle	202
2.3	Jeux d'instructions	204
2.4	Configuration de l'instruction	204
2.5	Signaux d'entrée et de sortie	204
3	Valeurs limites	206
3.1	Valeurs limites électriques	206
3.2	Températures	208
3.3	Dissipation de puissance	208
4	Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	208
4.1	Tension(s) d'alimentation	208
4.2	Entrées d'horloge	208
4.3	Tensions d'entrée (à l'exclusion des entrées d'horloge)	208
4.4	Courants de sortie	208
4.5	Eléments extérieurs (s'il y a lieu)	208
4.6	Temps de préparation et de maintien	208
4.7	Diagrammes des temps (chronogrammes) pour les séquences de commande....	210
5	Caractéristiques électriques	210
5.1	Caractéristiques statiques	210
5.2	Caractéristiques dynamiques	212
6	Valeurs limites, caractéristiques mécaniques et autres données	214
7	Informations supplémentaires	214
7.1	Facteur de charge de sortie	214
7.2	Marges de protection contre les perturbations	214
7.3	Données d'application	214
7.4	Autres informations	216
8	Précautions de manipulation	216

C. Content addressable memories (CAM)

1	Circuit identification and description	199
2	Functional specifications	199
2.1	Block diagram	199
2.2	Functional description	199
2.3	Instruction set	199
2.4	Operation mode	201
3	The provisions of clauses 3 to 6 of Section Two A apply	201
4	The provisions of clauses 7 and 7.1 of Section Two A apply with the exception of 7.1.1 which is replaced by the following	201
5	The provisions of 7.2 and 7.3 of Section Two A apply	201
6	The provisions of clauses 8 to 12 of Section Two A apply	201

SECTION THREE — INTEGRATED CIRCUIT MICROPROCESSORS

1	Circuit identification and description	203
1.4	Electrical compatibility	203
2	Functional specifications	203
2.1	Block diagram	203
2.2	Functional description	203
2.3	Instruction set	205
2.4	Configuration of instructions	205
2.5	Input and output signals	205
3	Ratings (limiting values)	207
3.1	Electrical limiting values	207
3.2	Temperatures	209
3.3	Power dissipation	209
4	Recommended operating conditions (within the specified operating temperature range) ..	209
4.1	Power supply voltage(s)	209
4.2	Clock inputs	209
4.3	Input voltages (excluding clock inputs)	209
4.4	Output currents	209
4.5	External elements (where appropriate)	209
4.6	Set-up and hold times	209
4.7	Timing diagrams for control sequences	211
5	Electrical characteristics	211
5.1	Static characteristics	211
5.2	Dynamic characteristics	213
6	Mechanical ratings, characteristics and other data	215
7	Supplementary information	215
7.1	Output loading capability	215
7.2	Noise margins	215
7.3	Application data	215
7.4	Other information	217
8	Handling precautions	217

SECTION QUATRE – CIRCUITS LOGIQUES PROGRAMMABLES (PLDs)

1	Identification du circuit et types	218
1.1	Désignation et types	218
1.2	Description générale de la fonction	218
1.3	Technologie de fabrication	218
1.4	Identification du boîtier	218
2	Description relative à l'application	218
2.1	Caractéristiques et application principales.....	218
2.2	Schéma fonctionnel global	218
2.3	Caractéristique principale disponible par programmation	218
2.4	Données de référence	220
2.5	Compatibilité électrique	220
2.6	Dispositifs associés	220
3	Spécification de la fonction	220
3.1	Schéma fonctionnel détaillé – blocs fonctionnels	220
3.2	Identification et fonction des bornes	220
3.3	Description de la fonction.....	222
3.4	Caractéristiques de famille.....	224
4	Valeurs limites (système des valeurs limites absolues).....	224
4.1	Valeurs limites électriques	224
4.2	Températures	226
5	Conditions de fonctionnement recommandées (dans la gamme de température de fonctionnement spécifiée)	226
5.1	Alimentation – valeurs positives et/ou négatives.....	226
5.2	Séquences d'initialisation.....	226
5.3	Entrées(s) d'horloge (s'il y a lieu)	226
5.4	Tension(s) d'entrée.....	226
5.5	Courant(s) de sortie.....	228
5.6	Tension et/ou courant d'une (d')autre(s) borne(s).....	228
5.7	Eléments externes (s'il y a lieu).....	228
5.8	Gamme des températures de fonctionnement	228
5.9	Exigences de temps	228
6	Caractéristiques électriques.....	228
6.1	Caractéristiques statiques.....	228
6.2	Caractéristiques dynamiques	230
6.3	Diagramme des temps.....	232
6.4	Capacités	232
7	Programmation	234
7.1	Mode programmation.....	234
7.2	Mode effacement (s'il y a lieu)	236
7.3	Nombre de cycles programmation/effacement (s'il y a lieu)	238
7.4	Information de rétention.....	238
8	Points relatifs à la conception	238
8.1	Matériel de CAO	238
8.2	Logiciels de CAO	238

SECTION FOUR — PROGRAMMABLE LOGIC DEVICES (PLDs)

1	Circuit identification and types.....	219
1.1	Designation of types	219
1.2	General function description	219
1.3	Manufacturing technology	219
1.4	Package identification	219
2	Application related description	219
2.1	Main application and features	219
2.2	Overall block diagram	219
2.3	Main features available by programming	219
2.4	Reference data	221
2.5	Electrical compatibility	221
2.6	Associated devices	221
3	Specification of the function	221
3.1	Detailed block diagram - functional blocks	221
3.2	Identification and function of terminals	221
3.3	Functional description.....	223
3.4	Family related characteristics.....	225
4	Limiting values (absolute maximum rating system)	225
4.1	Electrical limiting values.....	225
4.2	Temperatures	227
5	Recommended operating conditions (within the specified operating temperature range)..	227
5.1	Power supplies – positive and/or negative values	227
5.2	Initialization sequences.....	227
5.3	Clock input(s) (where appropriate)	227
5.4	Input voltage(s).....	227
5.5	Output current(s)	229
5.6	Voltage and/or current of other terminal(s)	229
5.7	External elements (where appropriate).....	229
5.8	Operating temperature range	229
5.9	Timing requirements	229
6	Electrical characteristics	229
6.1	Static characteristics	229
6.2	Dynamic characteristics	231
6.3	Timing diagram.....	233
6.4	Capacitances.....	233
7	Programming	235
7.1	Programming mode	235
7.2	Erasing mode (if applicable).....	237
7.3	Number of programming-erasing cycles (where appropriate)	239
7.4	Data retention information.....	239
8	Design aspects	239
8.1	Computer aided engineering (CAE) design hardware.....	239
8.2	CAE design software	239

9	Valeurs limites, caractéristiques et données mécaniques et climatiques	238
10	Renseignements supplémentaires.....	238
10.1	Circuit d'entrée et de sortie équivalent	238
10.2	Protection interne	240
10.3	Résistance thermique	240
10.4	Marge d'immunité au bruit.....	240
10.5	Charge de sortie admissible.....	240
10.6	Interconnexions des circuits numériques.....	240
10.7	Interconnexions avec d'autres types de circuits	240
10.8	Effets d'un ou de composants connectés extérieurement	240
10.9	Recommandations pour tout dispositif associé	240
10.10	Précautions de manipulation.....	240
10.11	Données d'application	240
10.12	Autres renseignements sur l'application	240
10.13	Date de publication de la feuille de données	240

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN – GÉNÉRALITÉS

1	Exigences générales.....	242
2	Exigences spécifiques	242
2.1	Exigences générales pour les mesures statiques et dynamiques	242
2.2	Conditions spécifiées pour les caractéristiques statiques	242
2.3	Conditions spécifiées pour les caractéristiques dynamiques	244
3	Matrice d'application pour les méthodes de mesure.....	244

SECTION DEUX – MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1	Tensions de sortie au niveau haut et au niveau bas (V_{OH} and V_{OL}) [37]	248
2	Courants d'entrée au niveau haut et au niveau bas (I_{IH} and I_{IL}) [38]	250
3	Courant de court-circuit en sortie (I_{OS}) [40]	252
4	Courant d'alimentation en fonctionnement statique [41]	254
5	Tensions de seuil (d'entrée) et tension d'hystérésis [48]	254
6	Tension d'écroûtage d'entrée (V_{IK}) [94]	260
7	Courant de sortie à l'état bloqué (I_{OZ}) [95]	262
8	Caractéristiques du phénomène de verrouillage [96]	262
8.1	Tension ou courant de verrouillage positive (positif) d'entrée ou de sortie.....	262
8.2	Tension ou courant de verrouillage négative (négatif) d'entrée ou de sortie	268
8.3	Tension ou courant d'alimentation de verrouillage	272
8.4	Tension ou courant (d'alimentation) à l'état de verrouillage.....	276
8.5	Précautions	280
8.6	Mesure finale.....	280

9	Mechanical and environment rating, characteristics and data.....	239
10	Additional information	239
10.1	Equivalent input and output circuit	239
10.2	Internal protection	241
10.3	Thermal resistance	241
10.4	Noise margin.....	241
10.5	Output loading capability	241
10.6	Interconnections of digital circuits	241
10.7	Interconnections to other types of circuit.....	241
10.8	Effects of externally connected component(s)	241
10.9	Recommendations for any associated device(s).....	241
10.10	Handling precautions.....	241
10.11	Application data.....	241
10.12	Other application information.....	241
10.13	Date of issue of data sheet	241

CHAPTER IV: MEASURING METHODS

SECTION ONE — GENERAL

1	Basic requirements	243
2	Specific requirements	243
2.1	General requirements for static and dynamic measurements	243
2.2	Specified conditions for static characteristics	243
2.3	Specified conditions for dynamic characteristics.....	245
3	Application matrix for the measuring methods	245

SECTION TWO — MEASURING METHODS OF STATIC CHARACTERISTICS

1	High-level and low-level output voltages (V_{OH} and V_{OL}) [37]	249
2	High-level and low-level input currents (I_{IH} and I_{IL}) [38]	251
3	Short-circuit output current (I_{OS}) [40]	253
4	Power supply current under static conditions [41]	255
5	(Input) threshold voltages and hysteresis voltage [48]	255
6	Input clamping voltage (V_{IK}) [94]	261
7	Off-state output current (I_{OZ}) [95]	263
8	Latch-up characteristics [96]	263
8.1	Positive latch-up input or output voltage or current	263
8.2	Negative latch-up input or output voltage or current.....	269
8.3	Latch-up supply voltage or current	273
8.4	Latch-up state (supply) voltage or current	277
8.5	Precautions	281
8.6	Post-test measurement.....	281

SECTION TROIS – MESURES DYNAMIQUES

1	Courant total fourni par les alimentations (fonctionnement dynamique) [1]	282
2	Puissance fournie à travers la ligne d'horloge [2]	284
3	Impédances d'entrée et de sortie [6], [11]	286
3.1	Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6]	286
3.2	Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes [11]	290
4	Temps caractérisant le circuit	300
4.1	Temps de propagation [3], [7]	300
4.2	Temps de délai et de transition [4], [5]	306
4.3	Temps d'établissement [8] et temps de maintien [9]	312
4.4	Temps de résolution [36]	318
4.5	Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états») [49]	322
4.6	Temps spécifiques aux mémoires [50] à [54]	326
5	Fréquence de commutation d'un circuit séquentiel [10]	334
6	Méthode de vérification de la fonction d'un circuit intégré numérique [97]	338

CHAPITRE V: RÉCEPTION ET FIABILITÉ

SECTION UN – ESSAIS D'ENDURANCE ÉLECTRIQUE

1	Exigences générales.....	342
2	Exigences spécifiques	342
2.1	Liste des essais d'endurance	342
2.2	Conditions pour les essais d'endurance	342
2.3	Critères de défaillance pour les caractéristiques définissant la défaillance pour les essais de réception	342
2.4	Critères de défaillance et caractéristiques définissant la défaillance pour les essais de fiabilité	342
2.5	Procédure à suivre dans le cas d'une erreur d'essai	342

TABEAU 7	344
----------------	-----

SECTION THREE — DYNAMIC MEASUREMENTS

1	Total current drawn from the power supplies under dynamic conditions [1]	283
2	Power supplied through the clock line [2]	285
3	Input and output impedances [6], [11]	287
3.1	Current measurement: input and output capacitances for large-signal operation [6]	287
3.2	Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances [11]	291
4	Times characterizing the circuit.....	301
4.1	Propagation times [3], [7]	301
4.2	Delay and transition times [4], [5]	307
4.3	Set-up time [8] and hold time [9]	313
4.4	Resolution time [36]	319
4.5	Output enable and disable times (for three-state outputs) [49]	323
4.6	Specific times for memories [50] to [54]	327
5	Switching frequency of a sequential circuit [10]	335
6	Method of verification of the function of a digital integrated circuit [97]	339

CHAPTER V: ACCEPTANCE AND RELIABILITY

SECTION ONE — ELECTRICAL ENDURANCE TESTS

1	General requirements	343
2	Specific requirements	343
2.1	List of endurance tests.....	343
2.2	Conditions for the endurance tests	343
2.3	Failure criteria for the failure-defining characteristics for acceptance tests	343
2.4	Failure criteria and failure-defining characteristics for reliability tests.....	343
2.5	Procedure in case of a testing error	343
TABLE 7.....		345

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2: Circuits intégrés numériques

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60748-2 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition, parue en 1985, l'amendement 1 (1991) et l'amendement 2 (1993).

Le texte de cette norme est une consolidation de la première édition avec ses amendements 1 et 2 ainsi que les documents suivants:

FDIS	Rapport de vote
47A/502/FDIS	47A/506/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La présente norme doit être utilisée avec la CEI 60747-1 et la CEI 60748-1, qui donnent les informations de base sur la terminologie, les symboles littéraux, les valeurs limites et caractéristiques essentielles, les méthodes de mesure ainsi que la réception et la fiabilité.

La numérotation des articles de la présente norme n'a pas été modifiée par rapport à la première édition, bien qu'elle ne soit pas conforme à la partie 3 des directives ISO/CEI. La prochaine révision technique se conformera à la partie 3 des directives.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 2: Digital integrated circuits

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60748-2 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 1985, amendment 1 (1991) and amendment 2 (1993).

The text of this standard is a compilation of the first edition, its amendments 1 and 2 and the following documents:

FDIS	Report on voting
47A/502/FDIS	47A/506/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This standard shall be used in conjunction with IEC 60747-1 and IEC 60748-1. In these publications, the user will find all basic information on terminology, letter symbols, essential ratings and characteristics, measuring methods, acceptance and reliability.

Although not conform to Part 3 of ISO/IEC Directives, the numbering of the clauses of this standard remains the same as that of the first edition. The next technical revision will conform to Part 3 of the Directives.

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2: Circuits intégrés numériques

CHAPITRE I: GÉNÉRALITÉS

1 Domaine d'application

La présente partie de la CEI 60748 s'applique aux catégories et sous-catégories suivantes de dispositifs:

- circuits numériques combinatoires et séquentiels;
- mémoires à circuits intégrés;
- microprocesseurs à circuits intégrés;
- dispositifs à transfert de charge.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Au moment de sa publication, les éditions indiquées étaient en vigueur et les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60747-1: 1983, *Dispositifs à semiconducteurs – Dispositifs discrets – Partie 1: Généralités*

CEI 60748-1: 1984, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 1: Généralités*

CEI 60748-3: 1986, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 3: Circuits intégrés analogiques*

CEI 60748-4: 1987, *Dispositifs à semiconducteurs – Circuits intégrés – Partie 4: Circuits intégrés d'interface*

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 2: Digital integrated circuits

CHAPTER I: GENERAL

1 Scope

This part of IEC 60748 is applicable for the following categories or subcategories of devices:

- combinatorial and sequential digital circuits;
- integrated circuit memories;
- integrated circuit microprocessors;
- charge-transfer devices.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60747-1: 1983, *Semiconductor devices – Discrete devices – Part 1: General*

IEC 60748-1: 1984, *Semiconductor devices – Integrated circuits – Part 1: General*

IEC 60748-3: 1986, *Semiconductor devices – Integrated circuits – Part 3: Analogue integrated circuits*

IEC 60748-4: 1987, *Semiconductor devices – Integrated circuits – Part 4: Interface integrated circuits*

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1 Terminologie pour les circuits intégrés combinatoires et séquentiels

1.1 Termes généraux

NOTE – Une variable est une représentation physique de l'information. Une variable numérique est le comportement ou la variation temporelle d'une grandeur physique avec un nombre fini de gammes de valeurs, non enchevêtrées. Une variable numérique peut être utilisée pour la transmission d'informations. Pour tenir compte de l'usage courant, on a choisi ci-dessous des définitions simplifiées. Pour ce qui est des circuits numériques, cela ne produira en général ni ambiguïté, ni confusion.

1.1.1 Variable numérique

Variation temporelle d'une grandeur physique qui possède un nombre fini de gammes disjointes de valeurs et qui est utilisée pour la transmission ou le traitement d'informations.

NOTE 1– La grandeur physique peut être une tension, un courant, une impédance, etc.

NOTE 2 – Pour simplifier, chaque gamme de valeurs peut être représentée par une valeur unique, par exemple nominale.

1.1.2 Variable binaire

Variable numérique qui n'a que deux gammes disjointes de valeurs possibles.

1.1.3 Gamme des valeurs basses (d'une variable binaire)

Gamme des niveaux les moins positifs (les plus négatifs) d'une variable binaire.

NOTE – Cette gamme est souvent notée «gamme L» et une valeur quelconque dans cette gamme «niveau L».

1.1.4 Gamme des valeurs hautes (d'une variable binaire)

Gamme des niveaux les plus positifs (les moins négatifs) d'une variable binaire.

NOTE – Cette gamme est souvent notée «gamme H» et une valeur quelconque dans cette gamme «niveau H».

1.1.5 Borne d'entrée

Borne par l'intermédiaire de laquelle une variable appliquée à cette entrée peut modifier la configuration de sortie du circuit:

- soit directement;
- soit indirectement, en changeant les conditions pour lesquelles le circuit réagit aux signaux appliqués aux autres entrées.

1.1.6 Sortie «trois états»

Sortie d'un circuit binaire qui est une source à impédance relativement basse ou un élément qui absorbe le courant aux niveaux haut et bas et qui, en outre, dans de conditions appropriées d'entrée, présente un état à haute impédance voisin d'un circuit ouvert.

NOTE – Dans les tables de fonctionnement et dans les matrices (séquentielles) de fonctionnement, on utilise l'abréviation Z pour l'état à haute impédance.

1.2 Termes relatifs à la fonction

1.2.1 Configuration d'entrée (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes entrées du circuit à un instant donné.

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1 Terminology for combinatorial and sequential integrated circuits

1.1 General terms

NOTE – A signal is a physical representation of information. A digital signal is the time-dependent behaviour or variation of a physical quantity with a finite number of non-overlapping ranges of values. A digital signal can be used for transmission of information or for information processing. Taking into account common practice, simplified definitions have been chosen below. Referring to digital circuits, this will generally produce no ambiguity or misunderstanding.

1.1.1 Digital signal

The variation with time of a physical quantity, having a finite number of non-overlapping ranges of values, that is used for transmission or the processing of information.

NOTE 1 – The physical quantity may include voltage, current, impedance, etc.

NOTE 2 – For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.2 Binary signal

A digital signal with only two possible ranges of values.

1.1.3 Low range (of a binary signal)

The range of least positive (most negative) levels of a binary signal.

NOTE – This range is often denoted by "L-range" and any level in the range by "L-level".

1.1.4 High range (of a binary signal)

The range of most positive (least negative) levels of a binary signal.

NOTE – This range is often denoted by "H-range" and any level in the range by "H-level".

1.1.5 Input terminal

A terminal by means of which an applied signal may modify the output configuration (output pattern) of the circuit:

- either directly;
- or indirectly by modifying the ways in which the circuit reacts to signals at other terminals.

1.1.6 Three-state output

An output of a binary circuit that is a relatively low-impedance source or sink at the high and low levels and, in addition, under appropriate input conditions, provides a high-impedance state approaching an open-circuit.

NOTE – In function tables and function (sequential) matrices, the abbreviation Z should be used for the high-impedance state.

1.2 Terms related to functions

1.2.1 Input configuration (input pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the input terminals at a given instant.

1.2.2 Configuration de sortie (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes sorties du circuit à un instant donné.

NOTE – Lorsque aucune ambiguïté ne peut en découler, une configuration de sortie peut être représentée par le niveau (exprimé par L ou H) de la variable à une sortie du circuit déterminée (la sortie de référence).

1.2.3 Table de fonctionnement

Représentation des relations nécessaires ou possibles entre les valeurs des variables numériques aux entrées et aux sorties d'un circuit numérique, ces valeurs des variables numériques étant indiquées soit en utilisant directement les valeurs électriques, soit en indiquant la signification électrique des symboles (par exemple, L et H pour les circuits binaires).

En général:

- chaque colonne indique les valeurs des variables numériques à une entrée ou à une sortie du circuit numérique;
- chaque ligne indique la combinaison des valeurs des variables numériques aux entrées et les valeurs correspondantes des signaux numériques en sortie;
- chaque fois que la valeur d'une variable numérique en sortie est indéterminée, elle doit être indiquée par un point d'interrogation;
- chaque fois que la valeur d'une variable numérique à une entrée n'a pas d'influence, elle doit être indiquée par le symbole L/H ou X.

1.2.4 Table de vérité (pour une relation entre des variables numériques)

Représentation de la relation logique entre une ou plusieurs variables numériques indépendantes et une ou plusieurs variables dépendantes, au moyen d'une table qui, pour chaque combinaison possible des valeurs des variables indépendantes, donne les valeurs appropriées des variables dépendantes.

NOTE – La distinction entre «table de fonctionnement» et «table de vérité» est fondamentalement nécessaire car le même circuit numérique peut réaliser plusieurs opérations logiques différentes, selon le choix arbitraire de la relation entre les valeurs des variables numériques et les valeurs des grandeurs électriques numériques.

1.2.5 Excitation

Configuration, ou changement de configuration, d'entrée qui peut:

- provoquer la modification de configuration de sortie, soit directement, soit eu égard à un état de préparation préalablement existant;
- ou placer le circuit dans un état de préparation;
- ou effacer ou modifier un état de préparation déjà existant.

NOTE 1 – La répétition, ou la réitération, d'une excitation donnée ne produit pas forcément le même effet.

NOTE 2 – Dans certains cas, une excitation peut aussi maintenir une configuration de sortie qu'elle pourrait avoir produite.

1.2.6 Niveau actif (d'une variable numérique d'entrée d'un circuit séquentiel)

Niveau d'une variable numérique d'entrée susceptible de provoquer une excitation.

1.2.7 Transition active (d'une variable numérique d'entrée d'un circuit séquentiel)

Transition d'un niveau d'une variable numérique vers un autre niveau, susceptible de produire une excitation.

NOTE – Une transition active peut être aussi sujette à des limitations provenant de la pente du signal.

1.2.2 Output configuration (output pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the output terminals at a given instant.

NOTE – When there is no possibility of ambiguity, the output configuration (output pattern) may be represented by the level (expressed as L-level and H-level) of the signal at a stated terminal of the circuit (the reference output terminal).

1.2.3 Function table

A representation of the necessary or possible relations between the values of the digital signals at the inputs and the outputs of a digital circuit, these values of the digital signals being indicated either by using electrical values directly or by stating the electrical significance of the symbols (e.g. L and H for binary circuits).

Generally:

- every column indicates the values of the digital signals at an input or at an output of the digital circuit;
- every line indicates the combination of values of the digital signals at the input(s) and the resulting values of the digital signals at the output(s);
- whenever the value of the digital signal at an output is not determined, it should be indicated by a question mark;
- whenever the value of a digital signal at an input has no influence, it should be indicated by the symbol L/H or X.

1.2.4 Truth table (for a relation between digital variables)

A representation of the logic relationship between one or more independent digital variables and one or more dependent digital variables, by means of a table which, for each possible combination of the values of the independent variables, gives the appropriate values of the dependent variables:

NOTE – The distinction between "function table" and "truth table" is fundamentally necessary, because the same digital circuit may fulfil several different logic operations, according to the arbitrary choice of the assignment of the values of the digital variables to the values of the digital electrical quantities.

1.2.5 Excitation

An input configuration (input pattern), or change in input configuration (input pattern), that can:

- cause the circuit to change its output configuration (output pattern), either directly, or in conjunction with an already existing state of preparedness;
- or put the circuit in a state of preparedness;
- or either cancel or modify an already existing state of preparedness.

NOTE 1 – The repetition, or reiteration, of a given excitation will not necessarily produce the same effect.

NOTE 2 – In some cases, an excitation can also maintain an output configuration (output pattern) which it could have produced.

1.2.6 Active level (of a digital signal to a sequential circuit)

A level of a digital input signal which can produce excitation.

1.2.7 Active transition (of a digital signal to a sequential circuit)

A transition from one level of a digital input signal to another level, which can produce excitation.

NOTE – An active transition may also be subject to limitations arising from the slope of the signal.

1.2.8 Configuration de sortie stable (d'un circuit séquentiel)

Configuration de sortie que conserve un circuit après que l'excitation qui l'a produite, ou toute excitation qui pourrait l'avoir maintenue, a été remplacée par une configuration d'entrée qui ne soit pas une excitation,

ou bien:

configuration de sortie que prend un circuit en l'absence de toute excitation.

NOTE – Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.9 Configuration de sortie pseudo-stable (d'un circuit séquentiel)

Configuration de sortie qui ne persiste pas après que l'excitation qui l'a produite, ou toute autre excitation susceptible de la maintenir, a été remplacée par une configuration d'entrée qui ne soit pas une excitation.

NOTE – Toute configuration de sortie de faible durée, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.10 Configuration de sortie méta-stable (d'un circuit séquentiel)

Configuration de sortie qui ne persiste que pour un temps limité après qu'une excitation appropriée a été appliquée.

NOTE 1 – La durée de cette configuration de sortie dépend des caractéristiques du circuit; elle peut dépendre de la durée de l'excitation qui l'a produite et peut être affectée par une excitation ultérieure.

NOTE 2 – Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.11 Matrice (séquentielle) de fonctionnement

Table à plusieurs entrées qui donne les configurations possibles de sortie pour chaque configuration d'entrée, et grâce à laquelle on peut connaître, par lecture directe, la ou les configurations de sortie qui résultent de la transition d'une configuration d'entrée déterminée à une autre configuration d'entrée.

NOTE – S'il y a lieu, on pourra compléter une matrice (séquentielle) de fonctionnement par des données ou par des détails supplémentaires relatifs aux conditions de temps (par exemple, temps de transition pour les niveaux d'entrée, temps de délai, durée de la configuration d'entrée avant que l'on puisse obtenir la nouvelle configuration de sortie désirée).

1.2.12 Entrée de préparation

Entrée sur laquelle l'application d'une variable numérique peut modifier la façon dont le circuit réagit aux variables appliquées aux autres entrées, mais sans entraîner directement un changement de la configuration de sortie du circuit.

1.2.13 Entrée d'autorisation

Entrée qui, lorsqu'elle est active, permet à une ou plusieurs opérations spécifiques de débiter.

NOTE 1 – Un signal d'autorisation peut:

- a) soit permettre un ou plusieurs fonctionnements tant que le signal est maintenu à un niveau spécifié;
- b) soit activer un verrou permettant aux fonctionnements de continuer même après cessation du signal d'autorisation.

NOTE 2 – «Autorisation» est un terme générique. On peut le préciser grâce à des qualificatifs convenables selon les cas.

1.2.14 Entrée d'autorisation boîtier

Entrée d'autorisation qui, lorsqu'elle est inactive, maintient le circuit intégré dans un état de repos à puissance réduite.

1.2.8 Stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern), in which the circuit will remain after the excitation that produced it, or any other that could have maintained it, has been replaced by an input configuration (input pattern) which is not an excitation,

or:

an output configuration (output pattern) which the circuit takes up in the absence of excitation.

NOTE – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.9 Pseudo-stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern) which does not persist after the excitation that produced it, or other excitations that have maintained it, have been replaced by an input configuration (input pattern) which is not an excitation.

NOTE – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.10 Meta-stable output configuration (output pattern) (of a sequential circuit)

An output configuration (output pattern) which persists, for a limited duration only, after the appropriate excitation has been applied.

NOTE 1 – The duration of the meta-stable output configuration (output pattern) will depend on the design of the circuit, may depend on the duration of the excitation that produced it and may be affected by further excitation.

NOTE 2 – Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.11 Function (sequential) matrix

A table having several inputs which gives the possible output configurations for each input configuration(s) and from which the output configuration(s) resulting from a transition from each individual input configuration to any other input configuration can be read directly.

NOTE – Where appropriate, a function (sequential) matrix may be completed by additional data or details concerning time conditions (e.g. transition times for the input levels, delay time, duration of the input configuration to produce a desired new output configuration).

1.2.12 Preparatory input terminal

An input terminal through which an applied digital signal can modify the manner in which the circuit reacts to signals at other input terminals, without directly causing a change of the output configuration (output pattern) of the circuit.

1.2.13 Enable input

An input that when active permits one or more specific operations to be commenced.

NOTE 1 – An "enable" signal may either:

- a) permit one or more operations to be performed while the signal is maintained at a specified level, or
- b) operate a latch that will allow an operation to continue even after the "enable" signal has been removed.

NOTE 2 – "Enable" is a generic term. It may be qualified by suitable descriptive adjectives as required.

1.2.14 Chip-enable input

An enable input that when inactive causes the integrated circuit to be in a reduced-power stand-by mode.

1.2.15 Entrée de sélection boîtier

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit toute entrée ou sortie d'informations vers ou à partir du circuit intégré.

1.2.16 Entrée d'autorisation pour la sortie

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit la sortie d'informations du circuit intégré.

NOTE – Lorsqu'il n'y a pas d'autorisation, les sorties peuvent être à l'état bas, à l'état haut ou à l'état haute impédance, suivant le type particulier de circuit considéré.

1.2.17 Entrée d'autorisation d'écriture

Entrée qui, lorsqu'elle est active, permet d'introduire des informations pour les stocker dans la mémoire.

1.2.18 Entrée d'inhibition

Entrée qui, lorsqu'elle est active, interdit d'accomplir une ou plusieurs opérations spécifiques.

NOTE 1 – En anglais, il existe deux termes équivalents qui désignent une entrée d'inhibition dont ils soulignent l'aspect complémentaire ou négatif.

NOTE 2 – Lorsqu'elle est inactive, une entrée d'autorisation inhibe ou interdit les opérations qu'elle aurait autorisées si elle était active. A l'inverse, lorsqu'elle est inactive, une entrée d'inhibition permet d'accomplir la ou les opérations qu'elle aurait empêchées si elle était active.

1.2.19 Entrée à fonctionnement en niveau

Entrée qui continue à être active (à causer une excitation) tant qu'elle demeure à un niveau actif.

1.2.20 Entrée à fonctionnement par transition

Entrée qui est active (cause une excitation) dans un seul des sens de transition ou entrée qui cause une excitation seulement si la vitesse de variation d'un niveau à un autre est suffisamment grande.

1.2.21 Positionnement à un état spécifié

- 1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre spécifié.
- 2) (ISO) Mettre un dispositif de stockage dans un état spécifié, généralement différent de celui qui correspond à zéro.

NOTE – A distinguer de «restauration».

1.2.22 Restauration à l'état initial

- 1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre initial spécifié.
- 2) (ISO) Remettre un dispositif de stockage dans un état initial prescrit, pas nécessairement dans celui qui correspond à zéro.

NOTE – A distinguer de «positionnement».

1.3 Types de circuits

1.3.1 Circuit numérique

Circuit qui est conçu pour fonctionner avec des variables numériques tant en entrée(s) qu'en sortie(s).

NOTE 1 – Il est sous-entendu, dans cette définition, que l'alimentation continue n'est ni une entrée, ni une sortie.

NOTE 2 – Dans certains circuits numériques, par exemple les circuits astables, les entrées peuvent ne pas exister.

1.2.15 Chip-select input

An enable input that when inactive prevents both input and output of data to and from the integrated circuit.

1.2.16 Output enable input

An enable input that when inactive prevents the output of data from the integrated circuit.

NOTE – When not enabled, the outputs will assume a low level, a high level, or a floating (high-impedance) state, depending on the design of the particular circuit.

1.2.17 Write-enable input

An input that, when active, permits data to be entered into a memory for storage.

1.2.18 Disable input; inhibit input

An input that when active prevents one or more specific operations from being performed.

NOTE 1 – These are alternative names for an enable input emphasizing the complementary or negative aspect.

NOTE 2 – When inactive, an enable input disables or prevents the operations that it would permit if active. Conversely, when inactive, a disable input permits the operation(s) to be performed that it would prevent if active.

1.2.19 Level-operated input

An input that continues to be active (to cause excitation) as long as it remains at an active level.

1.2.20 Transition-operated input

An input that is active (causes excitation) only on one of the two directions of transition or an input that causes excitation only if the rate of change from one level to another is sufficiently large.

1.2.21 Set

- 1) (ISO) To cause a counter to take the state corresponding to a specified number.
- 2) (ISO) To place a storage device into a specified state, usually other than that denoting zero.

NOTE – Contrast with "reset".

1.2.22 Resets

- 1) (ISO) To cause a counter to take the state corresponding to a specified initial number.
- 2) (ISO) To restore a storage device to a prescribed initial state, not necessarily that denoting zero.

NOTE – Contrast with "set".

1.3 Types of circuits

1.3.1 Digital circuit

A circuit which is designed to operate by means of digital signals at the input(s) and at the output(s).

NOTE 1 – In this definition, it is understood that "inputs" and "outputs" exclude static power supplies.

NOTE 2 – In some digital circuits, e.g. certain types of astable circuits, the input(s) need not exist.

1.3.2 Circuit binaire

Circuit numérique conçu pour fonctionner à l'aide de variables binaires.

NOTE – Les paires de gammes de valeurs des variables binaires peuvent être différentes aux différentes bornes du circuit.

1.3.3 Circuit (numérique) combinatoire

Circuit numérique pour lequel il existe une, et une seule, combinaison des états de sortie pour chaque combinaison des états des entrées.

1.3.4 Circuit (numérique) séquentiel

Circuit numérique pour lequel il existe au moins une combinaison des valeurs des variables d'entrée qui conduisent à plus d'une combinaison des valeurs des variables de sortie.

NOTE – Ces combinaisons de sortie sont fonction de l'histoire antérieure du circuit (effet de mémoire interne, retard, etc.).

1.3.5 Circuit combinatoire élémentaire

Circuit (numérique) combinatoire qui n'a qu'une borne de sortie et dans lequel l'état de la variable de sortie est celui qui n'apparaît qu'une fois dans la table de fonctionnement si, et seulement si, les variables d'entrée sont toutes dans l'état H ou toutes dans l'état L.

NOTE 1 – Comme l'état de la variable de sortie (qui n'apparaît qu'une seule fois dans la table de fonctionnement) peut être soit l'état H, soit l'état L, il y a quatre types de circuits combinatoires élémentaires. Suivant la relation entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole, on peut réaliser les opérations logiques suivantes au moyen de quatre circuits combinatoires élémentaires: ET, OU, NON-ET, NON-OU.

NOTE 2 – On peut réaliser des circuits combinatoires non élémentaires à l'aide de circuits combinatoires élémentaires ou à l'aide de circuits combinatoires élémentaires et d'inverseurs.

1.3.6 Circuit bistable

Circuit séquentiel qui a deux, et seulement deux, configurations de sortie stables.

NOTE 1 – Cette grande classe peut être subdivisée en sous-classes, eu égard au nombre et aux types de configurations de sortie méta-stable ou pseudo-stable du circuit et au nombre d'excitations appropriées nécessaires pour changer de configuration de sortie stable.

NOTE 2 – Une configuration stable de sortie d'un circuit bistable peut être exprimée par le niveau L ou le niveau H à la borne de sortie prise comme référence.

NOTE 3 – Le terme «circuit bistable» est utilisé comme terme générique pour couvrir toute la gamme des circuits séquentiels ayant deux, et seulement deux, configurations de sorties stables. Il peut être utilisé seul pour n'importe quelle classe de circuits bistables, quand il n'en résulte ni ambiguïté ni confusion. En particulier, le terme abrégé «circuit bistable» est souvent utilisé pour les circuits bistables nécessitant une seule excitation.

1.3.6.1 Circuit bistable à déclenchement par transition

Circuit bistable ayant une ou plusieurs entrées à fonctionnement par transition.

1.3.6.2 Circuit bistable à déclenchement par impulsions

Circuit bistable nécessitant la présence d'un signal à une entrée de préparation ayant une première transition d'un signal à une entrée de déclenchement, et son maintien après une deuxième transition se produisant à la même entrée de déclenchement, et qui est susceptible de provoquer le changement d'état des sorties.

NOTE – Cette définition n'exclut pas la possibilité que les temps minimaux d'établissement et/ou de maintien puissent être négatifs.

1.3.6.3 Circuit bistable à verrouillage de sortie

Circuit bistable nécessitant la présence de signaux aux entrées de préparation avant et après la transition du signal à l'entrée de déclenchement, et qui ne provoque pas le changement d'état des sorties.

1.3.2 Binary circuit

A digital circuit designed to operate with binary signals.

NOTE – The pairs of ranges of values of the binary signals may be different at different terminals.

1.3.3 Combinational (digital) circuit

A digital circuit in which there exists one, and only one, combination of the digital signals at the outputs for each possible combination of digital signals at the inputs.

1.3.4 Sequential (digital) circuit

A digital circuit in which there exists at least one combination of the digital signals at the inputs for which there is more than one corresponding combination of the digital signals at the outputs.

NOTE – These combinations at the outputs are determined by previous history (as a result of internal memory, delay, etc.)

1.3.5 Elementary combinational circuit

A binary combinational (digital) circuit which has only one output terminal; and in which the output signal accepts the value occurring only once in the function if, and only if, the signals applied to all the input terminals are either all in the H-range or all in the L-range.

NOTE 1 – Because the output signal value (occurring only once in the function table) can lie either in the H-range or in the L-range, there are four types of elementary combinational circuits. According to the assignment of the signal values L and H to the binary values 0 and 1 of Boolean algebra, the following logic operations can be realized by means of the four types of elementary combinational circuits: AND, OR, NAND, NOR.

NOTE 2 – Non-elementary combinational circuits can be formed by combining elementary combinational circuits or by combining elementary combinational circuits with inverters.

1.3.6 Bistable circuit

A sequential circuit which has two, and only two, stable output configurations (output patterns).

NOTE 1 – This broad classification can be divided into sub-classes according to the numbers and kinds of pseudo-stable and meta-stable output configurations (output patterns) available and the number of applications of appropriate excitations required to change from one stable output configuration (output pattern) to the other.

NOTE 2 – A stable output configuration (output pattern) of a bistable circuit can be expressed by the L-level or the H-level of the reference output terminal.

NOTE 3 – The term "bistable circuit" is used as a generic term to cover the whole range of sequential circuits with two, and only two, stable output configurations. It may be used itself for any kind or class of bistable circuits, when such use does not result in ambiguity or misunderstanding. In particular, the abbreviated term "bistable circuit" is often used for the single excitation bistable circuits.

1.3.6.1 Edge-triggered (transition-operated) bistable circuit

A bistable circuit having one or more transition-operated inputs.

1.3.6.2 Pulse-triggered bistable circuit

A bistable circuit requiring that a signal at a preparatory input be set up with respect to a first transition of a signal at a triggering input and be held with respect to a second transition occurring at the same triggering input and possibly causing the outputs to change state.

NOTE – This definition does not preclude the possibilities that minimum set-up and/or hold times may be negative.

1.3.6.3 Data-lock-out bistable circuit

A bistable circuit requiring that the signals at the preparatory inputs be set up and held with respect to that transition of the triggering-input signal that does not cause the outputs to change state.

1.3.7 Circuit monostable

Circuit séquentiel qui n'a qu'une configuration de sortie stable.

NOTE 1 – La définition précédente correspond au sens le plus général du terme. Le sens qui est donné généralement au terme «circuit monostable» suppose qu'en plus de la configuration stable, il existe au moins une configuration de sortie méta-stable.

NOTE 2 – En général, de tels circuits peuvent avoir une ou plusieurs configurations de sortie méta-stable ou pseudo-stable.

1.3.8 Circuit expandeur

Circuit auxiliaire que l'on peut utiliser pour augmenter le nombre des entrées jouant le même rôle d'un circuit associé, sans modifier la fonction du circuit associé.

1.3.9 Inverseur binaire

Circuit binaire qui n'a qu'une borne d'entrée et une borne de sortie et pour lequel, à un état L (H) de la variable d'entrée, correspond un état H (L) de la variable de sortie.

1.3.10 Association maître-esclave

Association de deux circuits bistables, de sorte que l'un d'entre eux, appelé «esclave», reproduise la configuration de sortie de l'autre circuit, appelé «maître». Le transfert de l'information du maître à l'esclave s'effectue grâce à un signal approprié.

1.3.11 Registre

Association de circuits bistables grâce à laquelle une information peut être enregistrée, conservée et restituée.

NOTE – Le registre peut faire partie d'une autre mémoire et a une capacité spécifiée.

1.3.12 Registre à décalage

Registre qui, grâce à un signal de commande approprié, peut transférer l'information d'un circuit bistable au suivant, la séquence étant préservée.

1.3.13 Compteur

Circuit séquentiel organisé pour enregistrer des nombres et qui permet de les augmenter ou de les diminuer d'une constante définie, y compris l'unité.

1.3.14 Décodeur numérique (à circuit intégré)

Arrangement d'éléments logiques (ou l'équivalent) qui choisit une ou plusieurs voies de sortie selon la combinaison des signaux présents à l'entrée.

1.3.15 Réseau logique programmable (PLD)

Circuit intégré formé d'éléments fonctionnels logiques préfabriqués et d'éléments d'interconnexion programmables par l'utilisateur.

1.3.16 Matrice logique programmable (PLA)

Circuit intégré de la catégorie des PLDs dont les éléments fonctionnels sont principalement des réseaux ET et OU.

1.3.17 Matrice prédiffusée programmable (PG/A)

Circuit intégré de la catégorie des PLDs dont les éléments fonctionnels comprennent des interrupteurs et des éléments de mémoire qui se comportent comme des groupes de portes.

1.3.7 Monostable circuit

A sequential circuit which has only one stable output configuration (output pattern).

NOTE 1 – The definition above is given in its most general form. In present usage, the term "monostable circuit" implies that there is at least one meta-stable output configuration (output pattern) in addition to the stable output configuration (output pattern).

NOTE 2 – In general, such circuits may have one or more meta-stable and/or pseudo-stable output configurations (output patterns).

1.3.8 Expander circuit

An auxiliary circuit which can be used to expand the number of inputs of equal influence of an associated circuit without modifying the function of the associated circuit.

1.3.9 Binary inverter

Binary circuit which has only one input terminal and one output terminal, and in which a signal value L (H) at the input produces a signal value H (L) at the output.

1.3.10 Master-slave arrangement

An arrangement of two bistable circuits such that one of them, called the "slave", reproduces the output configuration of the other circuit, called the "master". The transfer of information from the master to the slave is produced by means of an appropriate signal.

1.3.11 Register

An arrangement of bistable circuits by means of which information may be accepted, stored, and retrieved.

NOTE – The register may form part of another memory and is of a specified capacity.

1.3.12 Shift register

A register that, by means of an appropriate control signal, can transfer information between consecutive bistable circuits with the sequence being preserved.

1.3.13 Counter

A sequential circuit for storing numbers that permits such numbers to be incremented or decremented by a defined constant, including unity.

1.3.14 Digital decoder (integrated circuit)

An arrangement of logic elements (or the equivalent) that selects one or more output channels according to the combination of input signals present.

1.3.15 Programmable logic device (PLD)

An integrated circuit that consists of logic elements with an interconnection pattern parts of which are user programmable.

1.3.16 Programmable logic array (PLA)

A programmable logic device in which the logic elements consist mainly of arrays of AND gates and arrays of OR gates.

1.3.17 Programmable gate array (PGA)

A programmable logic device in which the logic elements include switches and memory elements that behave as groups of gates.

1.4 Termes relatifs aux valeurs limites et aux caractéristiques

1.4.1 Tension de seuil (d'entrée)

Niveau de tension d'entrée qui, lorsqu'il est franchi, permet à une sortie de changer d'état logique.

NOTE – Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil à la transition positive et à la transition négative.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

ou: $V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$

1.4.1.1 Tension de seuil (d'entrée) à la tension positive $V_{\text{IT+}}$, V_{ITP}

Tension de seuil d'entrée lorsque la tension d'entrée est croissante.

NOTE – Voir la note de 1.4.1.

1.4.1.2 Tension de seuil (d'entrée) à la transition négative $V_{\text{IT-}}$, V_{ITN}

Tension de seuil d'entrée lorsque la tension d'entrée est décroissante.

NOTE – Voir la note de 1.4.1.

1.4.2 Facteur de charge d'entrée (d'un circuit numérique bipolaire)

Facteur qui indique le rapport du courant d'entrée d'une borne d'entrée spécifiée au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

NOTE – On choisit de préférence la charge de référence de telle façon que le facteur de charge d'entrée soit un nombre entier.

1.4.3 Capacité de charge de sortie (d'un circuit numérique bipolaire)

Facteur qui indique le rapport du courant maximal de sortie d'une borne de sortie spécifiée d'un circuit numérique au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

NOTE – On choisit de préférence la charge de référence de telle façon que la capacité de charge de sortie soit un nombre entier.

1.4.4 Temps de préparation (temps d'établissement)

Intervalle de temps entre l'application d'un signal qui est maintenu à une borne d'entrée spécifiée et une transition active ultérieure spécifiée se produisant à une autre borne d'entrée.

NOTE 1 – On mesure le temps d'établissement entre les instants où les grandeurs des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps d'établissement est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

NOTE 3 – Le temps d'établissement peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit numérique est garanti.

1.4.5 Temps de maintien

Intervalle de temps pendant lequel un signal est maintenu à une borne d'entrée spécifiée après qu'une transition active s'est produite à une autre borne d'entrée spécifiée.

NOTE 1 – On mesure le temps de maintien entre les instants où les amplitudes des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps de maintien est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

NOTE 3 – Le temps de maintien peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit numérique est garanti.

1.4 Terms related to ratings and characteristics

1.4.1 (Input) threshold voltage

The input voltage level that, when crossed, enables an output to change its logic state.

NOTE – The term hysteresis, often used in data sheets, denotes the difference between the positive-going and negative-going threshold voltages.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

$$\text{or: } V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

1.4.1.1 Positive-going (input) threshold voltage $V_{\text{IT+}}$, V_{ITP}

The input threshold voltage when the input voltage is rising.

NOTE – See note to 1.4.1.

1.4.1.2 Negative-going (input) threshold voltage $V_{\text{IT-}}$, V_{ITN}

The input threshold voltage when the input voltage is falling.

NOTE – See note to 1.4.1.

1.4.2 Input loading factor (of a binary digital circuit)

A factor which indicates the ratio of the input current of a specified input terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

NOTE – The reference load should preferably be chosen in such a way that the input loading factor becomes an integer.

1.4.3 Output loading capability (of a binary digital circuit)

A factor which indicates the ratio of the maximum output current of a specified output terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

NOTE – The reference load should preferably be chosen in such a way that the output loading capability becomes an integer.

1.4.4 Set-up time

The time interval between application of a signal that is maintained at a specific input terminal and a specified subsequent active transition at another input terminal.

NOTE 1 – The set-up time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.

NOTE 2 – The set-up time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

NOTE 3 – The set-up time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.5 Hold time

The time interval during which a signal is retained at a specified input terminal after an active transition occurs at another specified input terminal.

NOTE 1 – The hold time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.

NOTE 2 – The hold time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

NOTE 3 – The hold time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.6 Temps de résolution

Intervalle de temps entre la fin d'une impulsion d'entrée et le début de l'impulsion d'entrée suivante appliquée à la même borne d'entrée.

NOTE 1 – On mesure le temps de résolution entre les instants où l'amplitude du signal d'entrée atteint des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.

NOTE 2 – Le temps de résolution est le temps qui s'écoule entre deux impulsions; il peut être insuffisant pour assurer que les deux impulsions sont distinctes. On définit une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit numérique est garanti.

1.4.7 Temps de propagation du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur les impulsions à l'entrée et à la sortie lorsque la sortie évolue vers le niveau bas (haut) et que le dispositif est commandé et chargé par des dispositifs typiques d'un type déterminé.

NOTE 1 – Dans certains cas, les circuits de commande et de charge peuvent être remplacés, pour les essais, par des réseaux équivalents qui doivent être spécifiés.

NOTE 2 – La valeur moyenne entre la limite supérieure et la gamme des valeurs du niveau bas à l'entrée et à la limite inférieure de la gamme des valeurs du niveau haut à l'entrée est généralement utilisée comme niveau de référence spécifié.

1.4.8 Temps de transition du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur le flanc de l'impulsion de sortie, lorsque la sortie évolue vers le niveau bas (haut) et qu'un signal d'entrée spécifié est appliqué à travers un réseau spécifié, la sortie étant chargée par un autre réseau spécifié.

1.4.9 Temps d'autorisation

Intervalle de temps entre un point spécifié sur la transition du signal d'autorisation et un point spécifié sur la forme d'onde de sortie qui représente le début du fonctionnement prévu.

1.4.10 Temps d'inhibition

Intervalle de temps entre un point spécifié sur la transition du signal d'inhibition et un point spécifié sur la forme d'onde de sortie qui représente la fin du fonctionnement concerné.

1.4.11 Temps d'autorisation en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change d'un état à haute impédance à l'un des niveaux actifs (haut ou bas) définis.

1.4.12 Temps d'inhibition en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change de l'un des niveaux actifs (haut ou bas) définis à l'état à haute impédance.

1.4.13 Durée (largeur) d'une impulsion

Intervalle de temps séparant des points de référence spécifiés sur les flancs de l'impulsion.

1.4.14 Temps de validation

Intervalle de temps pendant lequel un signal de sortie est valide ou durant lequel un signal d'entrée doit être valide.

1.4.6 Resolution time

The time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal.

NOTE 1 – The resolution time is measured between the instants at which the magnitude of the input signal passes through specified values within the transition of the signal levels.

NOTE 2 – The resolution time is the actual time between two pulses and may be insufficient to ensure that both pulses are recognized. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

1.4.7 High-level to low-level (low-level to high-level) propagation time

The time interval between specified reference points on the input and on the output pulses, when the output is going to the low-(high-)level and when the device is driven and loaded by typical devices of stated types.

NOTE 1 – In some circumstances, the driving and the loading circuits may be replaced for test purposes by equivalent networks which must be specified.

NOTE 2 – The mean value between the upper limit of the input low range and the lower limit of the input high range is generally used as the specified reference level.

1.4.8 High-level to low-level (low-level to high-level) transition time

The time interval between specified reference points on the edge of the output pulse when the output is going to the low-(high-)level and when a specified input signal is applied through a specified network and the output is loaded by another specified network.

1.4.9 Enable time

The time interval from a specified point on the transition of the enabling signal to a specified point on an output waveform that represents the commencement of the intended operation.

1.4.10 Disable time

The time interval from a specified point on the transition of the disabling signal to a specified point on an output waveform that represents the cessation of the affected operation.

1.4.11 Output enable time (of a three-state output)

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from a high-impedance (off) state to either of the defined active levels (high or low).

1.4.12 Output disable time (of a three-state output)

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from either of the defined active levels (high or low) to a high-impedance (off) state.

1.4.13 Pulse duration (width)

The time interval between the specified reference points on the two transitions of the pulse waveform.

1.4.14 Valid time

The time interval during which an output signal is valid or during which an input signal must be valid.

1.4.15 Temps de validation de l'information en sortie

Intervalle de temps pendant lequel l'information en sortie reste valide, à la suite d'un changement des conditions d'entrée qui pourraient provoquer, à la fin de cet intervalle, un changement de l'information en sortie.

1.4.16 Capacité équivalente d'entrée (ou de sortie) (d'un circuit binaire)

Capacité d'un condensateur discret qui provoque le même effet sur la forme d'onde d'un signal numérique que la composante capacitive de l'impédance d'entrée (ou de sortie) d'un circuit binaire.

1.5 Concept de verrouillage

1.5.1 Etat de verrouillage

Etat caractérisé par un chemin conducteur persistant de faible impédance, et résultant du déclenchement d'une structure bipolaire à quatre couches consécutif au courant résultant d'une surtension à l'entrée, à la sortie ou sur l'alimentation.

NOTE – En état de verrouillage, le dispositif devient inopérant.

1.5.2 Effet de verrouillage

Processus qui conduit à un état de verrouillage.

1.5.3 Tension de verrouillage à l'état passant ($V_{CC(L)}$, $V_{DD(L)}$)

Tension entre les bornes de l'alimentation d'un circuit intégré pour un courant spécifié lorsque ce circuit est en état de verrouillage.

1.5.4 Courant de verrouillage (I_{latch})

Courant le plus faible qui passe par une borne spécifiée d'un circuit intégré au début de l'effet de verrouillage de ce circuit.

2 Exemples

2.1 Circuits combinatoires élémentaires

2.1.1 Types de circuits combinatoires élémentaires et leur table de fonctionnement

a) Circuit ET (état L), OU (état H)

Entrées	Sortie
A B C	Q
L L L . . . L	L
Toutes combinaisons avec H	H

b) Circuit NON-ET (état L), NON-OU (état H)

Entrées	Sortie
A B C	Q
L L L . . . L	H
Toutes combinaisons avec H	L

1.4.15 Output data-valid time

The time interval during which output data continues to be valid following a change of input conditions that could cause the output data to change at the end of the interval.

1.4.16 Equivalent input (output) capacitance (of a binary circuit)

The capacitance of a discrete capacitor that causes the same effect on the waveform of a digital signal as the capacitive component of the input (output) impedance of a binary circuit.

1.5 Latch-up concept

1.5.1 Latch-up state

A state in which a low-impedance path has resulted from and persists following the current resulting from an input, output or supply overvoltage that triggers a parasitic four-layer bipolar structure.

NOTE – In the latch-up state, the device becomes inoperable.

1.5.2 Latch-up effect

A process that results in a latch-up state.

1.5.3 Latch-up on-state voltage ($V_{CC(L)}$, $V_{DD(L)}$)

The voltage between the supply voltage terminals of an integrated circuit at a specified current when the integrated circuit is in the latch-up state.

1.5.4 Latch-up current (I_{latch})

The lowest current that flows into or out of a specified terminal of an integrated circuit at the onset of latch-up.

2 Examples

2.1 Elementary combinatorial circuits

2.1.1 Types of elementary combinatorial circuits and their function tables

a) L-AND, H-OR circuit

Inputs	Output
A B C	Q
L L L . . . L	L
All combinations with H	H

b) L-NAND, H-NOR circuit

Inputs	Output
A B C	Q
L L L . . . L	H
All combinations with H	L

c) Circuit ET (état H), OU (état L)

Entrées	Sortie
A B C	Q
H H H . . . H	H
Toutes combinaisons avec L	L

d) Circuit NON-ET (état H), NON-OU (état L)

Entrées	Sortie
A B C	Q
H H H . . . H	L
Toutes combinaisons avec L	H

e) Inverseur binaire

Entrée	Sortie
L	H
H	L

2.1.2 Réalisation d'opérations logiques au moyen de circuits combinatoires élémentaires

(pour deux relations possibles entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole)

Circuit		Relations	
Type	Nom	$L \cong 1$ $H \cong 0$	$L \cong 0$ $H \cong 1$
a	ET (état L), OU (état H)	ET	OU
b	NON-ET (état L), NON-OU (état H)	NON-ET	NON-OU
c	OU (état L), ET (état H)	OU	ET
d	NON-OU (état L), NON-ET (état H)	NON-OU	NON-ET

2.2 Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale

Deux modes de représentation des matrices (séquentielles) de fonctionnement sont indiqués.

2.2.1 Préambule

2.2.1.1 Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau H,
 - ou lors de la transition du niveau L vers le niveau H,
- la lettre qui représente cette entrée est écrite sans barre.

Exemple R, S, J ...

Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau L (c'est-à-dire LORSQU'IL N'EST PAS AU NIVEAU H),
- ou lors de la transition du niveau H vers le niveau L (c'est-à-dire LORS DE LA TRANSITION QUI N'EST PAS DU NIVEAU L VERS LE NIVEAU H),

c) H-AND, L-OR circuit

Inputs	Output
A B C	Q
H H H . . . H	H
All combinations with L	L

d) H-NAND, L-NOR circuit

Inputs	Output
A B C	Q
H H H . . . H	L
All combinations with L	H

e) Binary inverter

Input	Output
L	H
H	L

2.1.2 Realization of logic operations by means of elementary combinatorial circuits

(for two possible assignments of the signal values L and H to the binary values 0 and 1 of Boolean algebra)

Circuit		Assignment	
Type	Name	L $\equiv$ 1 H $\equiv$ 0	L $\equiv$ 0 H $\equiv$ 1
a	L-AND, H-OR	AND	OR
b	L-NAND, H-NOR	NAND	NOR
c	L-NOR, H-AND	OR	AND
d	L-NAND, H-NAND	NOR	NAND

2.2 Principles of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations

Two different ways of presenting the (sequential) function matrices are quoted.

2.2.1 Preamble

2.2.1.1 If the signal applied to the input terminal concerned is:

- active when it is at the H-level,
- or active during the transition from the L-level to the H-level,

then the letter which represents the input is used without a bar.

Examples: R, S, J ...

If the signal applied to the input terminal concerned is:

- active when it is at the L-level (i.e. NOT AT THE H-LEVEL),
- or active during the transition from the H-level to the L-level (i.e. NOT DURING THE TRANSITION FROM THE L-LEVEL TO THE H-LEVEL),

la lettre qui représente cette entrée est surmontée d'une barre.

Exemples: $\overline{R}$, $\overline{S}$, $\overline{J}$...

Dans le cas de circuits fonctionnant en niveau et par transition et lorsque la règle qui précède conduit à une impossibilité, la priorité est donnée à la transition.

2.2.1.2 Les bornes de sortie d'un circuit bistable sont habituellement notées Q et Q*; Q est la sortie prise comme référence.

2.2.1.3 Normalement, pour les deux configurations de sortie stables d'un circuit bistable, les niveaux aux bornes Q et Q* sont complémentaires.

La configuration de sortie pseudo-stable est indiquée par les lettres H ou L ou leur combinaison, placées entre parenthèses après les lettres RS, quand elle existe.

Si dans la configuration de sortie pseudo-stable, les niveaux de Q et de Q* sont complémentaires, les deux lettres H et L sont utilisées, la première lettre désignant le niveau de Q.

Si dans la configuration de sortie pseudo-stable les niveaux de Q et de Q* sont identiques, une seule lettre est utilisée pour désigner ces niveaux.

Exemples: RS(H), RS(L), RS(HL), RS(LH).

Si ce n'est pas exigé, les parenthèses et les lettres à l'intérieur peuvent être omises.

2.2.1.4 Tous les autres types de bascules RS, $R_G S_G$, JK, $J_T K_T$, etc., peuvent être décrits d'une manière analogue aux exemples qui suivent.

2.2.2 Circuits

2.2.2.1 Circuit RS (L)

Circuit dont les deux entrées R et S sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau H seulement.

La configuration d'entrée (R, S) = (L, H) conduit à la configuration de sortie (Q, Q*) = (H, L). Le retour au niveau L de l'entrée S est sans effet.

La configuration d'entrée (R, S) = (H, L) conduit à la configuration de sortie (Q, Q*) = (L, H). Le retour au niveau L de l'entrée R est sans effet.

La configuration d'entrée (R, S) = (H, H) conduit à la configuration de sortie pseudo-stable (Q, Q*) = (L, L). Le retour simultané des deux entrées du niveau H vers le niveau L conduit à une configuration de sortie stable imprévisible.

NOTE – Pour des raisons techniques, dans certains cas, la configuration d'entrée (R, S) = (H, H) peut être interdite.

then the letter which represents the input is used with a bar.

Examples: $\bar{R}$, $\bar{S}$, $\bar{J}$...

In cases of level/transition-operated circuits where the above gives rise to contrary indications, priority is given to the transition.

2.2.1.2 The output terminals of a bistable circuit are denoted by Q and Q^* , where Q is the reference-output terminal.

2.2.1.3 Normally, in the two stable output configurations (output patterns) of a bistable circuit, the levels at the terminals Q and Q^* are complementary.

The pseudo-stable output configuration (output pattern) is stated by the letters H or L or combinations thereof, to be put in brackets following the letters RS , when it occurs.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q^* are complementary, both the letters H and L are used, the first letter designating the level at Q .

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q^* are the same, only one letter is used to designate these levels.

Examples: $RS(H)$, $RS(L)$, $RS(HL)$, $RS(LH)$.

If not required, the brackets and letters between them can be omitted.

2.2.1.4 All other types of RS , $R_G S_G$, JK , $J_T K_T$ circuits, etc., can be described in a manner analogue to the examples that follow.

2.2.2 Circuits

2.2.2.1 $RS(L)$ circuit

A circuit having two level-operated input terminals R and S . Either input signal can be active in the H -level only.

The input configuration (input pattern) $(R, S) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the L -level produces no action.

The input configuration (input pattern) $(R, S) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the L -level produces no action.

The input configuration (input pattern) $(R, S) = (H, H)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (L, L)$. The simultaneous return of both input signals from the H -level to the L -level produces a non-foreseeable stable output configuration (output pattern).

NOTE – In some cases, the input configuration (input pattern) $(R, S) = (H, H)$ may not be permitted due to technical reasons.

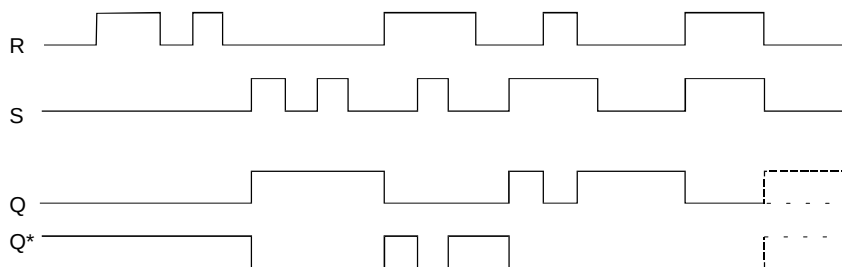
Matrices (séquentielles) de fonctionnement:

R	L		H			
S	L	H		L	Q	Q*
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L

R	L		H			
S	L	H		L	Q	Q*
					H	L
					L	H
	?				L	L

IEC 1659/97

Diagramme des temps:



IEC 1660/97

Figure 1

2.2.2.2 Circuit $\bar{R}\bar{S}$ (H)

Circuit dont les deux entrées $\bar{R}, \bar{S}$ sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau L seulement.

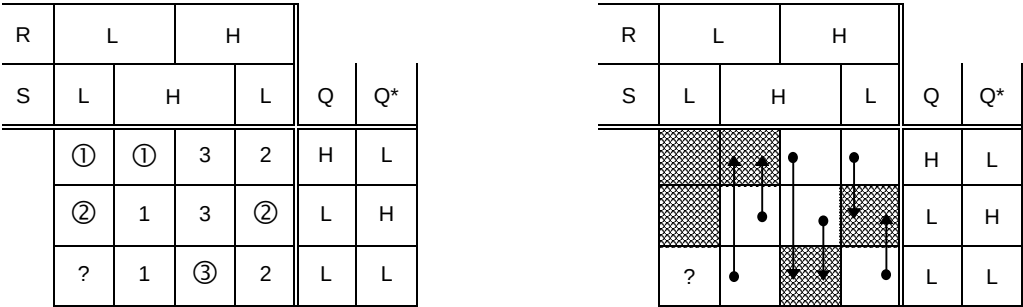
La configuration d'entrée $(\bar{R}, \bar{S}) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau H de l'entrée S est sans effet.

La configuration d'entrée $(\bar{R}, \bar{S}) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau H de l'entrée R est sans effet.

La configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ conduit à la configuration de sortie pseudo-stable $(Q, Q^*) = (H, H)$. Le retour simultané des deux entrées du niveau L vers le niveau H conduit à une configuration de sortie stable imprévisible.

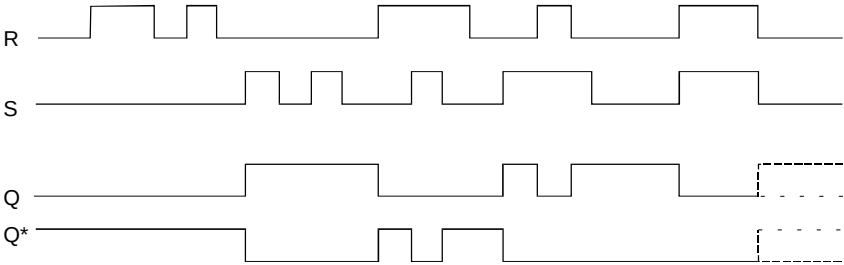
NOTE – Pour des raisons techniques, dans certains cas, la configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ peut être interdite.

Function (sequential) matrices:



IEC 1659/97

Timing diagram:



IEC 1660/97

Figure 1

2.2.2.2 $\overline{R}\overline{S}$ (H) circuit

A circuit having two level-operated input terminals $\overline{R}$ and $\overline{S}$. Either input signal can be active in the L-level only.

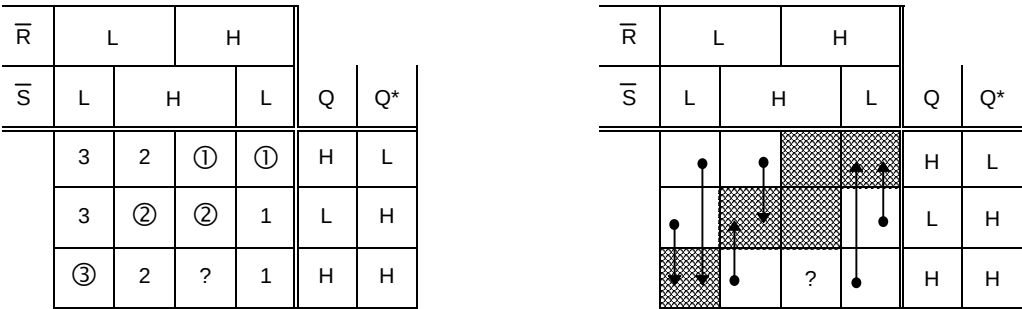
The input configuration (input pattern) $(\overline{R}, \overline{S}) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the H-level produces no action.

The input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the H-level produces no action.

The input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, L)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (H, H)$. The simultaneous return of both input signals from the L-level to the H-level produces a non-foreseeable stable output configuration (output pattern).

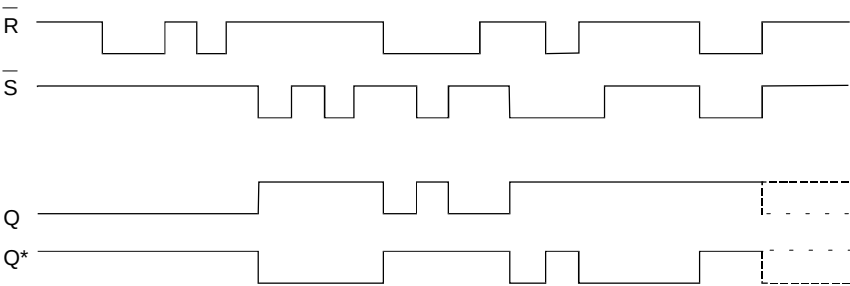
NOTE – In some cases, the input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, L)$ may not be permitted due to technical reasons.

Matrices (séquentielles) de fonctionnement:



IEC 1661/97

Diagramme des temps:



IEC 1662/97

Figure 2

2.2.2.3 Circuit T

Circuit dont l'entrée T est à fonctionnement par transition.

Le passage du niveau L au niveau H de la variable, appliquée sur cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau H vers le niveau L est sans effet.

Matrices (séquentielles) de fonctionnement:



IEC 1663/97

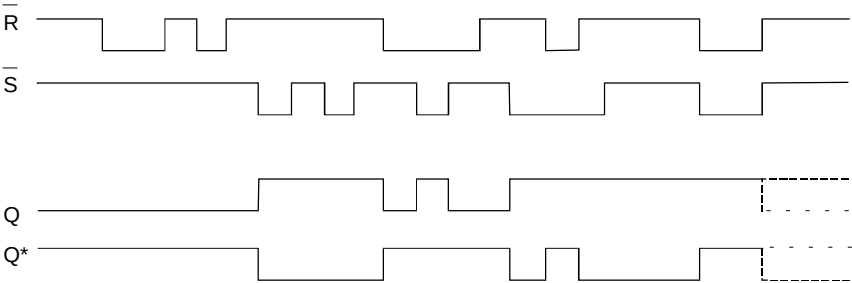
Function (sequential) matrices:

$\overline{R}$	L		H		Q	Q*
$\overline{S}$	L	H	L			
	3	2	①	①	H	L
	3	②	②	1	L	H
	③	2	?	1	H	H

$\overline{R}$	L		H		Q	Q*
$\overline{S}$	L	H	L			
					H	L
					L	H
					H	H

IEC 1661/97

Timing diagram:



IEC 1662/97

Figure 2

2.2.2.3 T circuit

A circuit having one input terminal, T, which is transition-operated.

When the signal applied to the input terminal changes from the L-level to the H-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the H-level to the L-level produces no action.

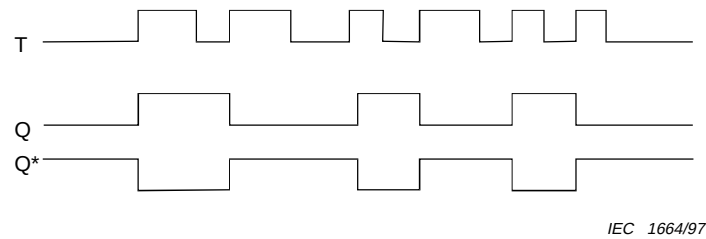
Function (sequential) matrices:

T	L	H	Q	Q*
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

IEC 1663/97

Diagramme des temps:



IEC 1664/97

Figure 3

2.2.2.4 Circuit $\bar{T}$

Circuit dont l'entrée $\bar{T}$ est du type à fonctionnement par transition.

Le passage du niveau H au niveau L de la variable, appliquée à cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau L vers le niveau H est sans effet.

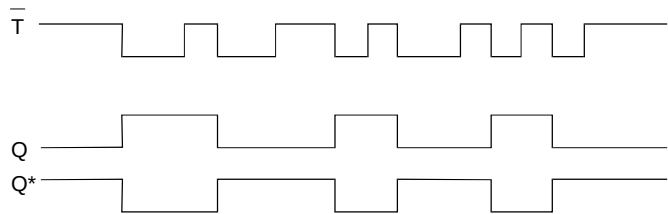
Matrices (séquentielles) de fonctionnement:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
②		3	H	L
4		③	H	L
④		1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

IEC 1665/97

Diagramme des temps:



IEC 1666/97

Figure 4

2.2.2.5 Circuit T_G (définition générale)

Circuit dont l'entrée T est du type à fonctionnement par transition et l'entrée G du type à fonctionnement en niveau.

Tant que l'entrée G est portée au niveau H, le circuit fonctionne comme un circuit T.

Tant que l'entrée G est portée au niveau L, la variable d'entrée T n'a plus aucune action sur la configuration de sortie.

Timing diagram:

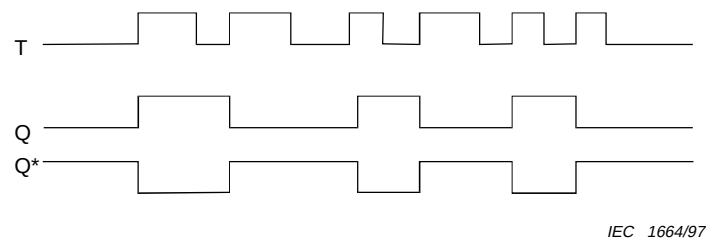


Figure 3

2.2.2.4 $\overline{T}$ circuit

A circuit having one input terminal, $\overline{T}$, which is transition-operated.

When the signal applied to the input terminal $\overline{T}$ changes from the H-level to the L-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the L-level to the H-level produces no action.

Function (sequential) matrices:



Timing diagram:

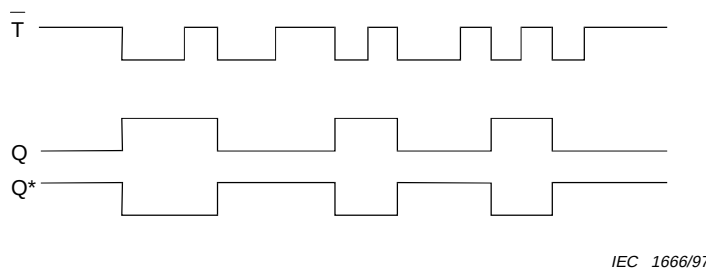


Figure 4

2.2.2.5 General T_G circuit

A circuit having one transition-operated input terminal, T, and one level-operated input terminal, G.

While the G input signal has the H-level, the circuit functions like a T circuit.

While the G input signal has the L-level, the T input signal has no effect on the output configuration (output pattern).

La configuration de sortie atteinte après une transition simultanée des variables aux deux entrées est imprévisible lorsque la variable appliquée à l'entrée T passe du niveau L au niveau H, quelle que soit la transition à l'entrée G.

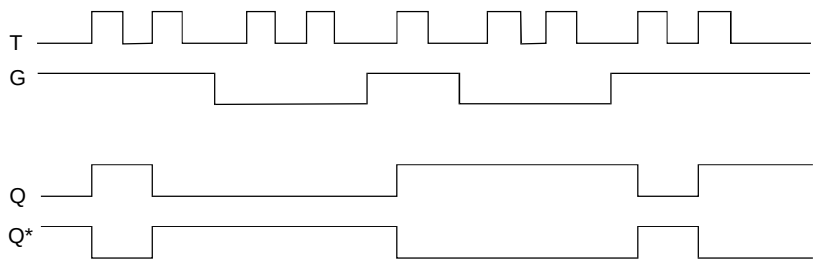
Matrices (séquentielles) de fonctionnement:

G	L			H		
T	L	H		L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L			H		
T	L	H		L	Q	Q*
			?		L	H
		?			L	H
					L	H
					H	L
			?		H	L
				?	H	L

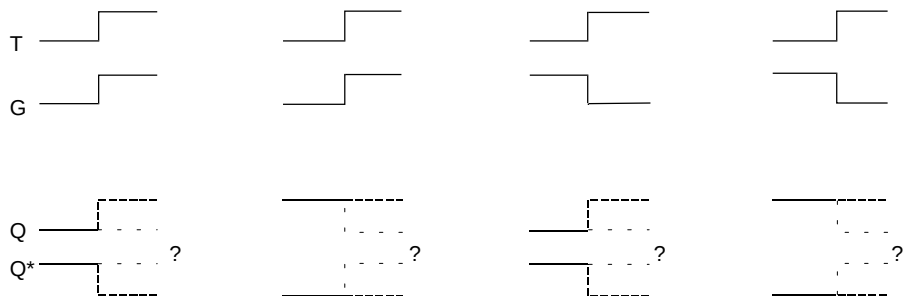
IEC 1667/97

Diagramme des temps:



IEC 1668/97

Diagramme des temps d'un circuit général T_G (suite):



IEC 1669/97

Figure 5