

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-4

QC 790300

Deuxième édition
Second edition
1997-04

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 4:
Circuits intégrés d'interface**

**Semiconductor devices –
Integrated circuits –**

**Partie 4:
Interface integrated circuits**



Numéro de référence
Reference number
CEI/IEC 60748-4: 1997

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles auprès du Bureau Central de la CEI.

Les renseignements relatifs à ces révisions, à l'établissement des éditions révisées et aux amendements peuvent être obtenus auprès des Comités nationaux de la CEI et dans les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
Publié annuellement
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 50: *Vocabulaire Electrotechnique International* (VEI), qui se présente sous forme de chapitres séparés traitant chacun d'un sujet défini. Des détails complets sur le VEI peuvent être obtenus sur demande. Voir également le dictionnaire multilingue de la CEI.

Les termes et définitions figurant dans la présente publication ont été soit tirés du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera:

- la CEI 27: *Symboles littéraux à utiliser en électrotechnique*;
- la CEI 417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*;
- la CEI 617: *Symboles graphiques pour schémas*;

et pour les appareils électromédicaux,

- la CEI 878: *Symboles graphiques pour équipements électriques en pratique médicale*.

Les symboles et signes contenus dans la présente publication ont été soit tirés de la CEI 27, de la CEI 417, de la CEI 617 et/ou de la CEI 878, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même comité d'études

L'attention du lecteur est attirée sur les listes figurant à la fin de cette publication, qui énumèrent les publications de la CEI préparées par le comité d'études qui a établi la présente publication.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available from the IEC Central Office.

Information on the revision work, the issue of revised editions and amendments may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
Published yearly
- **Catalogue of IEC publications**
Published yearly with regular updates

Terminology

For general terminology, readers are referred to IEC 50: *International Electrotechnical Vocabulary* (IEV), which is issued in the form of separate chapters each dealing with a specific field. Full details of the IEV will be supplied on request. See also the IEC Multilingual Dictionary.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications:

- IEC 27: *Letter symbols to be used in electrical technology*;
- IEC 417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets*;
- IEC 617: *Graphical symbols for diagrams*;

and for medical electrical equipment,

- IEC 878: *Graphical symbols for electromedical equipment in medical practice*.

The symbols and signs contained in the present publication have either been taken from IEC 27, IEC 417, IEC 617 and/or IEC 878, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same technical committee

The attention of readers is drawn to the end pages of this publication which list the IEC publications issued by the technical committee which has prepared the present publication.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-4

QC 790300

Deuxième édition
Second edition
1997-04

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 4:
Circuits intégrés d'interface**

**Semiconductor devices –
Integrated circuits –**

**Partie 4:
Interface integrated circuits**

© IEC 1997 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

XH

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

LICENSED TO MECON Limited, - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SOMMAIRE

	Pages
AVANT-PROPOS	10
Articles	
CHAPITRE I: GÉNÉRALITÉS	
1 Domaine d'application.....	12
2 Références normatives	14
CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX	
1 Catégorie I	16
2 Catégorie II	24
3 Symboles littéraux	62
CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES	
SECTION 1: CATÉGORIE I (CIRCUITS DE LIGNE, AMPLIFICATEURS DE LECTURE, COMMANDES DE PÉRIPHÉRIQUES ET CIRCUITS DE DÉCALAGE DE NIVEAU, COMPARATEURS DE TENSION)	
1 Généralités.....	70
2 Spécifications fonctionnelles.....	70
3 Description du circuit	74
4 Valeurs limites.....	74
5 Conditions de fonctionnement recommandées	78
6 Caractéristiques électriques.....	78
7 Caractéristiques mécaniques et autres données	92
8 Données d'application.....	92
SECTION 2: CATÉGORIE II (CONVERTISSEURS LINÉAIRES ET NON LINÉAIRES ANALOGIQUE-NUMÉRIQUE ET NUMÉRIQUE-ANALOGIQUE)	
1 Généralités.....	94
2 Description du circuit intégré.....	94
3 Valeurs limites.....	96
4 Conditions de fonctionnement recommandées	98
5 Caractéristiques électriques.....	100
6 Valeurs limites, caractéristiques mécaniques et autres données.....	110
7 Informations supplémentaires	110
SECTION 3: CATÉGORIE III (CIRCUITS DE COMMANDE POUR LES ALIMENTATIONS À DÉCOUPAGE)	
1 Généralités.....	112
2 Description électrique et fonctionnelle des circuits	114
3 Valeurs limites.....	114
4 Conditions de fonctionnement recommandées	118
5 Caractéristiques électriques.....	118
6 Valeurs limites, caractéristiques mécaniques et autres données.....	124
7 Précautions de manipulation	124
8 Données d'application, informations supplémentaires.....	124

CONTENTS

	Page
FOREWORD	11
Clause	
CHAPTER I: GENERAL	
1 Scope.....	13
2 Normative references	15
CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS	
1 Category I.....	17
2 Category II.....	25
3 Letter symbols	63
CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS	
SECTION 1: CATEGORY I (LINE CIRCUITS, SENSE AMPLIFIERS, PERIPHERAL DRIVERS AND LEVEL SHIFTERS, VOLTAGE COMPARATORS)	
1 General	71
2 Functional specifications.....	71
3 Description of the circuit	75
4 Ratings (limiting values).....	75
5 Recommended operating conditions	79
6 Electrical characteristics	79
7 Mechanical characteristics and other data.....	93
8 Application data.....	93
SECTION 2: CATEGORY II (LINEAR AND NON-LINEAR ANALOGUE-TO-DIGITAL AND DIGITAL-TO-ANALOGUE CONVERTERS)	
1 General	95
2 Description of integrated circuit.....	95
3 Ratings (limiting values).....	97
4 Recommended operating conditions	99
5 Electrical characteristics	101
6 Mechanical ratings, characteristics and other data	111
7 Additional information	111
SECTION 3: CATEGORY III (CONTROL CIRCUITS FOR SWITCH-MODE POWER SUPPLIES)	
1 General	113
2 Electrical and functional description of the circuits	115
3 Ratings (limiting values).....	115
4 Recommended operating conditions	119
5 Electrical characteristics	119
6 Mechanical ratings, characteristics and other data	125
7 Handling precautions	125
8 Application data, additional information	125

SECTION 4: CATÉGORIE IV (CODEURS ET DÉCODEURS DE MODULATION
D'IMPULSIONS CODÉES COMPRESSEURS-EXPANSEURS [MIC])

1	Généralités	128
2	Identification et description du circuit	128
3	Spécifications fonctionnelles	128
4	Valeurs limites	132
5	Conditions de fonctionnement recommandées	134
6	Caractéristiques électriques	134
7	Valeurs limites, caractéristiques mécaniques et autres données	142
8	Informations supplémentaires	142

SECTION 5: CATÉGORIE IV
(FILTRES POUR LES CODEURS ET DÉCODEURS DE MODULATION
D'IMPULSIONS CODÉES COMPRESSEURS-EXPANSEURS [MIC])

1	Généralités	144
2	Identification et description du circuit	144
3	Spécifications fonctionnelles	144
4	Valeurs limites	146
5	Conditions de fonctionnement recommandées	148
6	Caractéristiques électriques	150
7	Valeurs limites, caractéristiques mécaniques et autres données	158
8	Informations supplémentaires	158

SECTION 6: CATÉGORIE IV
(CODEURS ET DÉCODEURS MIC AVEC FILTRES)

1	Généralités	160
2	Description relative à l'application	162
3	Spécification de la fonction	162
4	Valeurs limites	168
5	Conditions de fonctionnement recommandées	170
6	Caractéristiques électriques	172
7	Valeurs limites, caractéristiques et données mécaniques et d'environnement	180
8	Informations supplémentaires	180

SECTION 7: CATÉGORIE V
(BLOCS FONCTIONNELS UNITAIRES À CIRCUITS INTÉGRÉS NUMÉRIQUES D'INTERFACE
COMPRENANT LES CIRCUITS PÉRIPHÉRIQUES DU CPU,
LES CONTRÔLEURS DE DISPOSITIFS PÉRIPHÉRIQUES ET LES CIRCUITS D'INTERFACE
DE COMMUNICATION)

1	Généralités	184
2	Description relative à l'application	186
3	Spécification fonctionnelle	188
4	Valeurs limites	190
5	Conditions de fonctionnement	194
6	Caractéristiques électriques	194
7	Valeurs limites, caractéristiques et données mécaniques et d'environnement	198
8	Informations supplémentaires	198

Clause		Page
SECTION 4: CATEGORY IV (COMPANDING PCM CODER-DECODERS [CODEC])		
1	General	129
2	Circuit identification and description	129
3	Functional specifications	129
4	Ratings (limiting values)	133
5	Recommended operating conditions	135
6	Electrical characteristics	135
7	Mechanical ratings, characteristics and other data	143
8	Additional information	143
SECTION 5: CATEGORY IV (FILTERS FOR COMPANDING PCM CODER-DECODERS [CODEC])		
1	General	145
2	Circuit identification and description	145
3	Functional specifications	145
4	Ratings (limiting values)	147
5	Recommended operating conditions	149
6	Electrical characteristics	151
7	Mechanical ratings, characteristics and other data	159
8	Additional information	159
SECTION 6: CATEGORY IV (PCM CODEC WITH FILTERS [COMBO])		
1	General	161
2	Application related description	163
3	Specification of the function	163
4	Ratings (limiting values)	169
5	Recommended operating conditions	171
6	Electrical characteristics	173
7	Mechanical and environmental ratings, characteristics and data	181
8	Additional information	181
SECTION 7: CATEGORY V (DIGITAL INTERFACE INTEGRATED CIRCUITS UFB INCLUDING CPU PERIPHERAL CIRCUITS, PERIPHERAL DEVICE CONTROLLERS AND COMMUNICATION INTERFACE CIRCUITS)		
1	General	185
2	Application related description	187
3	Functional specification	189
4	Limiting values	191
5	Operating conditions	195
6	Electrical characteristics	195
7	Mechanical and environmental ratings, characteristics and data	199
8	Additional information	199

SECTION 8: CATÉGORIE VI
(CIRCUITS D'INTERFACE MODULAIRES POUR RÉSEAU NUMÉRIQUE
À INTÉGRATION DE SERVICES [RNIS])

1	Généralités.....	202
2	Descriptions relatives aux applications.....	204
3	Spécification de la fonction	204
4	Valeurs limites.....	210
5	Conditions d'utilisation pour la gamme de températures de fonctionnement spécifiée	210
6	Caractéristiques électriques.....	212

CHAPITRE IV: MÉTHODES DE MESURE

SECTION 1: GÉNÉRALITÉS

1	Exigences générales	228
2	Exigences spécifiques	228
3	Matrice d'application.....	228

SECTION 2: CATÉGORIE I
(CIRCUITS DE LIGNE, AMPLIFICATEURS DE LECTURE,
COMMANDES DE PÉRIPHÉRIQUES ET CIRCUITS DE DÉCALAGE DE NIVEAU,
COMPARATEURS DE TENSION)

1	Tension de déclenchement à l'entrée en mode commun (V_{ICT})	232
2	Courant moyen de polarisation (I_{IB}) et courant de décalage à l'entrée (I_{IO})	236
3	Temps de recouvrement de surcharge à l'entrée en mode différentiel (t_{ord}) et en mode commun (t_{orc}).....	238
4	Circuits de mesure de base pour les comparateurs de tension	242
5	Tension de décalage à l'entrée (d'un comparateur de tension) (V_{IO})	250
6	Coefficient moyen de température de la tension de décalage à l'entrée (d'un comparateur de tension) (α_{VIO}).....	252
7	Amplificateur de tension en mode différentiel (d'un comparateur de tension) (A_V)	254
8	Tensions de seuil d'entrée différentielle (d'un comparateur de tension) (V_{ITH} et V_{ITL})..	256
9	Courant de décalage à l'entrée (I_{IO}) et son coefficient de température (α_{IIO}) (d'un comparateur de tension)	260

SECTION 3: CATÉGORIE II
(CONVERTISSEURS ANALOGIQUE-NUMÉRIQUE ET NUMÉRIQUE-ANALOGIQUE)

Groupe I – Convertisseurs linéaires analogique-numérique (ADC)

10	Courants d'alimentation (I_{CC} et I_{EE}).....	266
11	Erreur d'origine (E_O et E_{ZS})	270
12	Coefficient de température de la variation de tension (α_{EO} et α_{EZS})	272
13	Erreurs de pleine résolution (E_G et E_{FS}).....	274
14	Coefficient de température de la variation de la tension d'erreur de gain et d'erreur de pleine échelle (α_{EG} et α_{EFS})	278
15	Erreur de linéarité d'un ADC linéaire (E_L) ($E_{L(adj)}$) (E_T).....	280
16	Erreur de linéarité différentielle (E_D).....	292
17	Fréquence maximale fonctionnelle (f_{max})	292

Clause	Page
--------	------

SECTION 8: CATEGORY VI (INTEGRATED SERVICE DIGITAL NETWORK [ISDN] ORIENTED MODULAR INTERFACE CIRCUITS)

1	General	203
2	Application related description	205
3	Specification of the function	205
4	Limiting values	211
5	Operating conditions of use within the specified operating temperature range	211
6	Electrical characteristics	213

CHAPTER IV: MEASURING METHODS

SECTION 1: GENERAL

1	Basic requirements	229
2	Specific requirements	229
3	Application matrix	229

SECTION 2: CATEGORY I (LINE CIRCUITS, SENSE AMPLIFIERS, PERIPHERAL DRIVERS AND LEVEL SHIFTERS, VOLTAGE COMPARATORS)

1	Common-mode input triggering voltage (V_{CT})	233
2	Average bias current (I_B) and input offset current (I_{IO})	237
3	Differential-mode input overload recovery time (t_{ord}) and common-mode input overload recovery time (t_{orc})	239
4	Basic measuring circuits for voltage comparators	243
5	Input offset voltage (of a voltage comparator) (V_{IO})	251
6	Mean temperature coefficient of the input offset voltage (of a voltage comparator) (α_{VIO})	253
7	Differential-mode voltage amplification (of a voltage comparator) (A_V)	255
8	Differential input threshold voltages (of a voltage comparator) (V_{TH} and V_{TL})	257
9	Input offset current (I_{IO}) and its temperature coefficient (α_{IIO}) (of a voltage comparator)	261

SECTION 3: CATEGORY II (LINEAR ANALOGUE-TO-DIGITAL AND DIGITAL-TO-ANALOGUE CONVERTERS)

Group I - linear analogue-to-digital converters (ADC)

10	Supply currents (I_{CC} and I_{EE})	267
11	Origin error (E_O and E_{ZS})	271
12	Temperature coefficient of voltage change (α_{EO} and $\alpha_{E_{ZS}}$)	273
13	Full resolution errors (E_G and E_{FS})	275
14	Temperature coefficient of voltage change for gain and full-scale errors (α_{EG} and $\alpha_{E_{FS}}$)	279
15	Linearity error of a linear ADC (E_L) ($E_{L(adj)}$) (E_T)	281
16	Differential linearity error (E_D)	293
17	Maximum operating frequency (f_{max})	293

Groupe II – Convertisseurs linéaires numérique-analogique (DAC)

18	Courants d'alimentation (I_{CC} et I_{EE}).....	302
19	Sensibilité de la tension de sortie (courant de sortie) ($K_{SVS(V)}$, $K_{SVS(I)}$)	306
20	Erreur d'origine (E_O et E_{ZS})	308
21	Coefficient de température de la variation de tension (α_{EO} et α_{EZS})	312
22	Erreurs de pleine résolution (E_G et E_{FS}).....	314
23	Coefficient de température de la variation de la tension d'erreur de gain et d'erreur de pleine échelle (α_{EG} et α_{EFS}).....	318
24	Erreur de linéarité d'un DAC linéaire ajustable (E_L) ($E_{L(adj)}$)	320
25	Erreur totale, erreur de précision absolue (E_T) d'un DAC linéaire non ajustable	332
26	Erreur de linéarité différentielle (E_D).....	334
27	Temps de réponse numériques (t_{sd}) (t_{dd}) (S_{VOAVd})	336
28	Temps de réponse dus à la référence (t_{sr}) (t_{dr}) (S_{VOAVr})	344

Clause		Page
Group II - Linear digital-to-analogue converters (DAC)		
18	Supply currents (I_{CC} and I_{EE}).....	303
19	Output voltage (output current) sensitivity ($K_{SVS(V)}$, $K_{SVS(I)}$)	307
20	Origin error (E_O and E_{ZS}).....	309
21	Temperature coefficient of voltage change (α_{EO} and α_{EZS})	313
22	Full resolution errors (E_G and E_{FS}).....	315
23	Temperature coefficient of voltage change for gain and full-scale error (α_{EG} and α_{EFS})	319
24	Linearity error of an adjustable linear DAC (E_L) ($E_{L(adj)}$)	321
25	Total error, absolute accuracy error (E_T) of a non-adjustable linear DAC	333
26	Differential linearity error (E_D)	335
27	Digital response times (t_{sd}) (t_{dd}) (S_{VOAVd}).....	337
28	Reference response times (t_{sr}) (t_{dr}) (S_{VOAVr})	345

LICENSED TO MECON Limited, - RANCHI/BANGALORE
 FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 4: Circuits intégrés d'interface

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60748-4 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition parue en 1987, l'amendement 1 (1991) et l'amendement 2 (1994). Cette édition constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/450/FDIS	47A/480/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette norme doit être lue conjointement avec la CEI 60747-1 et la CEI 60748-1.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
INTEGRATED CIRCUITS –****Part 4: Interface integrated circuits**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60748-4 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 1987, amendment 1 (1992) and amendment 2 (1994). This edition constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/450/FDIS	47A/480/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This standard shall be read in conjunction with IEC 60747-1 and IEC 60748-1.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 4: Circuits intégrés d'interface

1 Domaine d'application

La présente partie de la CEI 60748 donne les prescriptions pour les catégories ou sous-catégories de circuits intégrés d'interface suivantes.

Catégorie I:

- sous-catégorie A: circuits de ligne (émetteurs et récepteurs);
- sous-catégorie B: amplificateurs de lecture;
- sous-catégorie C: commandes de périphériques (y compris commandes de mémoires) et circuits de décalage de niveau;
- sous-catégorie D: comparateurs de tension.

Catégorie II:

- convertisseurs linéaires et non linéaires analogique-numérique et numérique-analogique.

Catégorie III:

- circuits de commande pour les alimentations à découpage.

Catégorie IV:

- codeurs et décodeurs de modulation d'impulsions codées compresseurs-expandeurs (MIC).

Catégorie V:

- blocs fonctionnels unitaires à circuits intégrés numériques d'interface.

Catégorie VI:

- circuits pour réseau numérique à intégration de services (RNIS).

Comme indiqué dans l'avant-propos, la présente norme est à utiliser conjointement avec la CEI 60747-1 et la CEI 60748-1, qui donnent les informations de base sur:

- la terminologie;
- les symboles littéraux;
- les valeurs limites et caractéristiques essentielles;
- les méthodes de mesure.

L'ordre des différents chapitres est conforme à 2.1 du chapitre III de la CEI 60747-1.

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 4: Interface integrated circuits

1 Scope

This part of IEC 60748 gives requirements for the following categories or subcategories of interface integrated circuits.

Category I:

- subcategory A: line circuits (transmitters and receivers);
- subcategory B: sense amplifiers;
- subcategory C: peripheral drivers (including memory drivers) and level shifters;
- subcategory D: voltage comparators.

Category II:

- linear and non-linear analogue-to-digital and digital-to-analogue converters.

Category III:

- control circuits for switch-mode power supplies.

Category IV:

- companding PCM coder-decoders (CODEC).

Category V:

- digital interface integrated circuits (UBF).

Category VI:

- integrated service digital network (ISDN).

As stated in the foreword, this standard is to be used in conjunction with IEC 60747-1 and IEC 60748-1. In these standards, the user will find all basic information on:

- terminology;
- letter symbols;
- essential ratings and characteristics;
- measuring methods.

The sequence of the different chapters is in accordance with IEC 60747-1, 2.1, chapter III.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 60748. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente partie de la CEI 60748 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60134: 1961, *Systèmes de valeurs limites pour les tubes électroniques et les dispositifs à semiconducteurs analogues*

CEI 60617-12: 1996, *Symboles graphiques pour schémas – Partie 12: Opérateurs logiques binaires*

CEI 60747: *Dispositifs à semiconducteurs – Dispositifs discrets*

CEI 60747-1: 1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Première partie: Généralités*

CEI 60748: *Dispositifs à semiconducteurs – Circuits intégrés*

CEI 60748-1: 1984, *Dispositifs à semiconducteurs – Circuits intégrés – Première partie: Généralités*

CEI 60748-2: 1985, *Dispositifs à semiconducteurs – Circuits intégrés – Deuxième partie: Circuits intégrés digitaux*

CEI 60748-3: 1986, *Dispositifs à semiconducteurs – Circuits intégrés – Troisième partie: Circuits intégrés analogiques*

UIT-T Recommandation G 712: 1993, *Caractéristiques de qualité de transmission des canaux MIC*

UIT-T Recommandation I 430: 1994, *Interface au débit de base usager-réseau – Spécification de la couche 1*

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60748. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 60748 are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60134: 1961, *Rating systems for electronic tubes and valves and analogous semiconductor devices*

IEC 60617-12: 1996, *Graphical symbols for diagrams – Part 12: Binary logic elements*

IEC 60747: *Semiconductor devices – Discrete devices*

IEC 60747-1: 1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 1: General*

IEC 60748, *Semiconductor devices – Integrated circuits*

IEC 60748-1: 1984, *Semiconductor devices – Integrated circuits – Part 1: General*

IEC 60748-2: 1985, *Semiconductor devices – Integrated circuits – Part 2: Digital integrated circuits*

IEC 60748-3: 1986, *Semiconductor devices – Integrated circuits – Part 3: Analogue integrated circuits*

ITU-T Recommendation G 712: 1993, *Transmission performance characteristics of pulse code modulation*

ITU-T Recommendation I 430: 1994, *Basic user-network interface – Layer 1 specification*

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1 **Catégorie I** (circuits de ligne, amplificateurs de lecture, commandes de périphériques [y compris commande de mémoire et circuits de décalage de niveau, comparateurs de tension])

1.1 *Termes généraux*

1.1.1 émetteur de ligne: Circuit intégré opérant comme émetteur, l'émetteur étant couplé à un récepteur par une ligne de transmission ou tout autre système de liaison électrique. L'émetteur fonctionne avec une seule borne d'entrée recevant un signal digital et fournit des signaux de sortie, soit sur une seule sortie soit sur des sorties différentielles qui peuvent être soit une tension, soit un courant.

Des possibilités d'échantillonnage peuvent aussi être comprises.

1.1.2 récepteur de ligne: Circuit intégré opérant comme récepteur, l'émetteur et le récepteur étant couplés par une ligne de transmission ou tout autre système de liaison électrique. Le récepteur accepte à l'entrée des signaux soit en tension soit en courant soit sur une seule borne d'entrée soit sur des entrées différentielles, et fournit une tension digitale à la sortie.

Des possibilités d'échantillonnage peuvent aussi être comprises.

1.1.3 amplificateur de lecture: Circuit intégré ayant une réponse pour un signal situé dans une gamme connue de tensions d'entrée et fournissant une tension de sortie digitale.

Il possède généralement une entrée différentielle et une seule sortie. Les amplificateurs de lecture peuvent avoir une ou plusieurs entrées prévues pour le réglage de la gamme de tensions d'entrée.

Des possibilités d'échantillonnage peuvent aussi être comprises.

1.1.4 commande de périphériques (y compris commande de mémoire): Circuit intégré ayant une réponse pour une tension d'entrée digitale et présentant en sortie soit une tension soit un courant sous forme digitale. Les niveaux d'entrée et de sortie peuvent ne pas être compatibles. Les circuits peuvent avoir des sorties simples ou multiples.

Des possibilités de commande peuvent être comprises.

1.1.5 circuits de décalage de niveau: Circuit intégré ayant une réponse pour une tension d'entrée digitale et présentant en sortie soit une tension, soit un courant, sous forme digitale. Les niveaux d'entrée et de sortie ne sont pas compatibles. Les circuits peuvent avoir des sorties simples ou multiples.

Des possibilités de commande peuvent aussi être comprises.

1.1.6 comparateur de tension: Circuit intégré donnant une réponse pour une tension différentielle. Il possède une sortie digitale (généralement une tension) et peut comprendre une possibilité d'échantillonnage.

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1 **Category I** (line circuits, sense amplifiers, peripheral drivers [including memory drivers] and level shifters, voltage comparators)

1.1 *General terms*

1.1.1 line transmitter: An integrated circuit operating as a transmitter, the transmitter being coupled to a receiver by a transmission line or similar electrical connection. The transmitter operates with single-ended digital voltage input and provides either single-ended or differential output signals that may be either voltage or current.

A strobe facility may also be included.

1.1.2 line receiver: An integrated circuit operating as a receiver, the receiver being coupled to a transmitter by a transmission line or similar electrical connection. The receiver accepts either voltage or current signals at the input in either single-ended or differential form, and provides a digital voltage output.

A strobe facility may also be included.

1.1.3 sense amplifier: An integrated circuit that responds to a signal within a known input voltage range (window) and that will provide a digital output voltage.

It usually has a differential input and a single-ended output. Sense amplifiers may have input(s) intended to adjust the input voltage range.

A strobe facility may also be included.

1.1.4 peripheral driver (including memory driver): An integral circuit that responds to a digital input voltage and gives a digital output, either voltage or current. The input and output levels may not be compatible. The circuit may have single or multiple outputs.

A control facility may be included.

1.1.5 level shifter: An integrated circuit that responds to a digital input voltage and gives a digital output, either voltage or current. The input and output levels are not compatible. The circuit may have single or multiple outputs.

A control facility may be included.

1.1.6 voltage comparator: An integrated circuit that responds to a differential input voltage. It gives a digital output (normally voltage) and may include a strobe facility.

1.2 Valeurs limites et caractéristiques

1.2.1 Caractéristiques d'entrée

1.2.1.1 impédance d'entrée (z_i): [2.1.10, chapitre II, CEI 60748-3]

- a) **impédance d'une entrée** (z_{is}): Entre chaque entrée et le point de référence électrique,
- b) **impédance différentielle d'entrée** (z_{id}): Entre deux entrées,
- c) **impédance d'entrée en mode commun** (z_{ic}): Entre les entrées en parallèle et le point de référence électrique.

1.2.1.2 **tension d'entrée au niveau haut** (V_{IH}): Tension d'entrée comprise dans la plus positive (la moins négative) des deux gammes de valeurs représentant les variables binaires.

1.2.1.3 **tension d'entrée au niveau bas** (V_{IL}): Tension d'entrée comprise dans la moins positive (la plus négative) des deux gammes de valeurs représentant les variables binaires.

1.2.1.4 **courant d'entrée au niveau haut** (I_{IH}): Courant circulant dans la borne d'entrée quand une tension au niveau haut est appliquée à cette entrée.

1.2.1.5 **courant d'entrée au niveau bas** (I_{IL}): Courant circulant dans la borne d'entrée quand une tension au niveau bas est appliquée à cette entrée.

1.2.1.6 **tension de décalage à l'entrée** (V_{IO}): Tension continue qui doit être appliquée entre les bornes d'entrée différentielles pour que la tension continue de sortie atteigne un niveau spécifié.

NOTE – Ce terme n'est pas applicable aux circuits ayant des caractéristiques de transfert présentant de l'hystérésis.

1.2.1.7 **courant de décalage à l'entrée** (I_{IO}): Différence entre les courants continus d'entrée circulant dans les deux bornes d'entrée différentielles qui engendre une tension continue de sortie atteignant un niveau spécifié.

NOTE – Ce terme n'est pas applicable aux circuits ayant des caractéristiques de transfert présentant de l'hystérésis.

1.2.1.8 **plage des tensions différentielles d'entrée** (V_{ID}): Plage des tensions différentielles d'entrée pour laquelle le dispositif fonctionne en accord avec sa spécification.

1.2.1.9 **tension de seuil** (cas d'entrées différentielles) (V_{IDT}): Valeur de la tension continue d'entrée différentielle qui amène la variable digitale de sortie d'un circuit (par exemple: tension, courant) à atteindre juste le niveau haut à partir d'un niveau bas ou vice versa.

NOTE – Les valeurs pour les deux sens de transition sont généralement différentes.

1.2.1.10 **courant moyen de polarisation** (I_{IB}): Moyenne arithmétique des courants circulant dans des bornes d'entrée différentielles spécifiées lorsque le dispositif est dans un état stable.

1.2.1.11 **tension d'entrée en mode commun** (V_{IC}): Moyenne des deux tensions d'entrée. [2.1.30, chapitre II, CEI 60748-3]

1.2.1.12 **tension de déclenchement à l'entrée en mode commun** (V_{ICT}): Valeur de la tension à l'entrée en mode commun pour laquelle la sortie change juste d'état, pour une tension d'entrée différentielle fixée.

1.2 Ratings and characteristics

1.2.1 Input characteristics

1.2.1.1 input impedance (z_i) [2.1.10, chapter II, IEC 60748-3].

- a) **single-ended** (z_{is}): The impedance from each input to the electrical reference point.
- b) **differential (-mode)** (z_{id}): The impedance between two inputs.
- c) **common mode** (z_{ic}): The impedance between inputs in parallel and the electrical reference point.

1.2.1.2 **high-level input voltage** (V_{IH}): An input voltage within the more positive (less negative) of the two ranges of values used to represent the binary variable.

1.2.1.3 **low-level input voltage** (V_{IL}): An input voltage within the less positive (more negative) of the two ranges of values used to represent the binary variable.

1.2.1.4 **high-level input current** (I_{IH}): The current through an input terminal when a high-level voltage is applied to that input.

1.2.1.5 **low-level input current** (I_{IL}): The current through an input terminal when a low-level voltage is applied to that input.

1.2.1.6 **input offset voltage** (V_{IO}): The d.c. voltage that must be applied between the differential input terminals to cause the d.c. output voltage to reach a specified value.

NOTE – This term is not applicable to circuits with hysteresis transfer characteristics.

1.2.1.7 **input offset current** (I_{IO}): The difference between the d.c. currents through two differential input terminals that causes the d.c. output voltage to reach a specified value.

NOTE – This term is not applicable to circuits with hysteresis transfer characteristics.

1.2.1.8 **differential-input voltage range** (V_{ID}): The range of the differential input voltage for which the device functions in accordance with its specification.

1.2.1.9 **differential-input threshold voltage** (V_{IDT}): The value of the d.c. differential input voltage that causes the digital output variable (for example, voltage, current) of the circuit to just reach the high level when changing from a low level, or vice versa.

NOTE – The values for the two directions of transition will usually be different.

1.2.1.10 **average (mean) bias current** (of an interface circuit) ($I_{IB'}$): The arithmetical average of the currents into specified differential input terminals when the device is in a quiescent state.

1.2.1.11 **common-mode input voltage** (V_{IC}): The average of the two input voltages. [2.1.30, Chapter II, IEC 60748-3]

1.2.1.12 **common-mode input triggering voltage** (V_{ICT}): The value of common-mode input voltage at which the output just changes state, for a fixed differential input voltage.

1.2.1.13 taux de réjection en mode commun (k_{CMR}): Rapport de l'amplification en tension en mode différentiel à l'amplification en tension en mode commun, dans les mêmes conditions spécifiées. [2.1.3, chapitre II, CEI 60748-3]

NOTE – L'abréviation CMR est d'un usage courant pour cette grandeur.

1.2.1.14 tension d'écroûtage à l'entrée (ou à la sortie) (V_{IK} , V_{OK}): Tension d'entrée (ou de sortie) dans une région de résistance dynamique relativement faible qui permet de limiter la dynamique de l'entrée (ou de la sortie).

1.2.1.15 taux de réjection dû à une tension d'alimentation (k_{SVR}): Valeur absolue du rapport de la variation d'une tension d'alimentation à la variation de tension de décalage à l'entrée qui en résulte, toutes les autres tensions d'alimentation demeurant constantes. [2.1.25, chapitre II, CEI 60748-3]

1.2.2 Caractéristiques de sortie

1.2.2.1 tension de sortie au niveau haut (V_{OH}): Tension à une borne de sortie qui, selon les conditions d'entrée appliquées, présente un niveau haut à la sortie.

1.2.2.2 tension de sortie au niveau bas (V_{OL}): Tension à une borne de sortie qui, selon les conditions d'entrée appliquées, présente un niveau bas à la sortie.

1.2.2.3 courant de sortie au niveau haut (I_{OH}): Courant circulant dans une borne de sortie qui, selon les conditions d'entrée appliquées, provoque un niveau haut à la sortie.

1.2.2.4 courant de sortie au niveau bas (I_{OL}): Courant circulant dans une borne de sortie qui, selon les conditions d'entrée appliquées, provoque un niveau bas à la sortie.

1.2.2.5 courant de court-circuit en sortie (I_{OS}): Courant dans une sortie quand cette sortie est court-circuitée à la masse (ou portée à tout autre potentiel spécifié).

NOTE – En principe, les conditions d'entrée spécifiées sont celles qui donnent la plus grande différence de potentiel entre la sortie et la masse (ou tout autre potentiel spécifié).

1.2.2.6 courant de blocage en sortie (état haute impédance) ($I_{O(off)}$, I_{OZ}): Courant dans une sortie, pour des conditions d'entrée spécifiées, qui amène la sortie à être bloquée (Etat haute impédance).

NOTE – En principe, les conditions d'entrée spécifiées sont celles qui provoquent le potentiel de sortie le plus éloigné du potentiel appliqué à la sortie si la sortie le permet.

1.2.3 Caractéristiques de transfert

1.2.3.1 amplification en tension en mode différentiel (A_{VD} , A_{vd}): Rapport de la variation d'amplitude de la tension de sortie à la variation d'amplitude de la tension d'entrée différentielle, dans des conditions spécifiées. [2.1.1, chapitre II, CEI 60748-3]

1.2.3.2 temps de réponse

a) pour les dispositifs à entrée analogique et à sortie digitale

1) temps de délai (t_d): Intervalle de temps entre la variation en forme de fonction échelon du niveau du signal d'entrée et l'instant où l'amplitude du signal de sortie atteint une valeur spécifiée proche de sa valeur initiale.

NOTE – Le niveau généralement spécifié pour la fin du temps de délai (le début du temps de transition) est 10 %, celui pour la fin du temps de transition (le début du temps de vacillement) est 90 %.

La différence entre les valeurs stables initiale et finale du niveau du signal de sortie correspond à 100 %. [2.1.16, chapitre II, CEI 60748-3]

1.2.1.13 common-mode rejection ratio (k_{CMR}): The ratio of the differential-mode voltage amplification to the common-mode voltage amplification, under the same specified conditions [2.1.3, chapter II, IEC 60748-3]

NOTE – The abbreviations CMR and CMRR are in common use for this quantity.

1.2.1.14 input (output) clamping voltage ($V_{\text{IK}}, V_{\text{OK}}$): An input (output) voltage in a region of relatively low differential resistance that serves to limit the input (output) voltage swing.

1.2.1.15 supply voltage rejection ratio (k_{SVR}): The absolute value of the ratio of the change in one power-supply voltage to the resulting change in input offset voltage, with all remaining power-supply voltages held constant. [2.1.25, chapter II, IEC 60748-3]

1.2.2 Output characteristics

1.2.2.1 high-level output voltage (V_{OH}): The voltage at an output terminal with input conditions applied that will establish a high level at the output.

1.2.2.2 low-level output voltage (V_{OL}): The voltage at an output terminal with input conditions applied that will establish a low level at the output.

1.2.2.3 high-level output current (I_{OH}): The current through an output terminal with input conditions applied that will establish a high level at the output.

1.2.2.4 low-level output current (I_{OL}): The current through an output terminal with input conditions applied that will establish a low level at the output.

1.2.2.5 short-circuit output current (I_{OS}): The current through an output terminal when that terminal is short-circuited to earth (ground) (or other specified potential).

NOTE – Normally, the input conditions specified are those that would establish the largest potential difference between the output and earth (ground) (or other specified terminal).

1.2.2.6 off-state (high-impedance state) output current ($I_{\text{O(off)}}, I_{\text{OZ}}$): The current through an output terminal with input conditions applied that will cause the output to be in the off-state (high-impedance state).

NOTE – Generally the input conditions specified are those that would establish an output potential, if the output enabled this, farthest from the potential applied to the output.

1.2.3 Transfer characteristics

1.2.3.1 differential-mode voltage amplification ($A_{\text{VD}}, A_{\text{vd}}$): The ratio of the change in the magnitude of the output voltage to the change in the magnitude of the differential input voltage under specified conditions. [2.1.1, chapter II, IEC 60748-3]

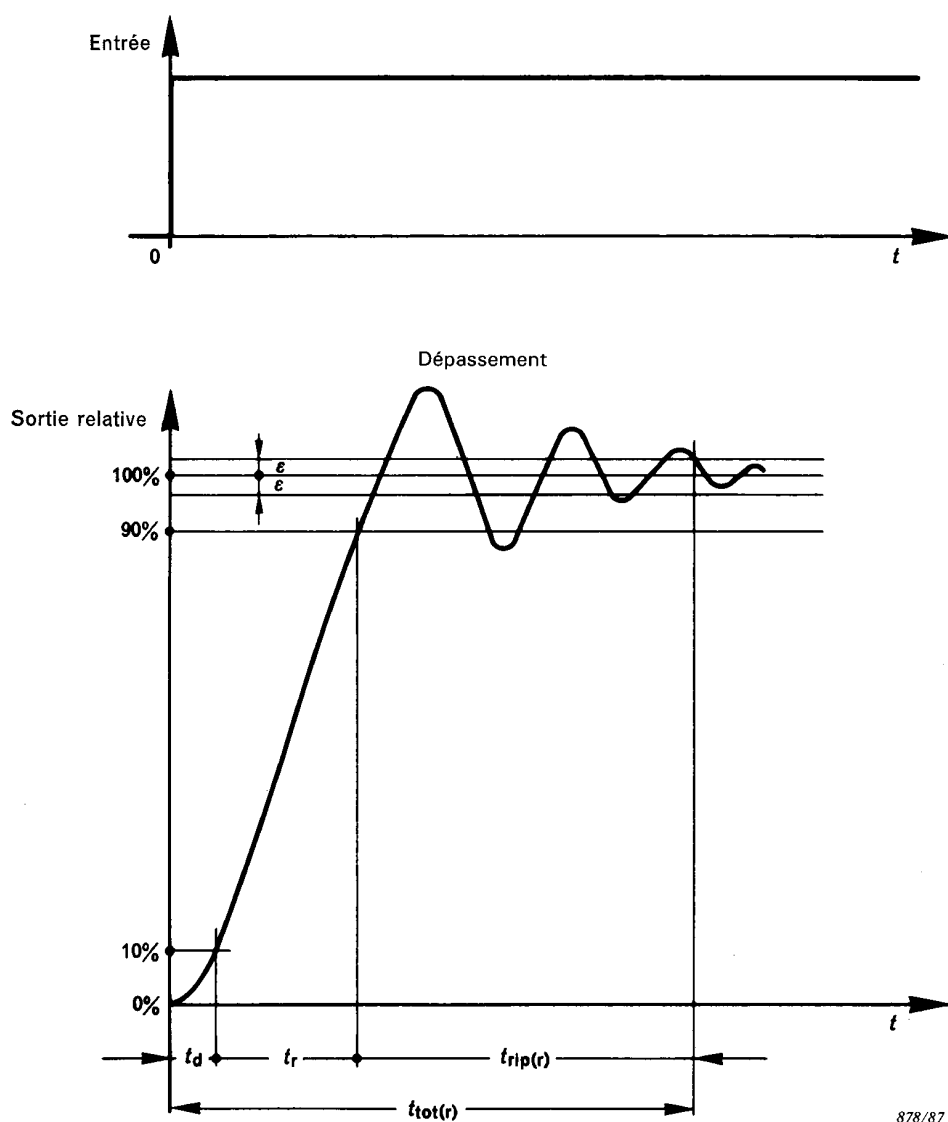
1.2.3.2 response times

a) for analogue-input, digital-output devices

1) delay time (t_{d}): The time interval between a step-function change of the input signal level and the instant at which the magnitude of the output signal passes through a specified value which is close to its initial value.

NOTE – The level normally specified for the end of the delay time (the beginning of the slope time) is 10 %. The level for the end of the slope time (the beginning of the ripple time) is 90 %.

The difference between the initial and final steady-state values of the output signal is defined as 100 %.

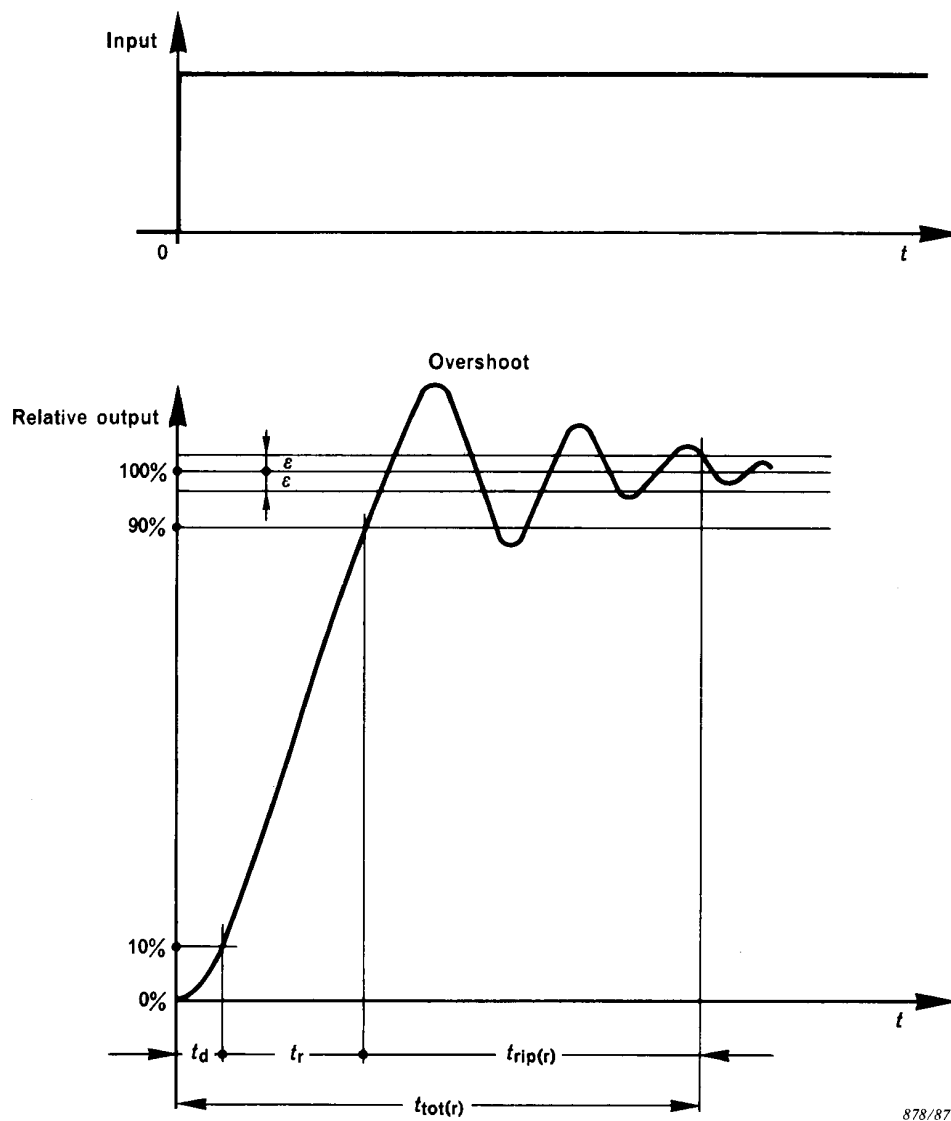


t_d = temps de délai, t_r = temps de croissance,
 t_{rip} = temps de vacillement, t_{tot} = temps de réponse total

Figure 1 – Temps de réponse

2) **temps de transition (temps de croissance, temps de décroissance) (t_r , t_f)**: Pour une variation en forme de fonction échelon du niveau du signal d'entrée, intervalle de temps entre la fin du temps de délai et l'instant où l'amplitude du signal de sortie atteint pour la première fois une valeur spécifiée proche de sa valeur finale. [2.1.17, chapitre II, CEI 60748-3]

NOTE – Voir note du point 1).



t_d = delay time, t_r = rise time, t_{rip} = ripple time, t_{tot} = total response time

Figure 1 – Response times

2) **slope time (rise time, fall time) (t_r , t_f)**: For a step-function change of the input signal level, the time interval between the end of the delay time and that instant at which the magnitude of the output signal first passes through a specified value close to its final value. [2.1.17, chapter II, IEC 60748-3]

NOTE – See note to item 1).

3) **temps de vacillement** (t_{rip}): Pour une variation en forme de fonction échelon du niveau du signal d'entrée, intervalle de temps entre la fin du temps de transition et l'instant où l'amplitude du signal de sortie atteint pour la dernière fois une gamme de niveaux spécifiés contenant le niveau final du signal de sortie.

[2.1.18, chapitre II, CEI 60748-3]

4) **temps de réponse total** (t_{tot}): Somme du temps de délai, du temps de transition et du temps de vacillement.

[2.1.20, chapitre II, CEI 60748-3]

b) Pour les dispositifs à entrée et à sortie digitale

1) **temps de propagation du niveau haut au niveau bas (du niveau bas au niveau haut)** (t_{PHL} , t_{PLH}): Intervalle de temps entre les points de référence spécifiés sur les impulsions à l'entrée et à la sortie lorsque la sortie évolue vers le niveau bas (haut) et que le dispositif est commandé et chargé par des dispositifs typiques d'un type déterminé. [1.4.7, chapitre II, CEI 60748-2]

NOTES

1 Dans certains cas, les circuits de commande et de charge peuvent être remplacés, pour les essais, par des réseaux équivalents qui doivent être spécifiés.

2 La valeur moyenne entre la limite supérieure de la gamme des valeurs du niveau bas à l'entrée et la limite inférieure de la gamme des valeurs de niveau haut à l'entrée est généralement utilisée comme niveau de référence spécifié.

2) **temps de transition du niveau haut au niveau bas (du niveau bas au niveau haut)** (t_{THL} , t_{TLH}): Intervalle de temps entre des points de référence spécifiés sur le flanc de l'impulsion de sortie, lorsque la sortie évolue vers le niveau bas (haut) et qu'un signal d'entrée spécifié est appliqué à travers un réseau spécifié, la sortie étant chargée par un autre réseau spécifié. [1.4.8, chapitre II, CEI 60748-2]

1.2.3.3 **temps de propagation d'échantillonnage**: Temps de propagation mesuré entre un point spécifié sur la forme d'onde de l'entrée d'échantillonnage ou de commande similaire et un point spécifié sur la forme d'onde de sortie.

NOTE – S'il y a lieu, ce temps comprend le temps de vacillement.

1.2.3.4 **temps de recouvrement de surcharge (entrées en mode différentiel)** (t_{ord} , voir note en 1.2.3.3): Temps nécessaire au dispositif, après la fin d'un signal d'entrée de surcharge différentielle spécifié, pour qu'il soit capable de répondre à nouveau à des tensions différentielles d'entrée, en accord avec sa spécification.

1.2.3.5 **temps de recouvrement de surcharge (entrées en mode commun)** (t_{orc} , voir note en 1.2.3.3): Temps nécessaire au dispositif, après la fin d'un signal d'entrée de surcharge en mode commun spécifié, pour qu'il soit capable de répondre à nouveau à des tensions différentielles d'entrée, en accord avec sa spécification.

2 Catégorie II (convertisseurs linéaires et non linéaires analogique-numérique et numérique-analogique)

2.1 Termes généraux

2.1.1 **convertisseur analogique-numérique (ADC)**: Convertisseur qui, pour toutes les valeurs analogiques d'entrée (comprises dans une gamme totale spécifiée), présente en sortie un nombre fini de codes numériques, chacun d'entre eux représentant une fraction de la gamme totale d'entrée (voir figure 2a).

NOTE – Cette procédure qui consiste à quantifier la sortie introduit des erreurs inhérentes de $\frac{1}{2}$ LSB (LSB = bit le moins significatif) car, dans cette fraction de la gamme totale, seule une valeur analogique (à l'entrée) peut être représentée sans erreur par un seul code numérique en sortie.

3) **ripple time** (t_{rip}): For step-function change of the input signal level, the time interval between the end of the slope time and that instant at which the magnitude of the output signal reaches, for the last time, a specified level range containing the final output signal level). [2.1.18, chapter II, IEC 60748-3]

4) **total response time** (t_{tot}): The sum of delay time, slope time and ripple time. [2.1.20, chapter II, IEC 60748-3]

b) for digital-input, digital output devices

1) **high-level to low-level (low-level to high-level) propagation time** (t_{PHL} t_{PLH}): The time interval between specified reference points on the input and on the output pulses, when the output is going to the low (high) level and when the device is driven and loaded by typical devices of stated types. [1.4.7, chapter II, IEC 60748-2]

NOTES

1 In some circumstances, the driving and the loading circuits may be replaced for test purposes by equivalent networks, which must be specified.

2 The mean value between the upper limit of the input low range and the lower limit of the input high range is generally used as the specified reference level.

2) **high-level to low-level (low-level to high-level) transition time** (t_{THL} t_{TLH}): The time interval between specified reference points on the edge of the output pulse when the output is going to the low (high) level and when a specified input signal is applied through a specified network, and the output is loaded by another specified network. [1.4.8, chapter II, IEC 60748-2]

1.2.3.3 **strobe propagation time**: The propagation time measured from a specified point on the strobe or similar control input waveform and a specified point on the output waveform.

NOTE – If applicable, this time includes ripple time.

1.2.3.4 **differential-input overload recovery time** (t_{ord} , see note to 1.2.3.3): The time necessary for the device to recover after the cessation of a specified differential overload input signal to the extent that the device can again respond to differential-input voltages in accordance with its specification.

1.2.3.5 **common-mode-input overload recovery time** (t_{orc} , see note to 1.2.3.3): The time necessary for the device to recover after the cessation of a specified common-mode overload input signal to the extent that the device can again respond to differential input voltages in accordance with its specification.

2 Category II (linear and non-linear analogue-to-digital and digital-to-analogue converters)

2.1 General terms

2.1.1 **analogue-to-digital converters** (ADC): A converter that uniquely represents all analogue input values within a specified total input range by a limited number of digital output codes, each of which exclusively represents a fractional part of the total analogue input range (see figure 2a).

NOTE – This quantization procedure introduces inherent errors of 1/2 LSB (LSB – least significant bit) in the representation since, within this fractional range, only one (input) analogue value can be represented free of error by a single digital output code.

2.1.2 processeur analogique-numérique: Circuit intégré représentant la partie analogique d'un convertisseur analogique-numérique; un certain nombre d'opérations extérieures de séquençement, de comptage et arithmétiques sont nécessaires pour réaliser un convertisseur complet analogique-numérique.

2.1.3 convertisseur numérique-analogique (DAC): Convertisseur qui, pour un nombre fini de codes numériques à l'entrée, présente en sortie un nombre correspondant de valeurs analogiques discrètes (voir figure 2b).

2.1.4 code de conversion (d'un ADC ou d'un DAC): Correspondance entre chaque fraction de la gamme totale analogique d'entrée et les codes numériques correspondants en sortie ou bien entre chaque code numérique d'entrée et les valeurs analogiques correspondantes de sortie (voir figures 2a et 2b).

2.1.5 pas (d'une conversion analogique-numérique ou numérique-analogique): Dans un code de conversion: toute correspondance particulière, dans le diagramme de transfert: toute partie du diagramme relative à une correspondance particulière.

- Pour un ADC, le pas représente à la fois une fraction de la gamme des valeurs analogiques d'entrée et le code numérique correspondant en sortie (voir figure 2a).
- Pour un DAC, le pas représente à la fois un code numérique à l'entrée et la valeur analogique discrète correspondante à la sortie (voir figure 2b).

2.1.6 valeur du milieu de pas (d'un convertisseur analogique-numérique): Valeur analogique au milieu du pas correspondant aux deux extrémités de la gamme totale des valeurs analogiques.

NOTE – Pour les extrémités de pas, la valeur du «milieu de pas» est la valeur existante lorsque la valeur analogique qui provoque la transition au pas voisin est réduite ou augmentée selon le cas de la moitié de la valeur nominale de la largeur de pas (voir figure 2a et 2.1.10).

2.1.7 valeur du pas (d'un DAC): Valeur à la sortie analogique, pour un code d'entrée numérique donné (voir figure 2b).

2.1.8 valeur nominale du milieu de pas (d'un ADC): Valeur analogique spécifiée comprise à l'intérieur d'un pas, représentée en sortie – de façon idéale et sans erreur – par le code numérique correspondant (voir figure 2a).

2.1.9 valeur nominale d'un pas (d'un DAC): Valeur spécifiée du pas représentant sans erreur le code numérique correspondant à l'entrée (voir figure 2b).

2.1.10 largeur du pas (d'un ADC): Valeur absolue de la différence entre les deux extrémités de la gamme des valeurs analogiques correspondant à un pas (voir figure 2a).

NOTE (pour le texte anglais) – Le terme "step-size" peut être utilisé à la place de "largeur du pas", si aucune ambiguïté ne peut se produire, par exemple une confusion avec le terme "hauteur du pas" d'un DAC (voir 2.1.11).

2.1.11 hauteur du pas (d'un DAC): Valeur absolue de la différence entre deux pas adjacents dans le diagramme de transfert (voir figure 2b).

NOTES

1 (pour le texte anglais): Pour les DAC compresseurs-expandeurs, le terme «step size» est généralement utilisé.

2 (pour le texte anglais): Le terme «step size» peut être utilisé à la place de «hauteur du pas» si aucune ambiguïté ne peut se produire, par exemple une confusion avec «step-size» pour «largeur du pas» d'un ADC (voir 2.1.10).

2.1.2 analogue-to-digital processor: An integrated circuit providing the analogue part of an ADC; provision of external timing, counting and arithmetic operations is necessary for implementing a full analogue-to-digital converter.

2.1.3 digital-to-analogue converter (DAC): A converter that represents a limited number of different digital input codes by a corresponding number of discrete analogue output values (see figure 2b).

2.1.4 conversion code (of an ADC or a DAC): The set of correlations between each of the fractional parts of the total analogue input range or each of the digital input codes, respectively, and the corresponding digital output codes or analogue output values, respectively (see figures 2a and 2b).

2.1.5 step (of an analogue-to-digital or digital-to-analogue conversion): In the conversion code: any of the individual correlations. In the transfer diagram: any part of the diagram equating to an individual correlation.

- For an ADC, a step represents both a fractional range of analogue input values and the corresponding digital output code (see figure 2a).
- For a DAC, a step represents both a digital input code and the corresponding discrete analogue output value (see figure 2b).

2.1.6 midstep value (of an ADC): The analogue value for the centre of the step excluding the steps at the two ends of the total range of analogue values.

NOTE – For the end steps, the midstep value is defined as the analogue value that results when the analogue value for the transition to the adjacent step is reduced or enlarged as appropriate by half the nominal value of the step width (see figure 2a and 2.1.10).

2.1.7 step value (of a DAC): The value of the analogue output representing a digital input code (see figure 2b).

2.1.8 nominal midstep value (of an ADC): A specified analogue value within a step that is ideally represented free of error by the corresponding digital output code (see figure 2a).

2.1.9 nominal step value (of a DAC): A specified step value that represents free of error the corresponding digital input code (see figure 2b).

2.1.10 step width (of an ADC): The absolute value of the difference between the two ends of the range of analogue values corresponding to one step (see figure 2a).

NOTE – The term “step size” can be used instead of “step width”, if no ambiguity is likely to occur e.g. a confusion with “step height” of a DAC (see 2.1.11).

2.1.11 step height (step size) (of a DAC): The absolute value of the difference in step value between two adjacent steps in the transfer diagram (see figure 2b).

NOTES

- 1 For companding DAC, the term “step size” is in general use.
- 2 The term “step size” can be used instead of “step height”, if no ambiguity is likely to occur e.g. a confusion with “step size” for “step width” of an ADC (see 2.1.10).

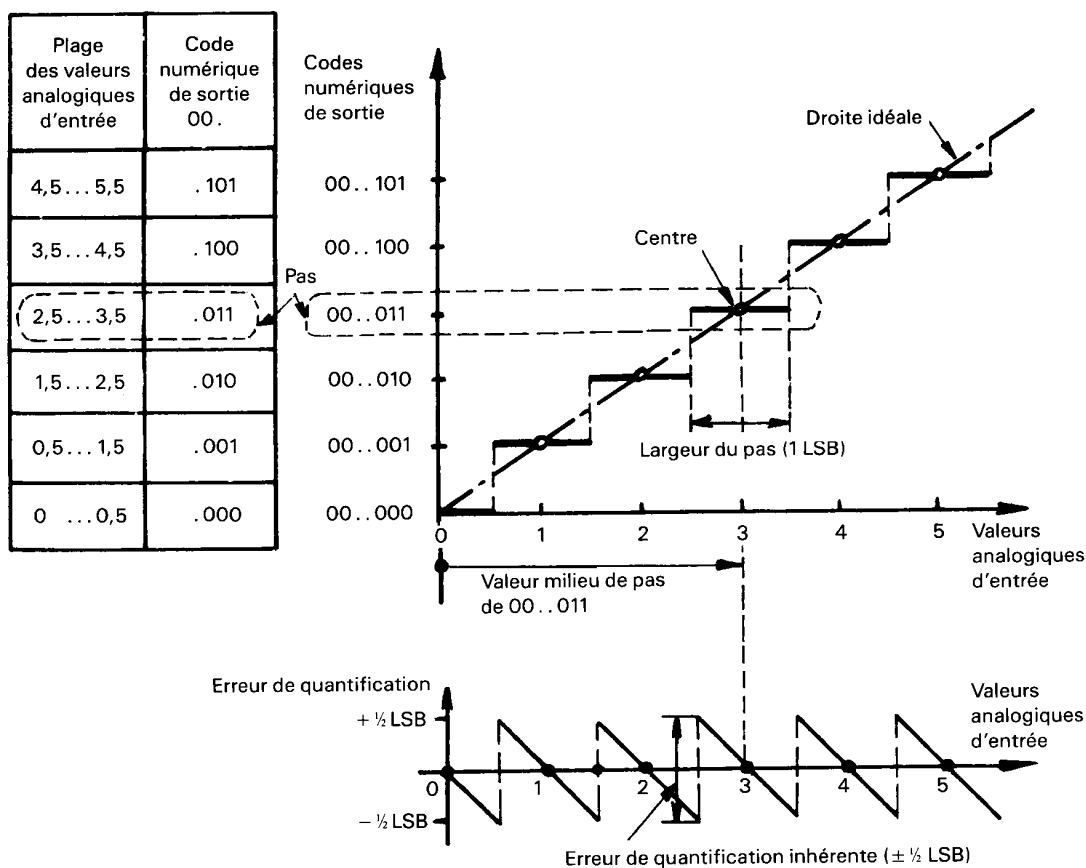


Figure 2a – ADC linéaire idéal

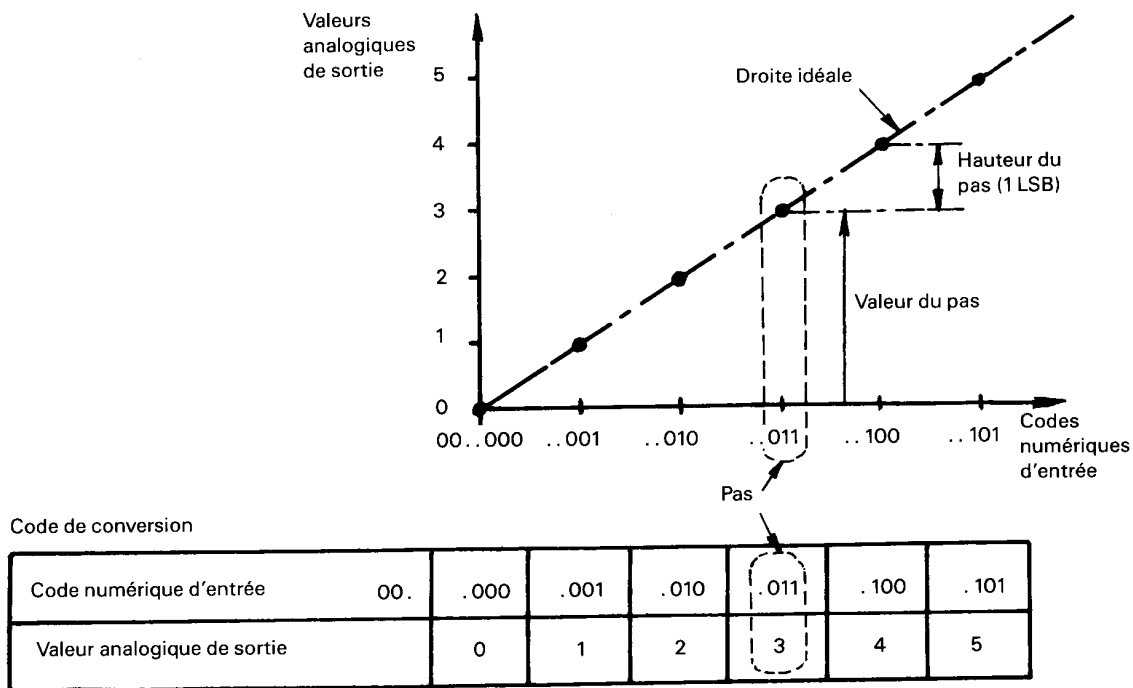


Figure 2b – DAC linéaire idéal

Figure 2 – Éléments des diagrammes de transfert

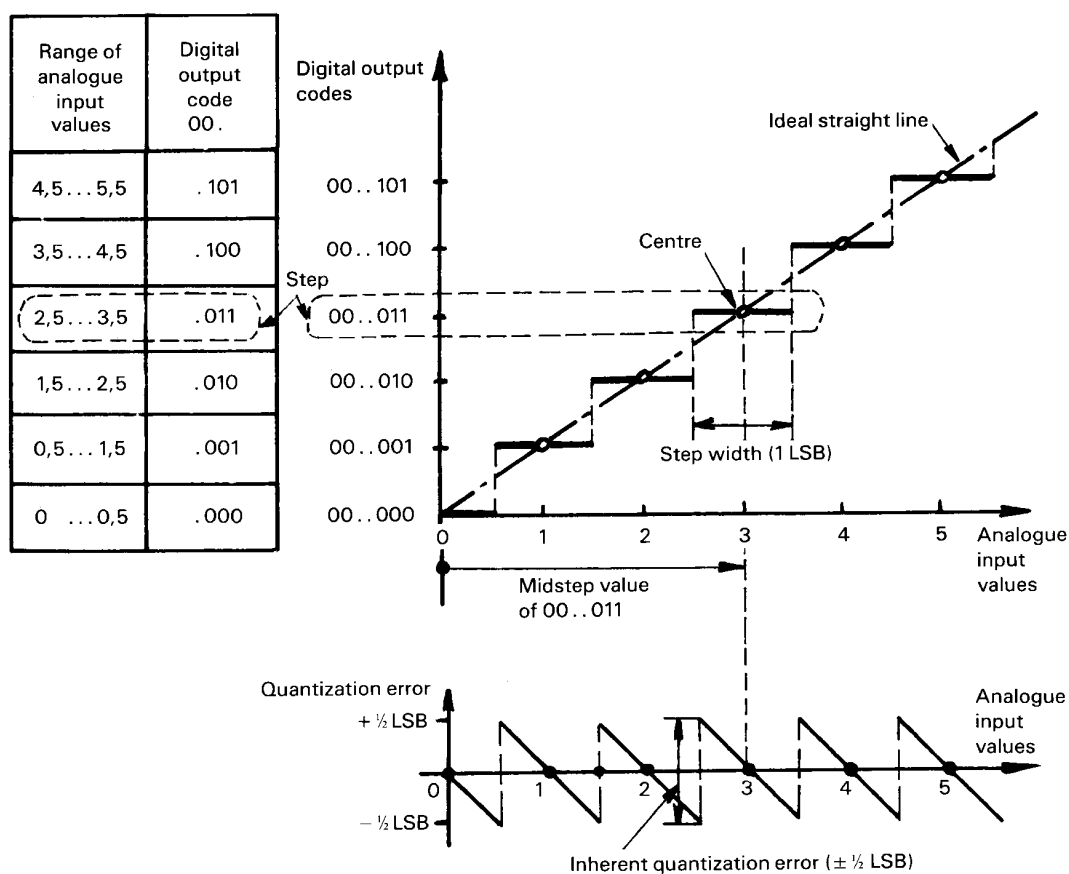


Figure 2a – Ideal linear ADC

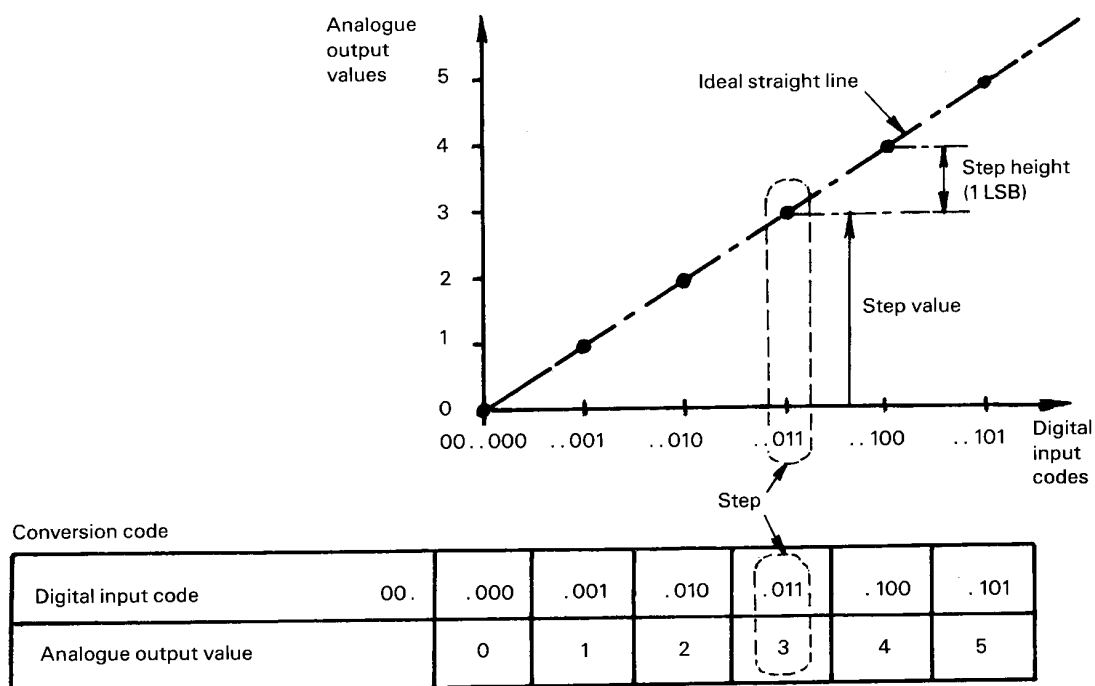


Figure 2b – Ideal linear DAC

Figure 2 – Elements of transfer diagrams

2.1.12 ADC linéaire: ADC dont la largeur idéale de tous les pas est égale, à l'exclusion des pas correspondant aux deux extrémités de la gamme totale des valeurs analogiques d'entrée.

NOTE – En principe, la largeur de chaque pas aux deux extrémités a la moitié de la largeur normale de n'importe quel autre pas (voir figure 2a).

2.1.13 DAC linéaire: DAC dont la hauteur idéale des pas est égale (voir figure 2b).

2.1.14 DAC multiplicateur: DAC ayant au moins deux entrées dont au moins une est numérique et dont la valeur analogique à la sortie est proportionnelle au produit des entrées.

2.1.15 ADC ou DAC non linéaire: ADC ou DAC ayant une caractéristique de transfert non linéaire spécifiée entre les valeurs nominales de milieu de pas ou de pas et les largeurs ou hauteurs de pas correspondantes.

NOTE – La fonction peut être non linéaire ou pseudo-linéaire de façon continue.

2.1.16 DAC «compresseur-expandeur»: DAC dont la caractéristique de transfert correspond soit à une compression, soit à une expansion.

NOTE – En général, l'ADC correspondant comprend un tel DAC compresseur-expansion et, en outre, des circuits externes.

2.1.17 droite idéale (pour un ADC ou un DAC linéaire): Dans le diagramme de transfert, droite passant par les points spécifiés correspondant aux valeurs nominales de milieu de pas ou de pas les plus positives (les moins négatives) et les plus négatives (les plus positives) (voir figures 2 et 3).

NOTE – La droite idéale passe par tous les points représentant les valeurs nominales des milieux de pas ou des pas.

2.1.18 gammes (pleine échelle) (d'un ADC ou d'un DAC linéaire) (voir figure 3)

2.1.18.1 gamme (pratique) de pleine échelle (V_{FSR} , I_{FSR}) (V_{FSRpr} , I_{FSRpr}): Gamme totale des valeurs analogiques qui correspond à la droite idéale.

NOTES

1 L'adjectif qualificatif «pratique» peut presque toujours être supprimé de ce terme, pourvu que, sauf dans de très rares cas, le terme de 2.1.18.2 ne soit pas raccourci de la même façon. On peut alors utiliser les symboles littéraux les plus courts ou des abréviations (voir note 2).

2 Au lieu des symboles littéraux, on peut utiliser les abréviations courantes «FSR, FSR(pr)».

3 La gamme (pratique) de pleine échelle n'a qu'une valeur nominale, car elle est définie par les extrémités de la droite idéale.

Exemple: Pour un code binaire à n bits correspondant à la droite idéale, on a:

- pour un ADC: $FSR = (2^n - 1) \times (\text{valeur nominale de la largeur du pas});$
- pour un DAC: $FSR = (2^n - 1) \times (\text{valeur nominale de la hauteur du pas}).$

2.1.18.2 plage nominale de pleine échelle (V_{FSRnom} , I_{FSRnom}): Plage totale des valeurs analogiques qui peut être codée théoriquement, avec une précision constante, en nombre total de pas.

NOTE – Au lieu des symboles littéraux, on peut utiliser l'abréviation «FSR(nom)».

Exemple: Pour un code binaire à n bits correspondant à la droite idéale, on a:

- pour un ADC: $FSR(nom) = (2^n) \times (\text{valeur nominale de la largeur du pas});$
- pour un DAC: $FSR(nom) = (2^n) \times (\text{valeur nominale de la hauteur du pas}).$

2.1.12 linear ADC: An ADC having steps ideally of equal width excluding the steps at the two ends of the total range of analogue input values.

NOTE – Ideally, the width of each end step is one half of the width of any other step (see figure 2a).

2.1.13 linear DAC: A DAC having steps ideally of equal height (see figure 2b).

2.1.14 multiplying DAC: A DAC having at least two inputs, at least one of which is digital, and whose analogue output value is proportional to the product of the inputs.

2.1.15 non-linear ADC or DAC: An ADC or a DAC with a specified non-linear transfer function between the nominal midstep values or nominal step values, respectively, and the corresponding step widths or step heights, respectively.

NOTE – The function may be continuously non-linear or piece-wise linear.

2.1.16 companding DAC: A DAC whose transfer function complies with compression or expansion.

NOTE – The corresponding ADC normally consists of such a corresponding DAC and additional external circuitry.

2.1.17 ideal straight line (of a linear ADC or DAC): In the transfer diagram, a straight line between the specified points for the most-positive (least-negative) and most-negative (least-positive) nominal midstep values or nominal step values, respectively (see figures 2 and 3).

NOTE – The ideal straight line passes through all the points for nominal midstep values or nominal step values, respectively.

2.1.18 full-scale ranges (of a linear ADC or DAC) (see figure 3).

2.1.18.1 (practical) full-scale range (V_{FSR} , I_{FSR}), (V_{FSRpr} , I_{FSRpr}): The total range of analogue values that correspond to the ideal straight line.

NOTES

1 The qualifying adjective “practical” can nearly always be deleted from this term provided that, in a very few critical cases, the term from 2.1.18.2 is not also shortened in the same way. This permits use of the shorter letter symbols or abbreviations (see note 2).

2 In place of the letter symbols, the abbreviation “FSR, FSR(pr)” are in common use.

3 The (practical) full-scale range has only a nominal value, because it is referred to the end points of the ideal straight line.

Example: Using a straight binary in-bit code format, it follows:

- for an ADC: $FSR = (2^n - 1) \times (\text{nominal value of step width})$
- for a DAC: $FSR = (2^n - 1) \times (\text{nominal value of step height})$.

2.1.18.2 Nominal full-scale range (V_{FSRnom} , I_{FSRnom}): The total range in analogue values that theoretically can be coded with constant accuracy by the total number of steps.

NOTE – In place of the letter symbols, the abbreviation “FSR(nom)” can be used.

Example: Using a straight binary n-bit code format, it follows:

- for an ADC: $FSR(nom) = (2^n) \times (\text{nominal value of step width})$
- for a DAC: $FSR(nom) = (2^n) \times (\text{nominal value of step height})$.

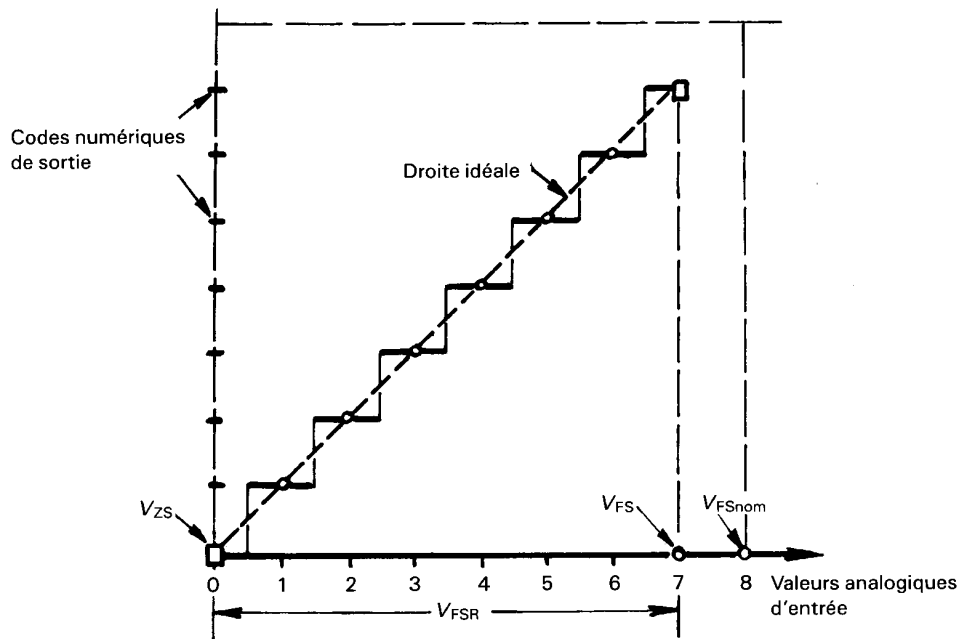


Figure 3a – ADC unipolaire

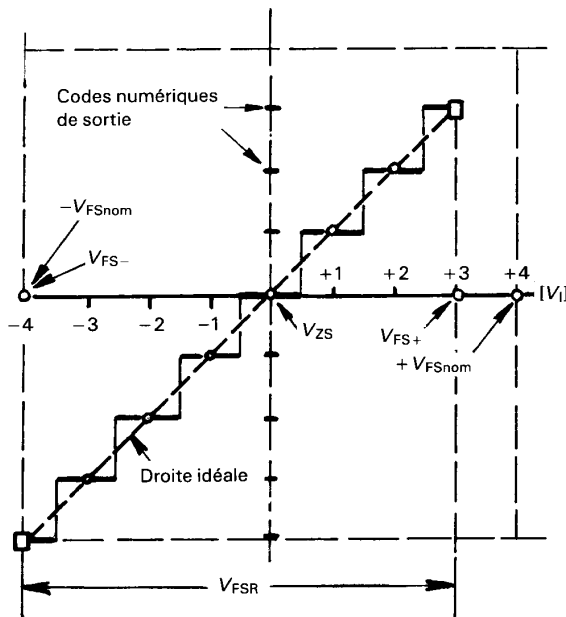


Figure 3b – ADC bipolaire avec vrai zéro

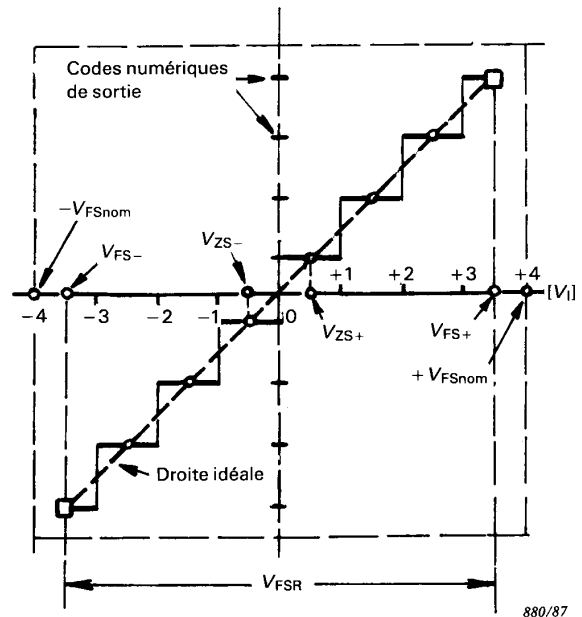


Figure 3c – ADC bipolaire sans vrai zéro

Figure 3 – Droite idéale, valeurs pleine échelle et échelle de zéro
(pour des ADC idéaux et linéaires)

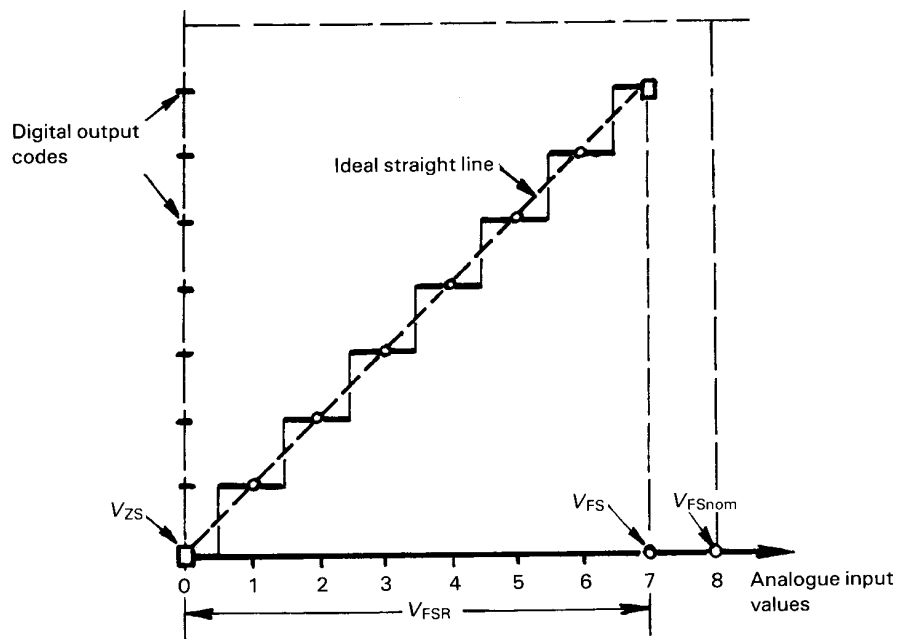


Figure 3a – Unipolar ADC

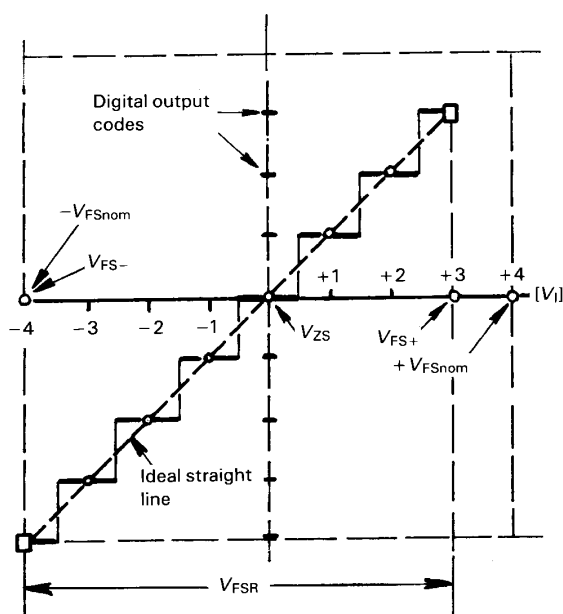


Figure 3b – Bipolar ADC with true zero

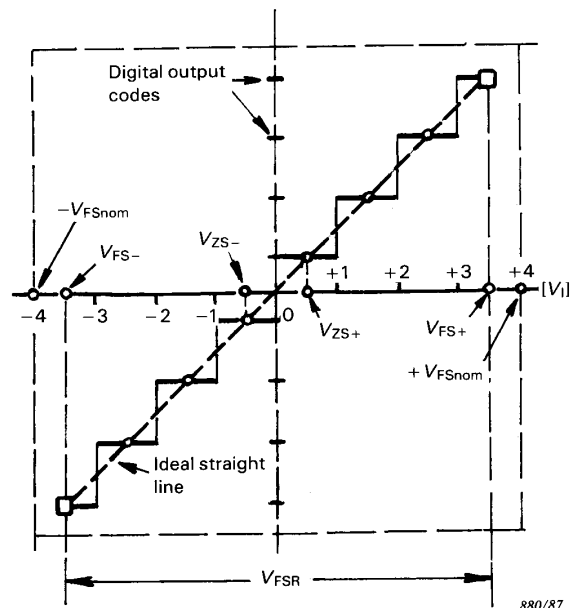


Figure 3c – Bipolar ADC with no true zero

Figure 3 – Ideal straight line, full-scale and zero-scale values
(shown for ideal linear ADC)

2.1.19 pleine échelle (d'un ADC ou d'un DAC) (voir figure 3)

2.1.19.1 pleine échelle (d'un ADC ou d'un DAC unipolaire): Terme utilisé pour indiquer une caractéristique, dans le diagramme de transfert, correspondant au pas dont la valeur nominale de milieu de pas (ou de pas) a la valeur absolue la plus élevée (voir figure 3a pour un ADC unipolaire linéaire).

NOTES

- 1 L'indice du symbole littéral d'une caractéristique à pleine échelle est «FS».
- 2 Au lieu du symbole littéral, on peut utiliser l'abréviation «FS».

2.1.19.2 pleine échelle positive et pleine échelle négative (d'un ADC ou d'un DAC bipolaire). Termes utilisés pour indiquer une caractéristique correspondant à l'une ou à l'autre des deux extrémités du diagramme de transfert, c'est-à-dire aux pas dont les valeurs nominales de milieu de pas ou de pas ont les valeurs absolues les plus élevées (voir figures 3b et 3c) pour les ADC bipolaires linéaires.

NOTES

- 1 Les indices du symbole littéral indiquant ces conditions de fonctionnement sont:
«FS+» pour la pleine échelle positive (V_{FS+} , I_{FS+}),
«FS-» pour la pleine échelle négative (V_{FS-} , I_{FS-}).
- 2 Au lieu du symbole littéral, on peut utiliser les abréviations «FS+ et FS-».

2.1.20 échelle de zéro (d'un ADC ou d'un DAC) (voir figure 3)

2.1.20.1 échelle de zéro (d'un ADC ou d'un DAC ayant un vrai zéro) (voir figures 3a, 3b et 3c): Terme utilisé pour indiquer une caractéristique correspondant au pas dont la valeur nominale de milieu de pas ou de pas est nulle.

NOTES

- 1 L'indice du symbole littéral d'une caractéristique correspondant à l'échelle de zéro est «ZS».
- 2 Au lieu du symbole littéral, on peut utiliser l'abréviation «ZS».

2.1.20.2 échelle de zéro positive et échelle de zéro négative (d'un ADC ou d'un DAC sans vrai zéro) (voir figure 3c): Termes utilisés pour indiquer une caractéristique correspondant à l'un ou l'autre des deux pas les plus proches du zéro analogique, c'est-à-dire aux pas dont la valeur nominale de milieu de pas ou de pas ont les plus faibles valeurs absolues.

NOTES

- 1 Les indices du symbole littéral des caractéristiques indiquant ces conditions de fonctionnement sont:
«ZS+» pour la pleine échelle positive (V_{ZS+} , I_{ZS+}),
«ZS-» pour la pleine échelle négative (V_{ZS-} , I_{ZS-}).
- 2 Au lieu du symbole littéral, on peut utiliser les abréviations «ZS+ et ZS-».

2.1.21 valeur nominale de pleine échelle (V_{FSnom} , I_{FSnom}): Valeur liée à la gamme nominale de pleine échelle:

- pour un convertisseur unipolaire: $V_{FSnom} = V_{FSRnom}$
- pour un convertisseur bipolaire: $V_{FSnom} = 1/2 V_{FSRnom}$

(voir figure 3).

NOTES

- 1 Dans quelques catalogues, on utilise cette valeur analogique comme valeur de référence pour les réglages ou comme valeur arrondie pour la gamme de pleine échelle.
- 2 Au lieu des symboles littéraux, on peut utiliser l'abréviation «FS(nom)».

2.1.19 full scale (of an ADC or a DAC) (see figure 3)

2.1.19.1 full scale (of an unipolar ADC or DAC): A term used to refer a characteristic to that step within the transfer diagram whose nominal midstep value or nominal step value has the highest absolute value (see figure 3a for a linear unipolar ADC).

NOTES

- 1 The subscript for the letter symbol of a characteristic at full scale is "FS".
- 2 In place of a letter symbol, the abbreviation "FS" is in common use.

2.1.19.2 positive full scale and negative full scale (of a bipolar ADC or DAC): Terms used to refer a characteristic to one or the other of the two ends of the transfer diagram, that is, to the steps whose nominal midstep values or nominal step values have the highest absolute values (see figures 3b and 3c for bipolar linear ADC).

NOTES

- 1 The subscripts for the letter symbol of characteristics indicating these operating conditions are:
"FS+" for positive full scale (V_{FS+} , I_{FS+});
"FS–" for negative full scale (V_{FS-} , I_{FS-}).
- 2 In place of letter symbols, the abbreviations "FS+" and "FS–" are in common use.

2.1.20 zero scale (of an ADC or a DAC) (see figure 3)

2.1.20.1 zero scale (of an ADC or a DAC with true zero) (see figures 3a, 3b and 3c): A term used to refer a characteristic to the step whose nominal midstep value or nominal step value equals zero.

NOTES

- 1 The subscript for the letter symbol of a characteristic at zero scale is "ZS".
- 2 In place of a letter symbol, the abbreviation "ZS" is in common use.

2.1.20.2 positive zero scale and negative zero scale (of an ADC or a DAC with no true zero) (see figure 3c): Terms used to refer a characteristic to one or the other of the two steps closest to analogue zero, that is, to the steps whose nominal midstep value or nominal step value have the two lowest absolute values.

NOTES

- 1 The subscripts for the letter symbols of characteristics indicating these operating conditions are:
"ZS+" for positive zero scale (V_{ZS+} , I_{ZS+});
"ZS–" for negative zero scale (V_{ZS-} , I_{ZS-}).
- 2 In place of letter symbols, the abbreviations "ZS+" and "ZS–" are in common use.

2.1.21 nominal full-scale value (V_{FSnom} , I_{FSnom}): A value derived from the nominal full scale range:

- for an unipolar converter: $V_{FSnom} = V_{FSRnom}$;
- for a bipolar converter: $V_{FSnom} = 1/2 V_{FSRnom}$

(see figure 3).

NOTES

- 1 In some data sheets, this analogue value is used as a reference value for adjustment procedures or as a rounded value for the full-scale range(s).
- 2 In place of letter symbols, the abbreviation "FS(nom)" is in common use.

2.1.22 caractéristiques de décalage

2.1.22.1 point correspondant au décalage (d'un ADC ou d'un DAC réglable): Dans le diagramme de transfert, point correspondant à la valeur du milieu de pas (pour les convertisseurs analogique-numérique) ou à la valeur du pas (pour les convertisseurs numérique-analogique) pour lequel l'erreur de décalage est spécifiée; cette dernière peut être compensée par un réglage approprié (voir figure 4).

NOTE – Ce réglage provoque seulement un déplacement de la caractéristique de transfert parallèlement à elle-même, sans en modifier la pente.

2.1.22.2 courant de sortie de décalage (d'un DAC): Courant de sortie au point correspondant au décalage.

2.1.23 point correspondant au gain (d'un ADC ou d'un DAC réglable): Dans le diagramme de transfert, point correspondant à la valeur du milieu de pas (pour un ADC ou du pas (pour un DAC) d'un pas pour lequel on spécifie l'erreur de gain; cette dernière peut être compensée par un réglage approprié (voir figure 4).

NOTE – Le réglage du gain provoque seulement une modification de la pente de la caractéristique de transfert, sans modifier l'erreur de décalage.

2.1.24 gain (à l'intérieur du diagramme de transfert d'un ADC linéaire) (G): La pente de la droite du diagramme de transfert, ou d'une partie spécifiée de celle-ci, exprimée comme étant le quotient d'une variation de la quantité numérique de sortie, indiquée en nombre de pas, par la variation de la quantité analogique à l'entrée la produisant.

2.1.25 gain (à l'intérieur du diagramme de transfert d'un DAC linéaire) (G): La pente de la droite du diagramme de transfert, ou d'une partie spécifiée de celle-ci, exprimée comme étant le quotient d'une variation de la quantité analogique de sortie par la variation de la quantité d'entrée numérique, indiquée en nombre de pas, la produisant.

2.1.26 valeur de transition (d'un ADC) (V_{tr} , I_{tr}): La valeur d'entrée analogique pour laquelle s'effectue la variation entre deux codes adjacents à la sortie numérique.

2.2 Fonctionnement statique

2.2.1 résolution (terme général) (voir notes)

NOTES

- 1 La résolution est un paramètre de conception; elle ne peut avoir qu'une valeur nominale.
- 2 La résolution en tant que possibilité peut s'exprimer de différentes façons (voir 2.2.2, 2.2.3 et 2.2.4).
- 3 Les différents termes peuvent être abrégés en «résolution» s'il n'y a pas risque d'ambiguïté (par exemple, lorsque le terme est suivi de sa dimension).

2.2.1.1 résolution (dans le cas d'un ADC): Finesse avec laquelle il est possible de distinguer des valeurs presque égales de la grandeur analogique d'entrée.

2.2.1.2 résolution (dans le cas d'un DAC): Finesse avec laquelle il est possible d'obtenir des valeurs presque égales de la grandeur analogique de sortie.

2.2.2 résolution (numérique): Nombre (n) de chiffres, dans le système de numération choisi, nécessaire pour exprimer le nombre total de pas.

NOTES

- 1 Le système de numération est généralement le système binaire ou le système décimal.
- 2 Dans le système de numération décimale codée en binaire, «1/2 chiffre» représente un chiffre décimal supplémentaire ayant la valeur de la position la plus élevée, mais limité aux valeurs décimales «0» ou «1».

2.1.22 offset characteristics

2.1.22.1 offset point (of an adjustable ADC or DAC): A point in the transfer diagram corresponding to the midstep value (for an ADC) or the step value (for a DAC) of the step for which the offset error is specified, and by reference to which the offset adjustment must be performed (see figure 4).

NOTE – The offset adjustment causes only a parallel displacement of the transfer diagram, without changing its slope.

2.1.22.2 offset output current (of a DAC): The output current at the offset point.

2.1.23 gain point (of an adjustable ADC or DAC): A point in the transfer diagram corresponding to the midstep value (for an ADC) or the step value (for a DAC) of the step for which the gain error is specified, and in reference to which the gain adjustment is performed (see figure 4).

NOTE – Gain adjustment causes only a change of the slope of the transfer diagram, without changing the offset error.

2.1.24 gain (within the transfer diagram of a linear ADC) (G): The slope of the straight line of the transfer diagram, or of a specified part of it expressed as the quotient of a change in digital output quantity, stated as number of steps, by the change in analogue input quantity producing it.

2.1.25 gain (within the transfer diagram of a linear DAC) (G): The slope of the straight line of the transfer diagram or of a specified part of it expressed as the quotient of a change in analogue output quantity, by the change in digital input quantity, stated as number of steps, producing it.

2.1.26 transition value (of an ADC) (V_{tr} , I_{tr}): The analogue input value at which the change between two adjacent digital output codes takes place.

2.2 Static performance

2.2.1 resolution (*general term*) (see notes)

NOTES

- 1 Resolution is a design parameter, having only a nominal value.
- 2 Resolution as a capability can be expressed in different forms (see 2.2.2, 2.2.3 and 2.2.4).
- 3 The terms for these different forms may all be shortened to “resolution” if no ambiguity is likely to occur (for example, when the dimension of the term is also given).

2.2.1.1 resolution of an ADC: The degree to which nearly equal values of the analogue input quantity can be distinguished.

2.2.1.2 resolution of a DAC: The degree to which nearly equal values of the analogue output quantity can be produced.

2.2.2 (numerical) resolution: The number (n) of digits in the chosen numbering system necessary to express the total number of steps.

NOTES

- 1 The numbering system is normally a binary or a decimal system.
- 2 In the binary-coded-decimal numbering system, “1/2 digit” is understood to be an additional decimal digit with the highest positional value, but limited to the decimal figures “0” or “1”.

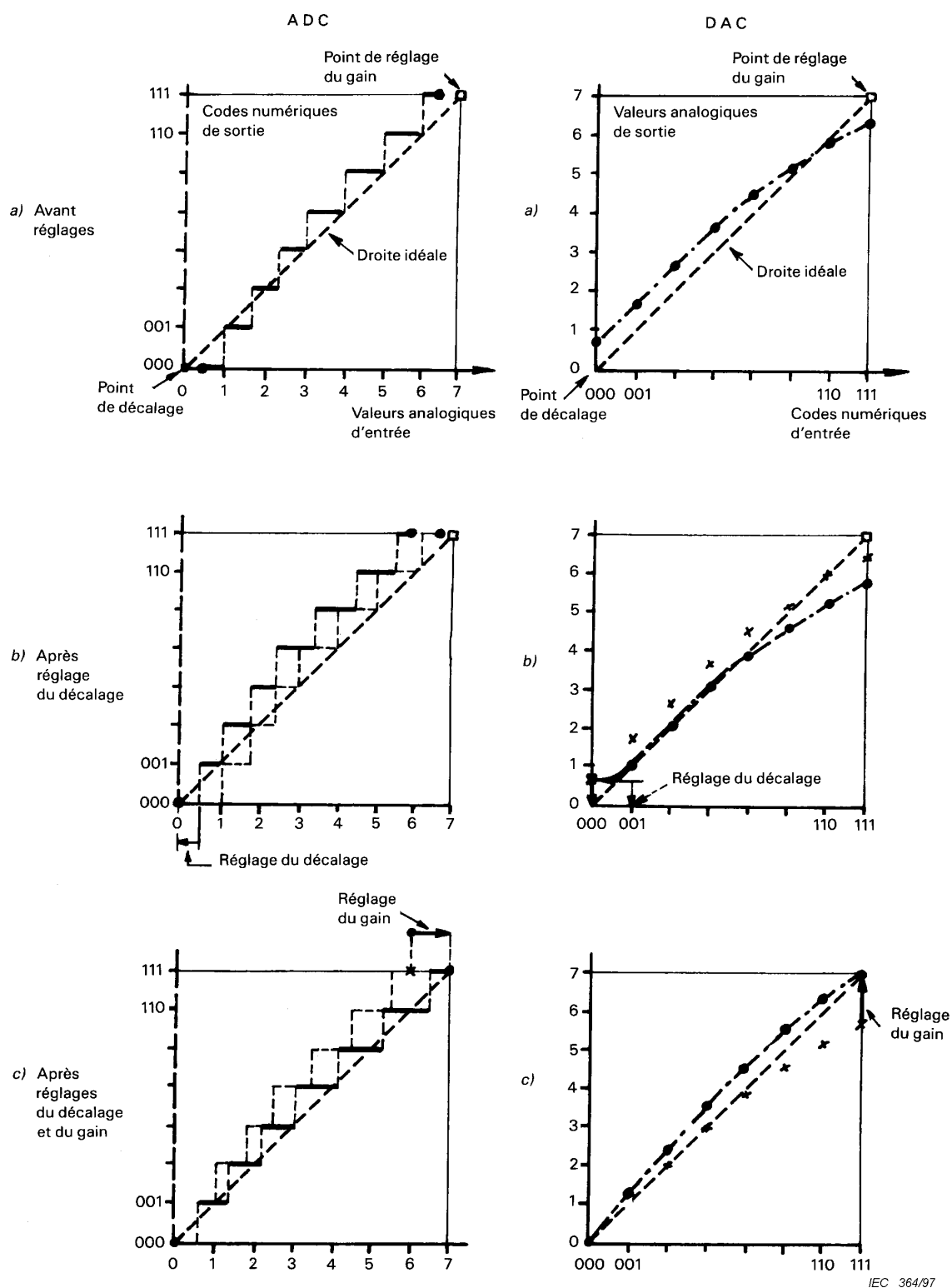


Figure 4 – Réglage des points correspondant au décalage et au gain

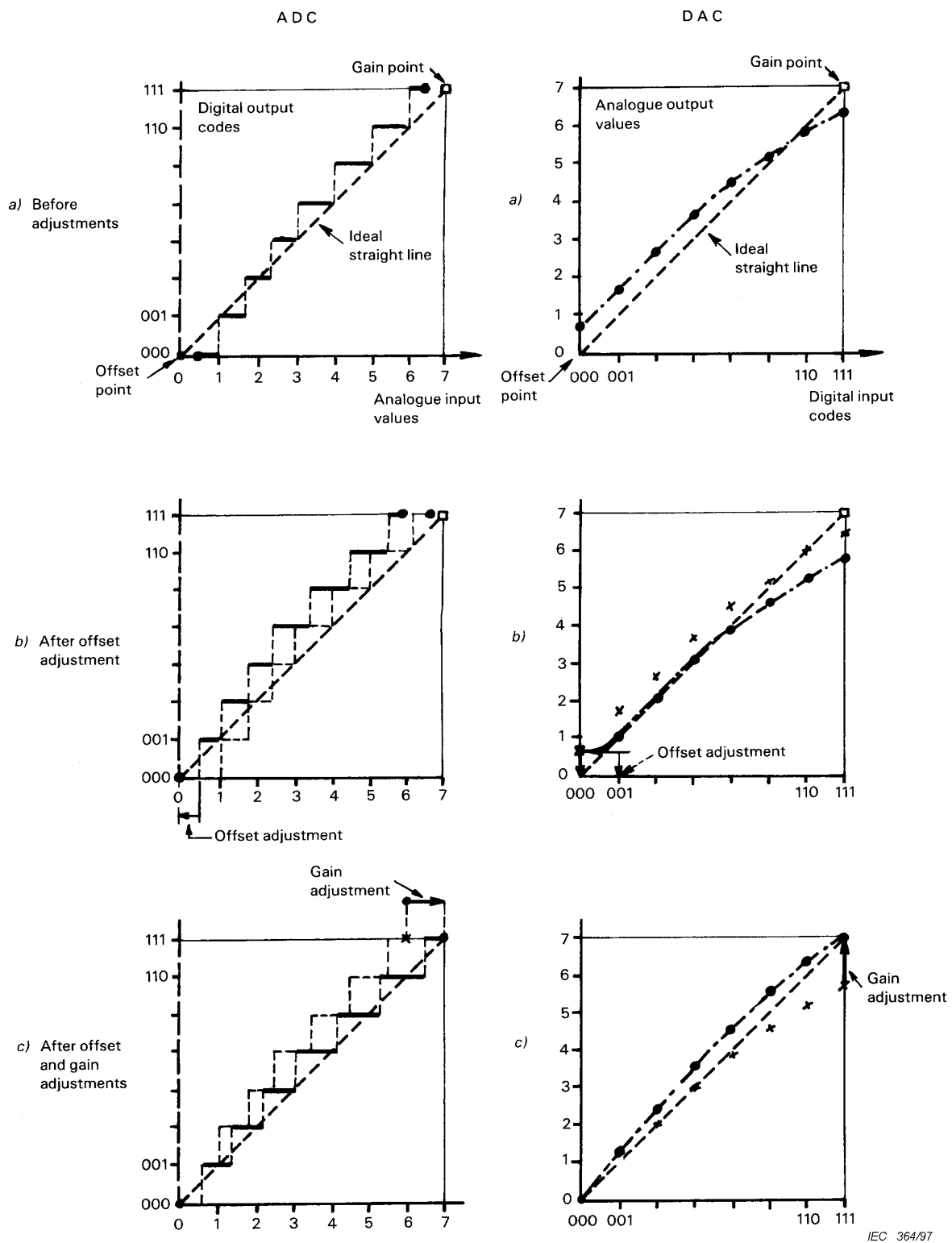


Figure 4 – Adjustment in offset point and gain point

2.2.3 résolution (analogique)

2.2.3.1 résolution (analogique) (d'un ADC ou d'un DAC linéaire ou non linéaire):

- Pour un ADC: Valeur nominale de la largeur du pas.
- Pour un DAC: valeur nominale de la hauteur du pas.

NOTE – Pour un ADC ou un DAC linéaire, la valeur constante de la résolution analogique sert souvent d'unité de référence: LSB (voir 2.2.3.2.1).

2.2.3.2 LSB

NOTE – Cette abréviation peut avoir deux significations. Dans la pratique, la signification se déduit du contexte dans lequel elle est utilisée.

2.2.3.2.1 symbole unité LSB (pour les convertisseurs linéaires seulement): Symbole pour la valeur de la résolution analogique d'un convertisseur linéaire servant d'unité de référence pour les autres grandeurs analogiques du même convertisseur, en particulier des erreurs analogiques, comme multiples ou sous-multiples de la valeur de la résolution analogique.

Exemple: «1/2 LSB» signifie: grandeur analogique égale à 0,5 fois la résolution analogique.

NOTE – Le symbole LSB provient du fait que, pour un code naturel binaire, la résolution analogique correspond au poids nominal attribué au bit le moins significatif (en anglais: «least significant bit») du nombre binaire.

Dans ce cas, l'identité 1 LSB = résolution analogique, conduit, pour une résolution de n bits à:

$$1 \text{ LSB} = \frac{\text{FSR}}{2^n - 1} = \frac{\text{FSR}(\text{nom})}{2^n}$$

2.2.3.2.2 abréviation LSB: C'est, en anglais, l'abréviation de «least significant bit» (bit le moins significatif), c'est-à-dire du bit de moindre poids pour un nombre binaire naturel.

Exemple: Pour le nombre naturel binaire 1010, le chiffre «0» situé à droite est le bit le moins significatif (LSB).

2.2.4 résolution (relative) (d'un ADC ou d'un DAC linéaire): Rapport de la résolution analogique à la gamme de pleine échelle (pratique ou nominale).

NOTE – Ce rapport s'exprime généralement en pourcentage de la plage de pleine échelle (% FSR, % FSR(nom)). Pour les résolutions élevées (valeur élevée de n), il est peu important que ce rapport soit relatif à la gamme pratique ou à la gamme nominale de pleine échelle.

2.2.5 Erreurs, précision

NOTE – Les définitions de 2.2.5 considèrent que les erreurs sont la différence entre la valeur réelle et la valeur nominale de la grandeur analogique. Celles-ci peuvent donc s'exprimer en unités conventionnelles (par exemple, en millivolts) ou en multiples ou sous-multiples de 1 LSB. Une erreur peut aussi s'exprimer en valeur relative, par exemple en «% de FSR». Dans ce cas, il est d'usage courant d'utiliser le même terme que pour la valeur analogique.

2.2.5.1 erreur de quantification inhérente (d'un ADC idéal): Dans un pas, écart maximal possible (positif ou négatif) entre la valeur analogique réelle d'entrée et la valeur nominale du milieu de pas.

NOTES

- 1 Cette erreur est due intrinsèquement à la quantification. Pour un convertisseur linéaire analogique-numérique, sa valeur est égale à $\pm 1/2$ LSB (voir figure 5a).
- 2 Le terme «erreur de résolution» pour «erreur de quantification inhérente» est déconseillé, car la «résolution» est un paramètre de conception qui n'est, de ce fait, représenté que par une valeur nominale.

2.2.3 (analogue) resolution

2.2.3.1 (analogue) resolution (of linear or non-linear ADC or DAC):

- For an ADC: the nominal value of the step width.
- For a DAC: the nominal value of the step height.

NOTE – For a linear ADC or DAC, the constant magnitude of the analogue resolution is often used as a reference unit: LSB (see 2.2.3.2.1).

2.2.3.2 LSB

NOTE – This letter group can have two meanings. In practice, the intended meaning is clarified by the context in which the letter group LSB is used.

2.2.3.2.1 unit symbol LSB (for linear converters only): Unit symbol for the magnitude of the analogue resolution of a linear converter, which serves as a reference unit to express the magnitude of other analogue quantities of that same converter, especially of analogue errors, as multiples or submultiples of the magnitude of the analogue resolution.

Example: “1/2 LSB” means an analogue quantity equal to 0,5 times the analogue resolution.

NOTE – The unit symbol LSB refers to the fact that, for a natural binary code, the analogue resolution corresponds to the nominal positional weight attributed to the least significant bit of the binary numeral.

In this case, the identity: 1 LSB = analogue resolution leads, for a n-bit resolution to:

$$1 \text{ LSB} = \frac{\text{FSR}}{2^n - 1} = \frac{\text{FSR}(\text{nom})}{2^n}$$

2.2.3.2.2 abbreviation LSB: Abbreviation for “least significant bit”, that is, for the bit that has the lowest positional weight in a natural binary numeral.

Example: In the natural binary numeral “1010”, the rightmost bit “0” is the LSB.

2.2.4 (relative) resolution (of a linear ADC or DAC): The ratio between the analogue resolution and the full scale range (practical or nominal).

NOTE – This ratio is normally expressed as a percentage of the full scale range (% of FSR, % of FSR(nom)). For high resolutions (high value of n), it is of small importance whether this ratio refers to the practical or nominal full-scale range.

2.2.5 errors, accuracy

NOTE – The definitions of 2.2.5 describe the errors as the difference between the actual value and the nominal value of the analogue quantity. As such they may be expressed in conventional units (for example, millivolts) or as multiples/submultiples of 1 LSB. An error can also be expressed as a relative value, for example, in “% of FSR”. In this case, it is common practice to use the same term as for the analogue value.

2.2.5.1 inherent quantization error (of an ideal ADC): Within a step, the maximum (positive or negative) possible deviation of the actual analogue input value from the nominal midstep value.

NOTES

- 1 This error is inherently due to quantization. For a linear ADC, its value equals $\pm 1/2$ LSB (see figure 5a).
- 2 The term “resolution error” for the “inherent quantization error” is deprecated, because “resolution” as a design parameter has a nominal value only.

2.2.5.2 erreur de décalage (d'un ADC ou d'un DAC linéaire) (E_0): Différence, au milieu de pas (ou au pas) entre les valeurs réelle et nominale (voir figure 5a).

NOTES

- 1 En général, les pas spécifiés pour l'erreur de décalage et l'erreur de gain sont les pas aux extrémités de la gamme pratique de pleine échelle. Pour un ADC, on définit la valeur du milieu de pas comme la valeur pour un point situé à $\frac{1}{2}$ LSB de la transition adjacente (voir figures 5a et 5b).
- 2 Les termes «erreur de décalage» et «erreur de gain» ne sont employés que pour des erreurs qui peuvent être annulées. Sinon, on utilise les termes «erreur d'échelle de zéro» et «erreur de pleine échelle».

2.2.5.3 erreur de gain (d'un ADC ou d'un DAC linéaire) (E_G): Différence, au milieu de pas (ou au pas) entre les valeurs réelle et nominale dans le diagramme de transfert, au point de gain spécifié, après correction de l'erreur de décalage (voir figure 5b).

NOTE – Voir notes 1 et 2 de 2.2.5.2.

2.2.5.4 erreur de linéarité (d'un ADC ou d'un DAC linéaire et réglable)

2.2.5.4.1 erreur de linéarité (aux points terminaux) (d'un ADC linéaire et réglable) (E_L): Ecart entre la valeur analogique réelle à la transition entre deux pas adjacents et sa valeur idéale, après annulation des erreurs de décalage et de gain (voir figure 6a).

NOTES

- 1 Le terme abrégé «erreur de linéarité» est couramment utilisé lorsqu'il n'y a pas risque de confusion avec «erreur de linéarité par rapport à la meilleure droite (voir 2.2.5.4.3).
- 2 L'erreur de linéarité ne comprend pas l'erreur de quantification inhérente d'un ADC. La valeur idéale pour la transition correspond à la valeur nominale du milieu de pas $\pm 1/2$ LSB.

2.2.5.4.2 erreur de linéarité (aux points terminaux) (d'un DAC linéaire et réglable) (E_L): Ecart entre la valeur réelle et la valeur nominale du pas, après annulation des erreurs de décalage et de gain (voir figure 6a).

NOTE – Le terme abrégé «erreur de linéarité» est couramment utilisé lorsqu'il n'y a pas risque de confusion avec «erreur de linéarité par rapport à la meilleure droite» (voir 2.2.5.4.4).

2.2.5.4.3 erreur de linéarité par rapport à la meilleure droite (d'un ADC linéaire et réglable) ($E_{L(adj)}$): Différence entre la valeur réelle analogique et la valeur idéale à la transition entre deux pas adjacents, après correction des erreurs de décalage et de gain dans le but de minimiser cette différence (soit positive, soit négative) (voir figure 6b).

NOTES

- 1 L'erreur de quantification inhérente n'est pas comprise dans l'erreur de linéarité par rapport à la meilleure droite d'un ADC. La valeur idéale pour la transition correspond à la valeur nominale du milieu de pas $\pm 1/2$ LSB.
- 2 Pour un diagramme de transfert régulièrement incurvé, les valeurs à chaque extrémité sont égales à la moitié de la valeur absolue apparente de l'erreur de linéarité aux points terminaux (voir figure 6b).

2.2.5.4.4 erreur de linéarité par rapport à la meilleure droite (d'un DAC linéaire et réglable) ($E_{L(adj)}$): Différence entre la valeur de pas réelle et la valeur nominale, après correction des erreurs de décalage et de gain dans le but de minimiser cette différence (soit positive, soit négative) (voir figure 6b).

NOTE – Pour un diagramme de transfert régulièrement incurvé, les valeurs à chaque extrémité sont égales à la moitié de la valeur absolue apparente de l'erreur de linéarité aux points terminaux (voir figure 6b).

2.2.5.2 offset error (of a linear ADC or DAC) (E_0): The difference between the actual midstep value (or step value) respectively, and the nominal midstep value (or step value), respectively (see figure 5a).

NOTES

- 1 Usually the specified steps for the specification of offset error and gain error are the steps at the ends of the practical full-scale range. For an ADC, the midstep value of these steps is defined as the value for a point 1/2 LSB apart from the adjacent transition (see figures 5a and 5b).
- 2 The terms “offset error” and “gain error” will only be used for errors that can be adjusted to zero. Otherwise, the term “zero-scale error” and “full-scale error” will be used.

2.2.5.3 gain error (of a linear ADC or DAC) (E_G): The difference between the actual midstep value (or step value), respectively, and the nominal midstep value or step value, respectively, in the transfer diagram at the specified gain point, after the offset error has been adjusted to zero (see figure 5b).

NOTE – See notes 1 and 2 to 2.2.5.2.

2.2.5.4 linearity error (of a linear and adjustable ADC or DAC)

2.2.5.4.1 (end-points) linearity error (of a linear and adjustable ADC) (E_L): The difference between the actual analogue value at the transition between any two adjacent steps and its ideal value, after offset error and gain error have been adjusted to zero (see figure 6a).

NOTES

- 1 The short term “linearity error” is in common use when no ambiguity with the “best-straight-line linearity error” (2.2.5.4.3) is likely to occur.
- 2 The inherent quantization error is not included in the linearity error of an ADC. The ideal value for the transition corresponds to the nominal midstep value $\pm 1/2$ LSB.

2.2.5.4.2 (end-points) linearity error (of a linear and adjustable DAC) (E_L): The difference between the actual step value and the nominal step value, after offset error and gain error have been adjusted to zero (see figure 6a).

NOTE – The short term “linearity error” is in common use when no ambiguity with the “best-straight-line linearity error” (2.2.5.4.4) is likely to occur.

2.2.5.4.3 best-straight-line linearity error (of a linear and adjustable ADC) ($E_{L(adj)}$): The difference between the actual analogue value at the transition between any two adjacent steps and its ideal value, after offset error and gain error have been adjusted to minimize the extreme values of this difference (either positive or negative) (see figure 6b).

NOTES

- 1 The inherent quantization error is not included in the best-straight-line linearity error of an ADC. The ideal value for the transition corresponds to the nominal midstep value $\pm 1/2$ LSB.
- 2 For an uniformly curved transfer diagram, the extreme values will yield half of the apparent absolute value of the end-points linearity error (see figure 6b).

2.2.5.4.4 best-straight-line linearity error (of a linear and adjustable DAC) ($E_{L(adj)}$): The difference between the actual step value and the nominal step value, after offset error and gain error have been adjusted to minimize the extreme value of this difference (either positive or negative) (see figure 6b).

NOTE – For an uniformly curved transfer diagram, the extreme values will yield half of the apparent absolute value of the end-points linearity error (see figure 6b).

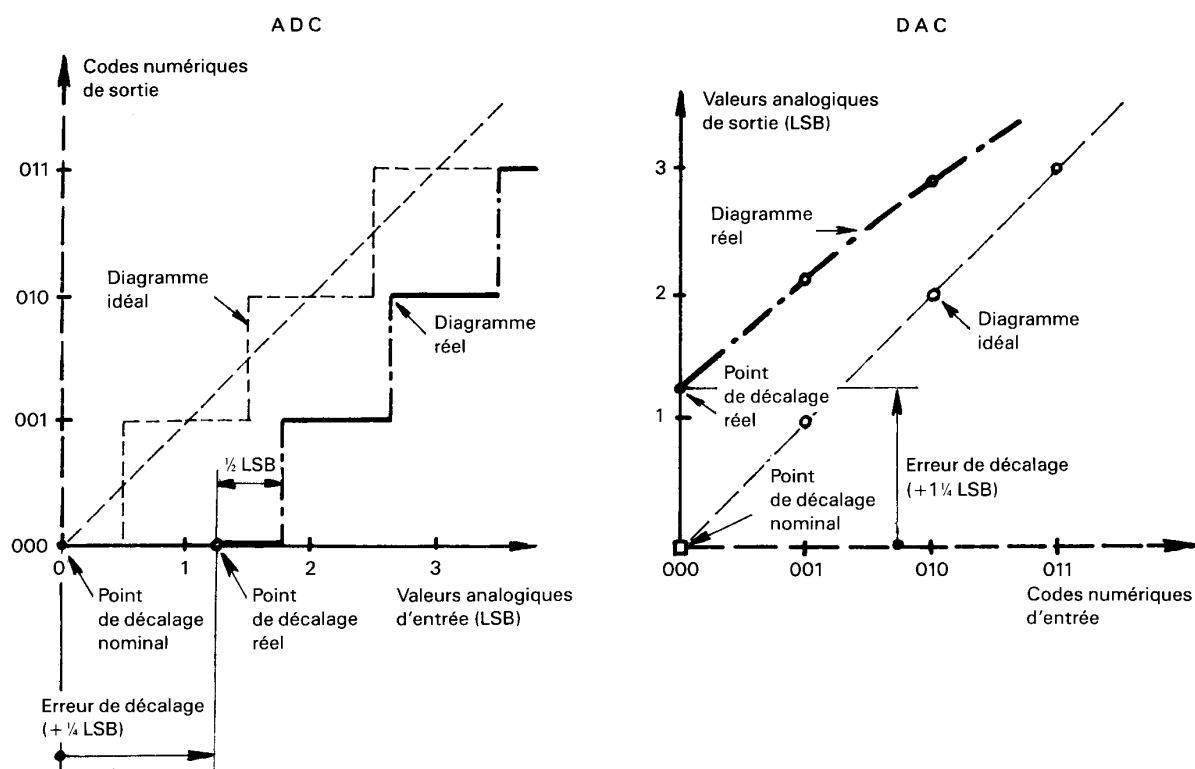


Figure 5a – Erreur de décalage (spécifiée au pas 000)

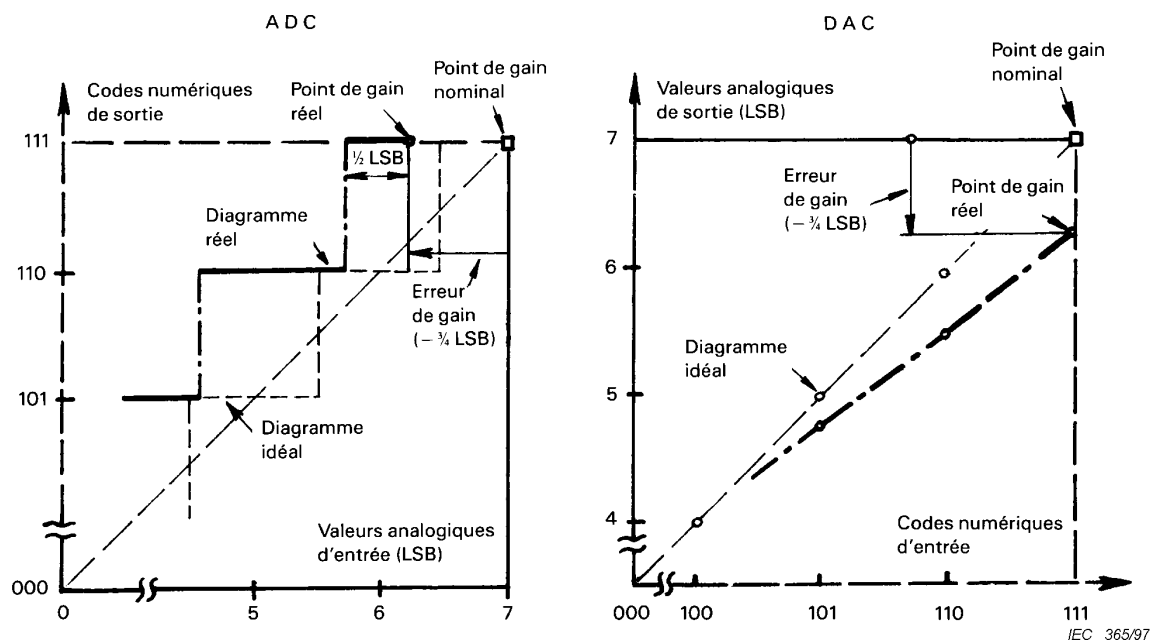


Figure 5b – Erreur de gain (après correction de l'erreur de décalage) (spécifiée au pas 111)

Figure 5 – Erreur de décalage, erreur de gain (d'un convertisseur linéaire 3 bits codé naturel binaire)

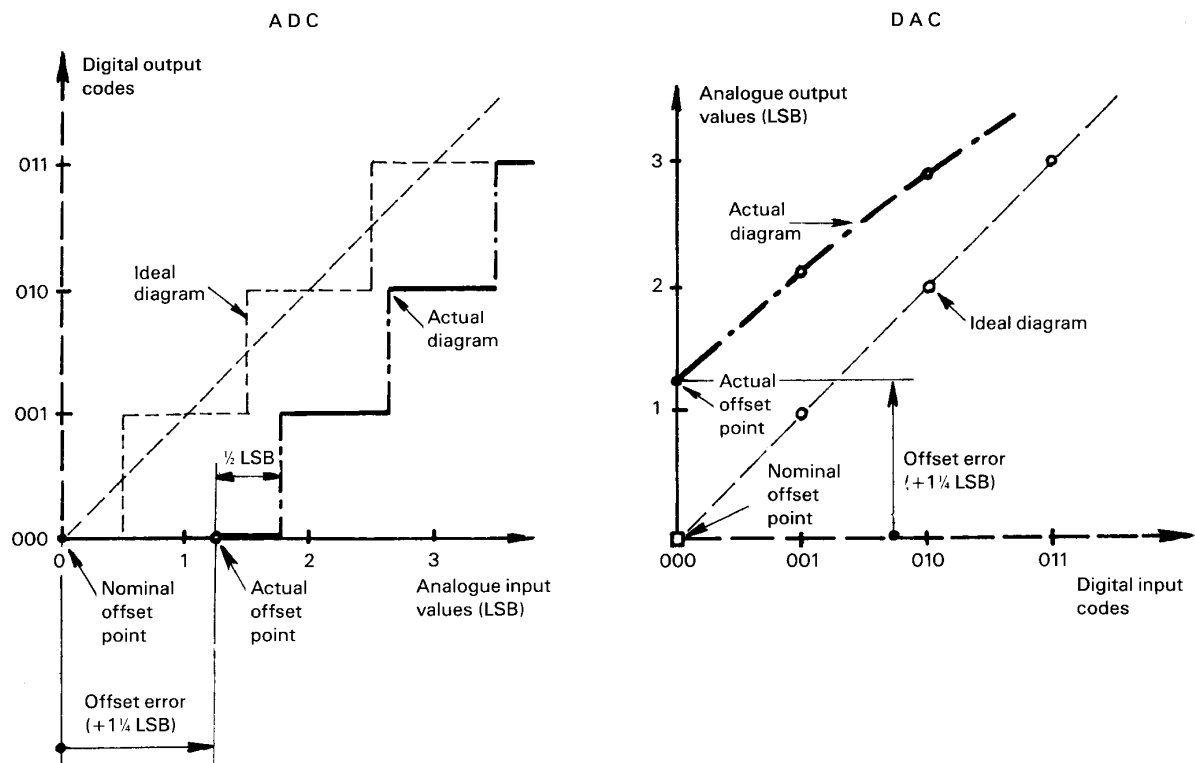


Figure 5a – Offset error (specified at step 000)

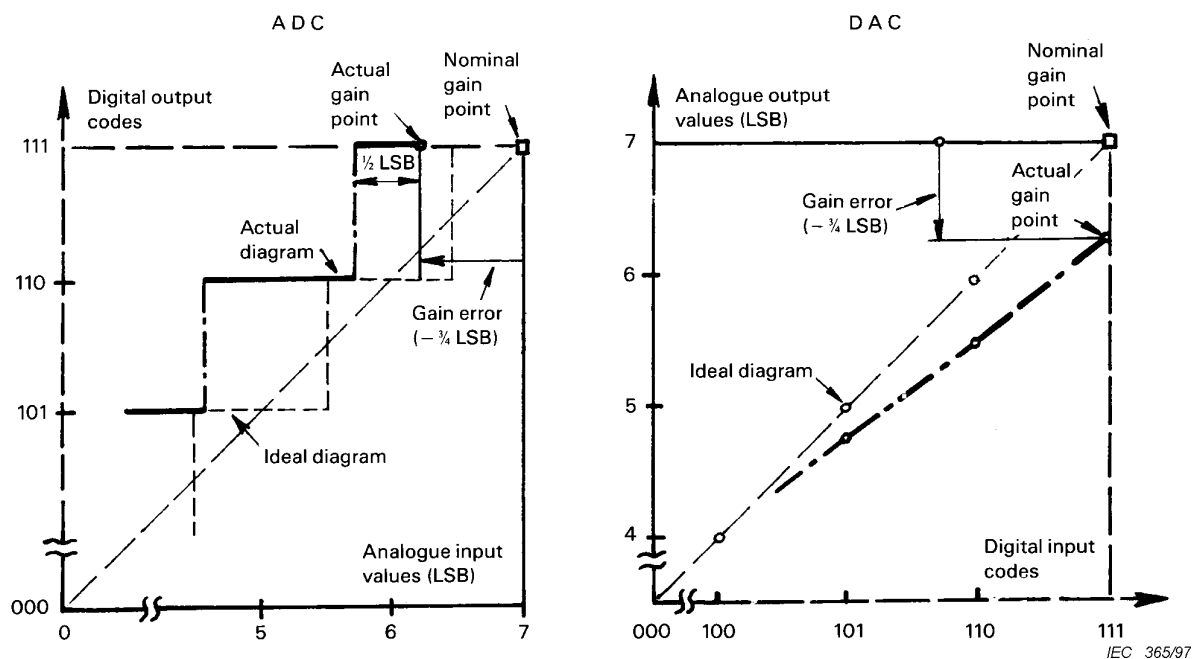


Figure 5b – Gain error (after correction of the offset error) (specified at step 111)

Figure 5 – Offset error, gain error (of a linear 3-bit natural binary-coded converter)

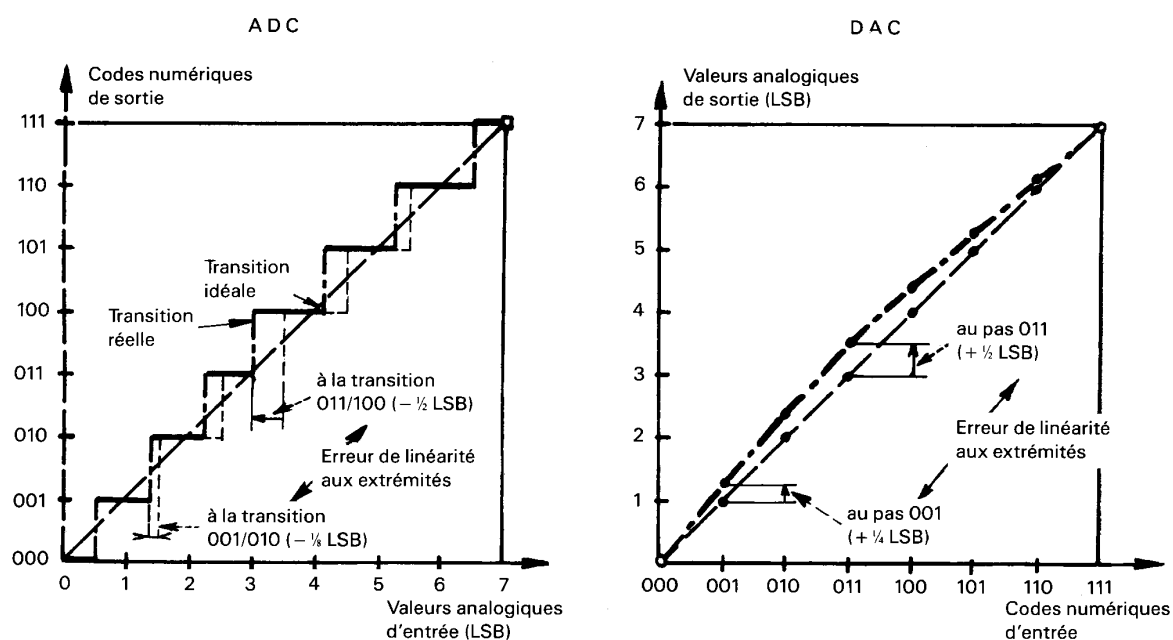


Figure 6a – Erreur de linéarité aux extrémités d'un palier
(une fois annulées les erreurs de décalage et de gain)

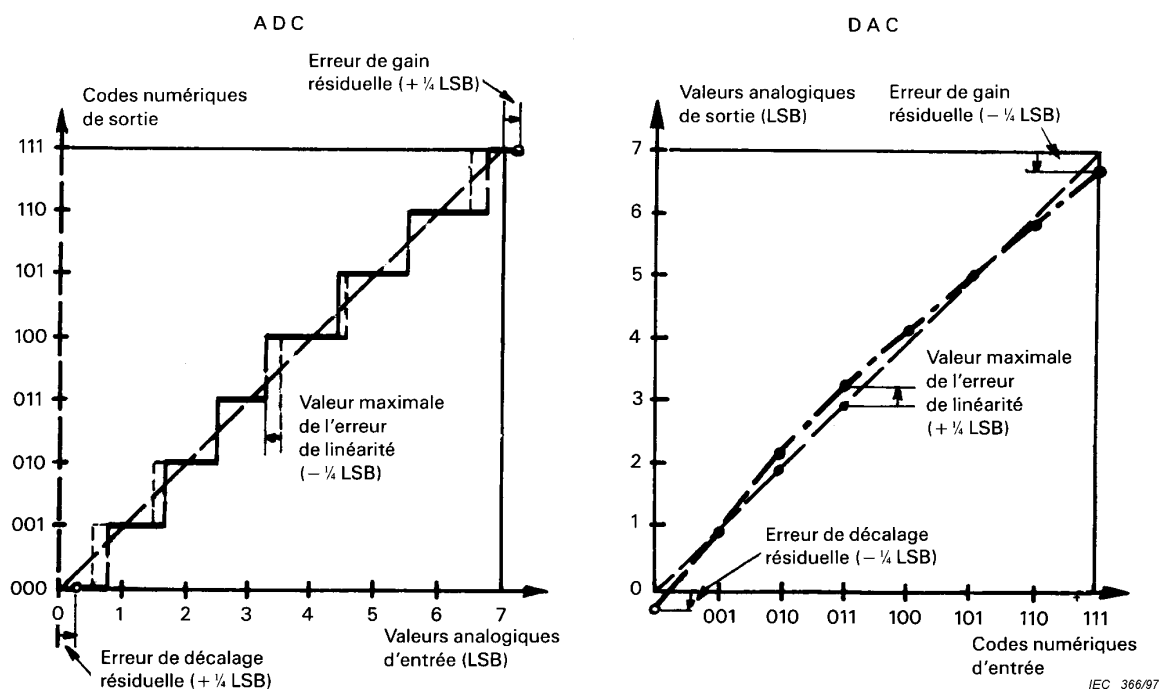


Figure 6b – Erreur de linéarité par rapport à la meilleure droite
(valeurs comprises entre $\pm 1/4$ LSB)

Figure 6 – Erreurs de linéarité (d'un convertisseur linéaire 3 bits codé naturel binaire)

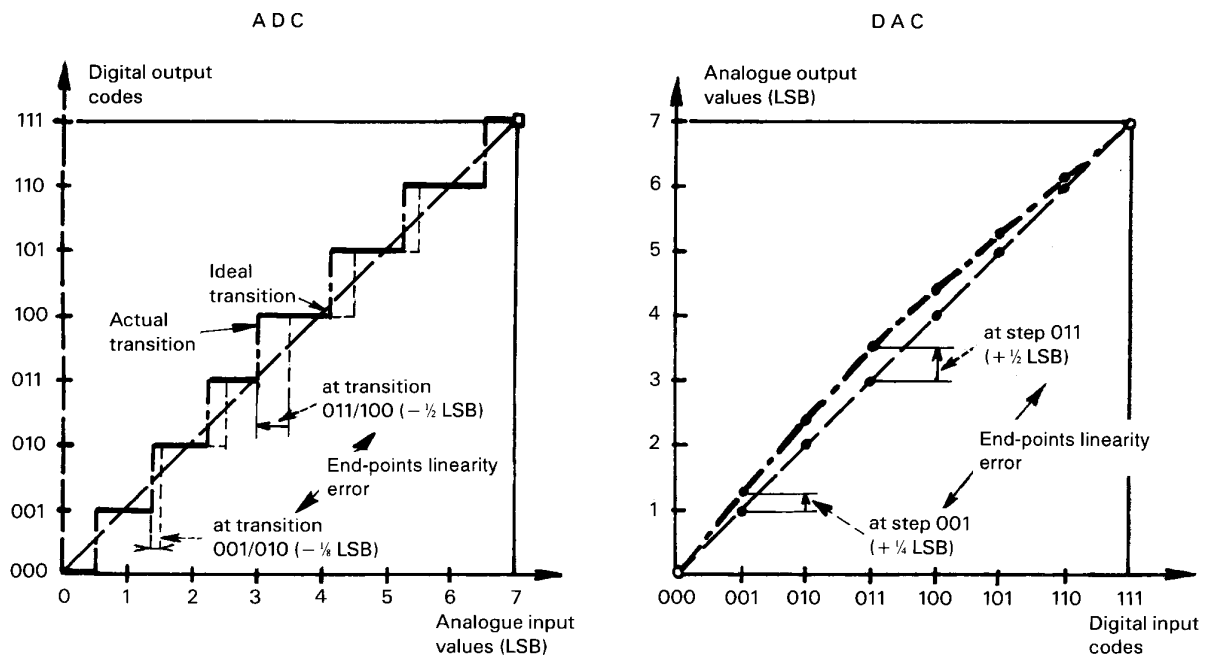


Figure 6a – End-points linearity error of a linear ADC or DAC
(offset error and gain error are adjusted to the value zero)

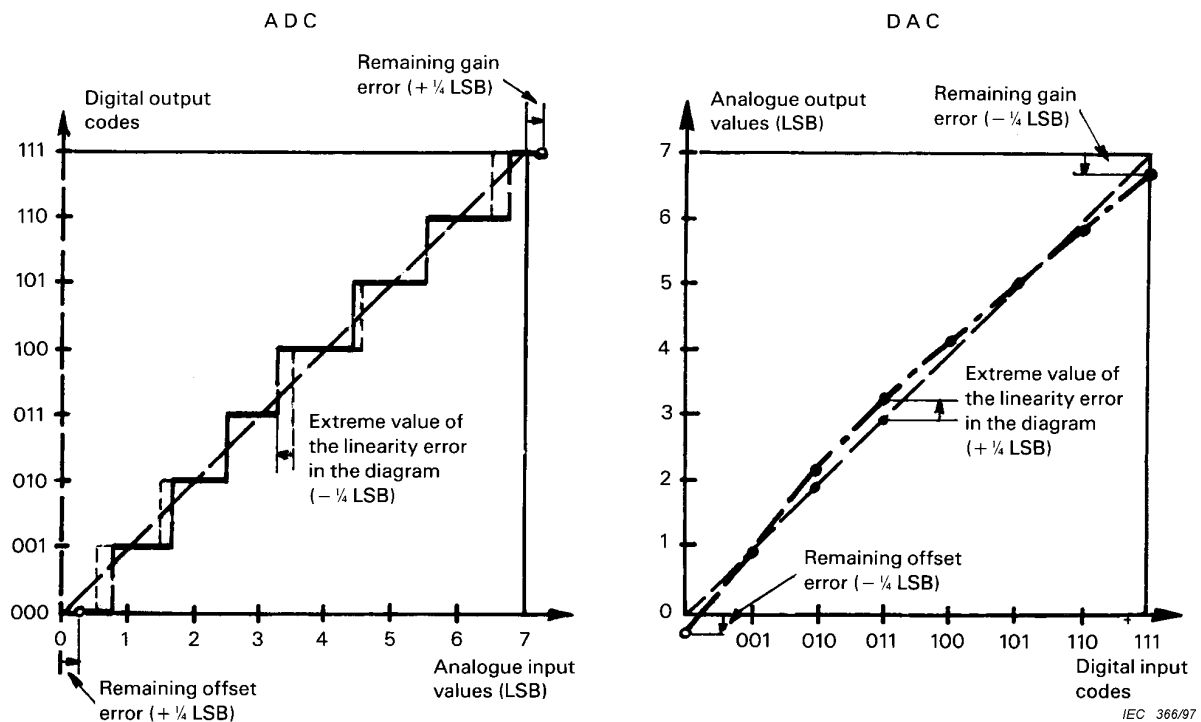


Figure 6b – Best-straight-line linearity error (values between $\pm 1/4$ LSB)

Figure 6 – Linearity errors (of a linear, 3-bit natural binary-coded converter)

2.2.5.5 erreur de linéarité différentielle (d'un ADC ou d'un DAC linéaire) (E_D): Ecart entre la valeur réelle de la largeur – ou de la hauteur – du pas et la valeur idéale (1 LSB) (voir figure 7).

NOTE – Une erreur de linéarité différentielle supérieure à 1 LSB peut conduire à des codes absents pour un ADC ou à une non-monotonicité pour un DAC (voir figures 8 et 9).

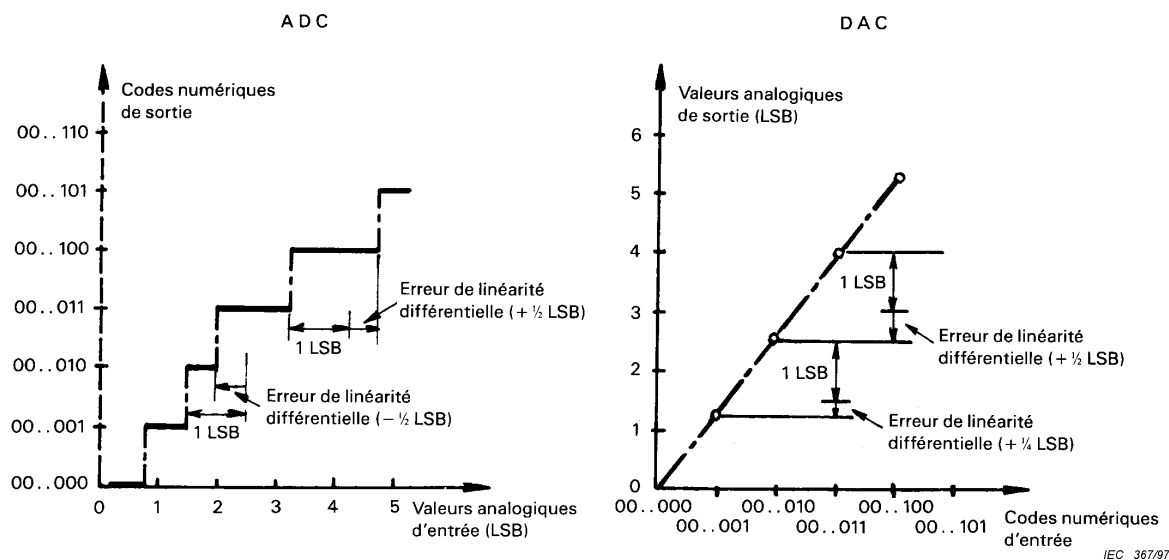


Figure 7 – Erreur de linéarité différentielle (d'un ADC ou d'un DAC linéaire)

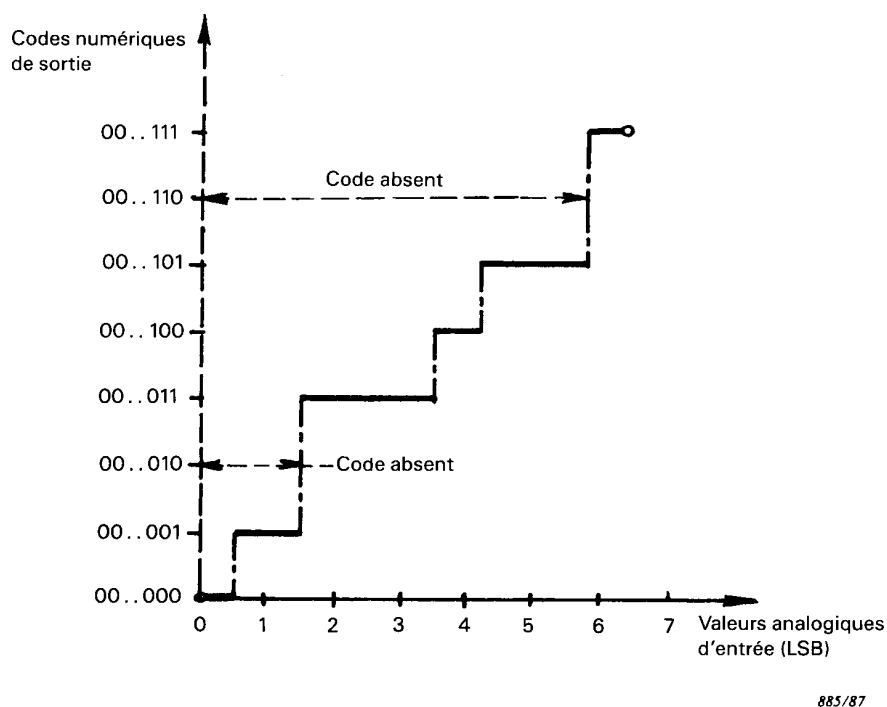


Figure 8 – Code absent (pour un ADC)