

NORME INTERNATIONALE INTERNATIONAL STANDARD

**CEI
IEC
821**

Première édition
First edition
1987



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

BUS CEI 821

**Bus système à microprocesseurs pour données
de 1 à 4 octets**

IEC 821 BUS

Microprocessor system bus for 1 to 4 byte data

Withdrawing

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 617 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur le deuxième feuillet de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**
Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 617, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

NORME INTERNATIONALE INTERNATIONAL STANDARD

**CEI
IEC
821**

Première édition
First edition
1987



Commission Electrotechnique Internationale

International Electrotechnical Commission

Международная Электротехническая Комиссия

BUS CEI 821

**Bus système à microprocesseurs pour données
de 1 à 4 octets**

IEC 821 BUS

Microprocessor system bus for 1 to 4 byte data

© CEI 1987 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Documents
Document Sharing Hub

SOMMAIRE

	Pages
PREAMBULE	18
PREFACE	18
CHAPITRE 0: DOMAINE D'APPLICATION	
Note au lecteur	20
CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821	
Sections	
1.1 Objectifs de la norme du BUS CEI 821	22
1.2 Eléments du système d'interface BUS CEI 821.....	22
1.2.1 Définitions générales	22
1.2.1.1 Termes utilisés pour décrire la structure mécanique du BUS CEI 821	22
1.2.1.2 Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821	24
1.2.1.3 Types de cycles du BUS CEI 821	28
1.2.2 Structure générale du BUS CEI 821	30
1.3 Diagrammes de la norme du BUS CEI 821	38
1.4 Terminologie utilisée dans la norme	38
1.4.1 Etats des lignes de signaux	40
1.4.2 Utilisation de l'astérisque (*)	42
1.5 Spécification du protocole	42
1.5.1 Signaux d'interverrouillage du bus	44
1.5.2 Signal de diffusion du bus	44
1.6 Exemples et explications relatifs au système	46
CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821	
2.1 Introduction	48
2.2 Lignes du bus de transfert de données	48
2.2.1 Lignes d'adresse	52
2.2.2 Lignes de modification d'adresse	58
2.2.3 Lignes de données	62
2.2.4 Lignes de commande du bus de transfert de données	68
2.2.4.1 AS*	68
2.2.4.2 DS0* et DS1*	68
2.2.4.3 DTACK*	68
2.2.4.4 BERR*	70
2.2.4.5 WRITE*	72
2.3 Modules DTB - Description générale	72
2.3.1 MAITRE	72
2.3.2 ESCLAVE	78
2.3.3 LIMITEUR DE TEMPS D'OCCUPATION DU BUS	82
2.3.4 DETECTEUR D'ACCES	86
2.3.5 Modes d'adressage	88
2.3.6 Possibilités de base de transfert de données	92
2.3.7 Possibilités de transferts par bloc	96
2.3.8 Possibilités de lecture-modification-écriture	100
2.3.9 Possibilités de transferts non alignés	106

CONTENTS

	Page
FOREWORD	19
PREFACE	19

CHAPTER 0: SCOPE

Note to the reader	21
--------------------------	----

CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD

Section

1.1 IEC 821 BUS standard objectives	23
1.2 IEC 821 BUS interface system elements	23
1.2.1 Basic definitions	23
1.2.1.1 Terms used to describe the IEC 821 BUS mechanical structure	23
1.2.1.2 Terms used to describe the IEC 821 BUS functional structure	25
1.2.1.3 Types of cycles on the IEC 821 Bus	29
1.2.2 Basic IEC 821 BUS structure	31
1.3 IEC 821 BUS standard diagrams	39
1.4 Standard terminology	39
1.4.1 Signal line states	41
1.4.2 Use of the asterisk (*)	43
1.5 Protocol specification	43
1.5.1 Interlocked bus signals	45
1.5.2 Broadcast bus signal	45
1.6 System examples and explanations	47

CHAPTER 2: IEC 821 BUS DATA TRANSFER BUS

2.1 Introduction	49
2.2 Data Transfer Bus lines	49
2.2.1 Addressing lines	53
2.2.2 Address modifier lines	59
2.2.3 Data lines	63
2.2.4 Data Transfer Bus control lines	69
2.2.4.1 AS*	69
2.2.4.2 DS0* and DS1*	69
2.2.4.3 DTACK*	69
2.2.4.4 BERR*	71
2.2.4.5 WRITE*	73
2.3 DTB modules - Basic description	73
2.3.1 MASTER	73
2.3.2 SLAVE	79
2.3.3 BUS TIMER	83
2.3.4 LOCATION MONITOR	87
2.3.5 Addressing modes	89
2.3.6 Basic data transfer capabilities	93
2.3.7 Block transfer capabilities	97
2.3.8 Read-modify-write capabilities	101
2.3.9 Unaligned transfer capabilities	107

Sections	Pages
2.3.10 Possibilité UNIQUEMENT D'ADRESSAGE	112
2.3.11 Interaction entre les modules fonctionnels du DTB	112
2.4 Fonctionnement typique	116
2.4.1 Cycles typiques de transfert de données	116
2.4.2 Anticipation d'adresse	126
2.5 Acquisition du bus de transfert de données	128
2.6 Règles et observations de séquençement du DTB	132

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

3.1 Principes de l'arbitrage du bus	192
3.1.1 Types d'arbitrage	192
3.2 Lignes du bus d'arbitrage	196
3.2.1 Lignes de demande et d'allocation du bus	200
3.2.2 Ligne d'occupation du bus (BBSY*)	200
3.2.3 Ligne de libération du bus (BCLR*)	200
3.3 Modules fonctionnels	202
3.3.1 ARBITRE	202
3.3.2 DEMANDEUR	208
3.3.3 MAITRE du bus de transfert de données	214
3.3.3.1 Libération du DTB	214
3.3.3.2 Acquisition du DTB	216
3.3.3.3 Autres informations	216
3.4 Fonctionnement typique	216
3.4.1 Arbitrage de deux niveaux différents de demande du bus	216
3.4.2 Arbitrage de deux demandes du bus sur la même ligne	226
3.5 Course critique entre les demandes du MAITRE et les accords de l'ARBITRE	234

CHAPITRE 4: BUS D'INTERRUPTION PRIORITAIRE DU BUS CEI 821

4.1 Introduction	236
4.1.1 Systèmes à contrôleur unique	236
4.1.2 Systèmes distribués	236
4.2 Lignes du bus d'interruption prioritaire	244
4.2.1 Lignes de demande d'interruption	244
4.2.2 Ligne de reconnaissance d'interruption	244
4.2.3 Chaîne série de reconnaissance d'interruption - IACKIN*/IACKOUT*	244
4.3 Modules du bus d'interruption prioritaire - Description générale	246
4.3.1 CONTROLEURS D'INTERRUPTION	248
4.3.2 GENERATEUR D'INTERRUPTION	252
4.3.3 ÉMETTEUR DE CHAÎNE SÉRIE IACK	260
4.3.4 Possibilités de prise en compte d'une demande d'interruption	262
4.3.5 Possibilités de génération d'une demande d'interruption	264
4.3.6 Possibilités de transferts du MOT D'ÉTAT/IDentificateur	264
4.3.7 Possibilités de libération de la demande d'interruption	266
4.3.8 Interaction entre les modules du bus d'interruption prioritaire	270
4.4 Fonctionnement typique	278
4.4.1 Fonctionnement des interruptions à contrôleur unique	278
4.4.2 Fonctionnement des interruptions distribuées	280
4.4.2.1 Systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION ...	280
4.4.2.2 Systèmes à interruptions distribuées avec deux à six CONTROLEURS D'INTERRUPTION	280

Section	Page
2.3.10 ADDRESS-ONLY capability	113
2.3.11 Interaction between DTB functional modules	113
2.4 Typical operation	117
2.4.1 Typical data transfer cycles	117
2.4.2 Address pipelining	127
2.5 Data Transfer Bus acquisition	129
2.6 DTB timing rules and observations	133

CHAPTER 3: IEC 821 BUS DATA TRANSFER BUS ARBITRATION

3.1 Bus arbitration philosophy	193
3.1.1 Types of arbitration	193
3.2 Arbitration bus lines	197
3.2.1 Bus request and bus grant lines	201
3.2.2 Bus busy line (BBSY*)	201
3.2.3 Bus clear line (BCLR*)	201
3.3 Functional modules	203
3.3.1 ARBITER	203
3.3.2 REQUESTER	209
3.3.3 Data Transfer Bus MASTER	215
3.3.3.1 Release of the DTB	215
3.3.3.2 Acquisition of the DTB	217
3.3.3.3 Other information	217
3.4 Typical operation	217
3.4.1 Arbitration of two different levels of bus request	217
3.4.2 Arbitration of two bus requests on the same bus request line	227
3.5 Race conditions between MASTER requests and ARBITER grants	235

CHAPTER 4: IEC 821 BUS PRIORITY INTERRUPT BUS

4.1 Introduction	237
4.1.1 Single handler systems	237
4.1.2 Distributed systems	237
4.2 Priority Interrupt Bus lines	245
4.2.1 Interrupt request lines	245
4.2.2 Interrupt acknowledge line	245
4.2.3 Interrupt acknowledge daisy-chain - IACKIN*/IACKOUT*	245
4.3 Priority Interrupt Bus modules - Basic description	247
4.3.1 INTERRUPT HANDLERS	249
4.3.2 INTERRUPTER	253
4.3.3 IACK DAISY-CHAIN DRIVER	261
4.3.4 Interrupt request handling capabilities	263
4.3.5 Interrupt request generation capabilities	265
4.3.6 STATUS/ID transfer capabilities	265
4.3.7 Interrupt request release capabilities	267
4.3.8 Interaction between Priority Interrupt Bus modules	271
4.4 Typical operation	279
4.4.1 Single handler interrupt operation	279
4.4.2 Distributed interrupt operation	281
4.4.2.1 Distributed interrupt systems with seven INTERRUPT HANDLERS	281
4.4.2.2 Distributed interrupt systems with two to six INTERRUPT HANDLERS	281

Sections	Pages
4.4.3 Exemple: fonctionnement typique d'un système d'interruption à contrôleur unique	284
4.4.4 Exemple: priorité de deux interruptions dans un système à interruptions distribuées	292
4.5 REGLES et OBSERVATIONS concernant le séquençement du bus d'interruption prioritaire	296

CHAPITRE 5: BUS UTILITAIRE DU BUS CEI 821

5.1 Introduction	336
5.2 Signaux du bus utilitaire	336
5.3 Modules du bus utilitaire	336
5.3.1 L'EMETTEUR DE L'HORLOGE DU SYSTEME	336
5.3.2 L'EMETTEUR DE L'HORLOGE DU BUS SERIE	336
5.3.3 Le CONTROLEUR D'ALIMENTATION	336
5.4 Initialisation et diagnostic du système	346
5.5 Broches d'alimentation	352
5.6 Ligne RESERVEE	352

CHAPITRE 6: SPECIFICATIONS ELECTRIQUES DU BUS CEI 821

6.1 Introduction	356
6.2 Distribution du courant d'alimentation	356
6.2.1 Spécifications des tensions courant continu	358
6.2.2 Caractéristiques électriques des broches et supports des connecteurs	360
6.3 Caractéristiques électriques des signaux	360
6.4 Spécifications de commande et de réception du bus	362
6.4.1 Définitions des circuits de commande du bus	362
6.4.2 REGLES pour commander et charger toutes les lignes de signaux du BUS CEI 821	364
6.4.2.1 REGLES pour commander et charger les lignes de signaux trois états à courant élevé (AS*, DS0*, DS1*)	364
6.4.2.2 REGLES pour commander et charger les lignes de signaux trois états standards (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)	366
6.4.2.3 REGLES pour commander et charger les lignes "totem-pole" à courant élevé (SERCLK, SYSCLK, BCLR*)	368
6.4.2.4 REGLES pour commander et charger les lignes "totem-pole" standards (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)	370
6.4.2.5 REGLES pour commander et charger les lignes à collecteur ouvert (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)	372
6.5 Interconnexions des lignes de signaux du fond de panier	372
6.5.1 Réseaux d'adaptation d'impédance	374
6.5.2 Impédance caractéristique	376
6.5.3 Informations complémentaires	382
6.6 Signaux définis par l'utilisateur	384
6.7 Emetteurs des lignes de signaux et adaptations	384

CHAPITRE 7: SPECIFICATIONS MECANIQUES DU BUS CEI 821

7.1 Introduction	388
7.2 Cartes du BUS CEI 821	390
7.2.1 Cartes simple hauteur	392
7.2.2 Cartes double hauteur	392
7.2.3 Connecteurs de la carte	394

Section	Page
4.4.3 Example: typical single handler interrupt system operation	285
4.4.4 Example: prioritization of two interrupts in a distributed interrupt system ...	293
4.5 Priority Interrupt Bus timing RULES and OBSERVATIONS	297

CHAPTER 5: IEC 821 BUS UTILITY BUS

5.1 Introduction	337
5.2 Utility Bus signal lines	337
5.3 Utility Bus modules	337
5.3.1 The SYSTEM CLOCK DRIVER	337
5.3.2 The SERIAL CLOCK DRIVER	337
5.3.3 The POWER MONITOR	337
5.4 System initialization and diagnostics	347
5.5 Power pins	353
5.6 RESERVED line	353

CHAPTER 6: IEC 821 BUS ELECTRICAL SPECIFICATIONS

6.1 Introduction	357
6.2 Power distribution	357
6.2.1 D.C. voltage specifications	359
6.2.2 Pin and socket connector electrical ratings	361
6.3 Electrical signal characteristics	361
6.4 Bus driving and receiving requirements	363
6.4.1 Bus driver definitions	363
6.4.2 Driving and loading RULES for all IEC 821 BUS lines	365
6.4.2.1 Driving and loading RULES for high current three-state lines (AS*, DS0*, DS1*)	365
6.4.2.2 Driving and loading RULES for standard three-state lines (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*)	367
6.4.2.3 Driving and loading RULES for high current totem-pole lines (SERCLK, SYSCLK, BCLR*)	369
6.4.2.4 Driving and loading RULES for standard totem-pole lines (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*)	371
6.4.2.5 Driving and loading RULES for open-collector lines (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*)	373
6.5 Backplane signal line interconnections	373
6.5.1 Termination networks	375
6.5.2 Characteristic impedance	377
6.5.3 Additional information	383
6.6 User defined signals	385
6.7 Signal line drivers and terminations	385

CHAPTER 7: IEC 821 BUS MECHANICAL SPECIFICATIONS

7.1 Introduction	389
7.2 IEC 821 BUS boards	391
7.2.1 Single height boards	393
7.2.2 Double height boards	393
7.2.3 Board connectors	395

Sections	Pages
7.2.4 Cartes équipées	396
7.2.5 Largeurs des cartes	396
7.2.6 Gauchissement des cartes du BUS CEI 821, longueur des pattes et hauteur des composants	396
7.3 Panneaux avant	398
7.3.1 Poignées	400
7.3.2 Montage du panneau avant	402
7.3.3 Dimensions du panneau avant	402
7.3.4 Panneaux de remplissage	404
7.3.5 Ejecteurs/injecteurs de cartes	404
7.4 Fonds de panier	406
7.4.1 Dimensions exigées du fond de panier	408
7.4.2 Réseaux d'adaptation d'impédance des lignes de signaux	408
7.5 Assemblage des châssis du BUS CEI 821.....	410
7.5.1 Châssis et largeurs des emplacements	410
7.5.2 Dimensions du châssis	410
7.6 Connecteurs du fond de panier du BUS CEI 821 et connecteurs de cartes du BUS CEI 821	448
7.6.1 Affectation des broches du connecteur J ₁ /P ₁	448
7.6.2 Affectation des broches du connecteur J ₂ /P ₂	450
ANNEXE A - Glossaire de termes du BUS CEI 821	452
ANNEXE B - Description des broches/connecteurs du BUS CEI 821	462
ANNEXE C - Utilisation des lignes SERCLK et SERDAT*	468
 Figures	
1-1: Eléments du système définis par cette norme	34
1-2: Modules fonctionnels et bus définis par cette norme	36
1-3: Notations utilisées dans les chronogrammes	46
2-1: Schéma-bloc fonctionnel du bus de transfert de données	50
2-2: Schéma-bloc: MAITRE	74
2-3: Schéma-bloc: ESCLAVE	78
2-4: Schéma-bloc: LIMITEUR DE TEMPS D'OCCUPATION DU BUS	82
2-5: Schéma-bloc: DETECTEUR D'ACCES	86
2-6: Quatre moyens de mémoriser des données de 32 bits en mémoire	106
2-7: Quatre moyens de mémoriser des données de 16 bits en mémoire	108
2-8: Un exemple de cycle de lecture d'un octet unique	120
2-9: Un exemple de cycle d'écriture d'un double octet	122
2-10: Un exemple de cycle d'écriture d'un quadruple octet	124
2-11: Séquence d'échange du bus de transfert de données du MAITRE	130
2-12: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse TOUS LES CYCLES	168
2-13: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Transferts d'octet unique pair; transferts d'octet unique impair; transferts double octet; transferts quadruple octet; transferts non alignés	170
2-14: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Transferts de blocs par octet; transferts de blocs par double octet; transferts de blocs par quadruple octet	172
2-15: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse Cycles RMW pour octet unique; cycles RMW pour double octet; cycles RMW pour quadruple octet	

Section	Page
7.2.4 Board assemblies	397
7.2.5 Board widths	397
7.2.6 IEC 821 BUS board warpage, lead length and component height	397
7.3 Front panels	399
7.3.1 Handles	401
7.3.2 Front panel mounting	403
7.3.3 Front panel dimensions	403
7.3.4 Filler panels	405
7.3.5 Board ejectors/injectors	405
7.4 Backplanes	407
7.4.1 Backplane dimensional requirements	409
7.4.2 Signal line termination networks	409
7.5 Assembly of IEC 821 BUS subracks	411
7.5.1 Subracks and slot widths	411
7.5.2 Subrack dimensions	411
7.6 IEC 821 BUS backplane connectors and IEC 821 BUS board connectors	449
7.6.1 Pin assignments for the J ₁ /P ₁ connector	449
7.6.2 Pin assignments for the J ₂ /P ₂ connector	451
APPENDIX A - Glossary of IEC 821 BUS terms	453
APPENDIX B - IEC 821 BUS connector/pin description	463
APPENDIX C - Use of the SERCLK and SERDAT* lines	469
 Figures	
1-1: System elements defined by this standard	35
1-2: Functional modules and buses defined by this standard	37
1-3: Signal timing notation	47
2-1: Data Transfer Bus functional block diagram	51
2-2: Block diagram: MASTER	75
2-3: Block diagram: SLAVE	79
2-4: Block diagram: BUS TIMER	83
2-5: Block diagram: LOCATION MONITOR	87
2-6: Four ways that 32 bits of data might be stored in memory	107
2-7: Four ways that 16 bits of data might be stored in memory	109
2-8: An example of a single byte read cycle	121
2-9: An example of a double byte write cycle	123
2-10: An example of a quad byte write cycle	125
2-11: Data Transfer Bus MASTER exchange sequence	131
2-12: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing ALL CYCLES	169
2-13: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single even byte transfers; single odd byte transfers; double byte transfers; quad byte transfers; unaligned transfers	171
2-14: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single byte block transfers; double byte block transfers; quad byte block transfers	173
2-15: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing Single byte RMW cycles; double byte RMW cycles; quad byte RMW cycles	

Figures	Pages
2-16: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données LECTURE OCTET(0); LECTURE OCTET(1); LECTURE OCTET(2); LECTURE OCTET(3); LECTURE OCTET(0-2); LECTURE OCTET(1-3); LECTURE DE BLOCS PAR OCTET	176
2-17: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données LECTURE OCTET(0-1); LECTURE OCTET(2-3); LECTURE OCTET(0-3); LECTURE OCTET(1-2); LECTURE DE BLOCS PAR DOUBLE OCTET; LECTURE DE BLOCS PAR QUADRUPLE OCTET	178
2-18: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données ECRITURE OCTET(0); ECRITURE OCTET(1); ECRITURE OCTET(2); ECRITURE OCTET(3); ECRITURE OCTET(0-2); ECRITURE OCTET(1-3); ECRITURE DE BLOCS PAR OCTET	180
2-19: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données ECRITURE OCTET(0-1); ECRITURE OCTET(2-3); ECRITURE OCTET(0-3); ECRITURE OCTET(1-2); ECRITURE DE BLOCS PAR DOUBLE OCTET; ECRITURE DE BLOCS PAR QUADRUPLE OCTET	182
2-20: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données Cycle RMW pour octet unique	184
2-21: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données Cycles RMW pour double octet; Cycles RMW pour quadruple octet	184
2-22: Chronogramme du signal de validation d'adresse entre les cycles	186
2-23: Chronogramme des signaux de validation de donnée entre les cycles Un cycle où les deux signaux de validation de donnée passent au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas	186
2-24: Chronogramme des signaux de validation de donnée entre les cycles Un cycle où un signal de validation de donnée passe au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas	188
2-25: MAITRE, ESCLAVE et LIMITEUR DE TEMPS D'OCCUPATION DU BUS - Chronogramme de transfert de données Cycle de dépassement de temps d'occupation du bus	188
2-26: MAITRE - Chronogramme du transfert du contrôle du DTB.....	190
3-1: Schéma-bloc fonctionnel de l'arbitrage du bus	194
3-2: Illustration des lignes de la chaîne série d'allocation du bus	198
3-3: Schéma-bloc: ARBITRE	206
3-4: Schéma-bloc: DEMANDEUR	212
3-5: Organigramme de l'arbitrage: deux DEMANDEURS, deux niveaux de demande	220
3-6: Séquence d'arbitrage: deux DEMANDEURS, deux niveaux de demande	224
3-7: Organigramme de l'arbitrage: deux DEMANDEURS, même niveau de demande	228
3-8: Séquence d'arbitrage: deux DEMANDEURS, même niveau de demande	232
4-1: Schéma-bloc fonctionnel du système d'interruption prioritaire du BUS CEI 821.	238
4-2: Structure du sous-système d'interruption: système à contrôleur unique	240
4-3: Structure du sous-système d'interruption: système distribué	242
4-4: CHAÎNE SERIE IACKIN*/IACKOUT*	246
4-5: Schéma-bloc: CONTROLEUR D'INTERRUPTION	250
4-6: Schéma-bloc: GENERATEUR D'INTERRUPTION	258
4-7: Schéma-bloc: EMETTEUR DE CHAÎNE SERIE IACK	262

Figures	Page
2-16: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0) READ; BYTE(1) READ; BYTE(2) READ; BYTE(3) READ; BYTE(0-2) READ; BYTE(1-3) READ; SINGLE BYTE BLOCK READ	177
2-17: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0-1) READ; BYTE(2-3) READ; BYTE(0-3) READ; BYTE(1-2) READ; DOUBLE BYTE BLOCK READ; QUAD BYTE BLOCK READ	179
2-18: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0) WRITE; BYTE(1) WRITE; BYTE(2) WRITE; BYTE(3) WRITE; BYTE(0-2) WRITE; BYTE(1-3) WRITE; SINGLE BYTE BLOCK WRITE	181
2-19: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing BYTE(0-1) WRITE; BYTE(2-3) WRITE; BYTE(0-3) WRITE; BYTE(1-2) WRITE; DOUBLE BYTE BLOCK WRITE; QUAD BYTE BLOCK WRITE	183
2-20: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing Single byte RMW cycle	185
2-21: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing Double byte RMW cycles quad byte RMW cycles	185
2-22: Address strobe inter-cycle timing	187
2-23: Data strobe inter-cycle timing A cycle where both data strobes go low followed by a cycle where one or both data strobes go low	187
2-24: Data strobe inter-cycle timing A cycle where one data strobe goes low followed by a cycle where one or both data strobes go low	189
2-25: MASTER, SLAVE and BUS TIMER - Data transfer timing Timed-out cycle	189
2-26: MASTER - DTB control transfer timing	191
3-1: Arbitration bus functional block diagram	195
3-2: Illustration of the daisy-chained bus grant lines	199
3-3: Block diagram: ARBITER	207
3-4: Block diagram: REQUESTER	213
3-5: Arbitration flow diagram: two REQUESTERS, two request levels	221
3-6: Arbitration sequence diagram: two REQUESTERS, two request levels	225
3-7: Arbitration flow diagram: two REQUESTERS, same request level	229
3-8: Arbitration sequence diagram: two REQUESTERS, same request level	233
4-1: Priority Interrupt Bus functional block diagram	239
4-2: Interrupt subsystem structure: single handler system	241
4-3: Interrupt subsystem structure: distributed system	243
4-4: IACKIN*/IACKOUT* DAISY-CHAIN	247
4-5: Block diagram: INTERRUPT HANDLER	251
4-6: Block diagram: INTERRUPTER	259
4-7: Block diagram: IACK DAISY-CHAIN DRIVER	263

Figures	Pages
4-8: Libération des lignes de demande d'interruption par les GENERATEURS D'INTERRUPTION ROAK et RORA	270
4-9: Un EMETTEUR DE CHAÎNE SERIE IACK et un GENERATEUR D'INTERRUPTION sur la même carte	274
4-10: Deux GENERATEURS D'INTERRUPTION sur la même carte	276
4-11: Les trois phases d'une séquence d'interruption	278
4-12: Deux CONTROLEURS D'INTERRUPTION surveillant chacun une ligne de demande d'interruption	282
4-13: Deux CONTROLEURS D'INTERRUPTION surveillant chacun plusieurs lignes de demande d'interruption	284
4-14: Organigramme du fonctionnement typique d'un système d'interruption à contrôleur unique d'interruption	288
4-15: Organigramme du fonctionnement typique d'un système à interruptions distribuées avec deux CONTROLEURS D'INTERRUPTION	294
4-16: CONTROLEUR et GENERATEUR D'INTERRUPTION - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	326
4-17: EMETTEUR DE CHAÎNE SERIE IACK - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	326
4-18: GENERATEUR D'INTERRUPTION qui participe - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	328
4-19: GENERATEUR D'INTERRUPTION qui répond - Chronologie de la sélection du GENERATEUR D'INTERRUPTION CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE	330
4-20: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE	330
4-21: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET; CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET	332
4-22: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE	332
4-23: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/Identificateur CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET; CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET	334
4-24: EMETTEUR DE CHAÎNE SERIE IACK, GENERATEUR D'INTERRUPTION qui répond et GENERATEUR D'INTERRUPTION qui participe - Chronologie de la chaîne série IACK entre les cycles	334
5-1: Schéma-bloc du bus utilitaire	340
5-2: Chronogramme de l'EMETTEUR DE L'HORLOGE SYSTEME	342
5-3: Schéma-bloc du module CONTROLEUR D'ALIMENTATION	342
5-4: Chronogramme du CONTROLEUR D'ALIMENTATION lors d'une défaillance d'alimentation	344
5-5: Chronogramme du CONTROLEUR D'ALIMENTATION lors de la mise sous tension	344
5-6: Chronogramme des signaux SYSRESET* et SYSFAIL*	350
5-7: Courant admissible dans les broches d'alimentation	354
6-1: Niveaux des signaux du BUS CEI 821	360
6-2: Adaptation d'impédance standard du bus	376
6-3: Coupe d'une piste de microruban utilisée comme ligne de signal sur le fond de panier	378
6-4: Z_0 en fonction de la largeur de ligne	380
6-5: C_0 en fonction de la largeur de ligne	380

Figures	Page
4-8: Release of the interrupt request lines by ROAK and RORA INTERRUPTERS	271
4-9: An IACK DAISY-CHAIN DRIVER and an INTERRUPTER on the same board	275
4-10: Two INTERRUPTERS on the same board	277
4-11: The three phases of an interrupt sequence	279
4-12: Two INTERRUPT HANDLERS, each monitoring one interrupt request line	283
4-13: Two INTERRUPT HANDLERS, each monitoring several interrupt request lines	285
4-14: Typical single handler interrupt system operation flow diagram	289
4-15: Typical distributed interrupt system with two INTERRUPT HANDLERS, flow diagram	295
4-16: INTERRUPT HANDLER and INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	327
4-17: IACK DAISY-CHAIN DRIVER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	327
4-18: Participating INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	329
4-19: Responding INTERRUPTER - INTERRUPTER selection timing SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	331
4-20: INTERRUPT HANDLER - STATUS/ID transfer timing SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE	331
4-21: INTERRUPT HANDLER - STATUS/ID transfer timing DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	333
4-22: Responding INTERRUPTER - STATUS/ID transfer timing SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE	333
4-23: Responding INTERRUPTER - STATUS/ID transfer timing DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE	335
4-24: IACK DAISY-CHAIN DRIVER, responding INTERRUPTER, and participating INTERRUPTER - IACK daisy-chain inter-cycle timing	335
5-1: Utility Bus block diagram	341
5-2: SYSTEM CLOCK DRIVER timing diagram	343
5-3: Block diagram of POWER MONITOR module	343
5-4: POWER MONITOR power failure timing	345
5-5: POWER MONITOR system restart timing	345
5-6: SYSRESET* and SYSFAIL* timing diagram	351
5-7: Current rating for power pins	355
6-1: IEC 821 BUS signal levels	361
6-2: Standard bus termination	377
6-3: Backplane microstrip signal line cross section	379
6-4: Z_0 versus line width	381
6-5: C_0 versus line width	381

Figures	Pages
7-1: Châssis équipé avec des cartes de tailles différentes	412
7-2: Carte simple hauteur: dimensions de base	414
7-3: Carte double hauteur: dimensions de base	416
7-4: Position des connecteurs sur les cartes simple et double hauteur	418
7-5: Vue en coupe d'une carte, d'un connecteur, d'un fond de panier et d'un panneau avant	420
7-6: Hauteur des composants, longueur des pattes et gauchissement de la carte	422
7-7: Pannneau avant, simple hauteur, simple largeur	424
7-8: Pannneau avant, double hauteur, simple largeur	426
7-9: Supports de montage du pannneau avant et dimensions d'une carte simple hauteur	428
7-10: Supports de montage du pannneau avant et dimensions d'une carte double hauteur	430
7-11: Pannneau de remplissage simple hauteur	432
7-12: Pannneau de remplissage double hauteur	434
7-13: Dimensions hors tout du fond de panier	436
7-14: Dimensions détaillées du fond de panier	438
7-15: Adaptation du fond de panier "Type hors carte" (vue d'en haut du fond de panier)	440
7-16: Adaptation du fond de panier "Type sur carte" (vue d'en haut du fond de panier)	442
7-17: Châssis à 21 emplacements	444
7-18: Détail du guide de carte	446
C-1: Chronogramme de SERCLK	470

Tableaux	Pages
2-1: Les quatre catégories d'emplacement d'octet	52
2-2: Niveaux des signaux utilisés pour sélectionner le ou les octets auxquels on accède pendant un transfert de données	56
2-3: Codes modificateurs d'adresse	60
2-4: Utilisation des lignes de données pour transférer des données pendant chacun des 34 types de cycle	64
2-5: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de MAITRES	76
2-6: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ESCLAVES	80
2-7: Utilisation du mnémonique BT0() pour spécifier la durée de limitation de temps des LIMITEURS DE TEMPS D'OCCUPATION DU BUS	84
2-8: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de DETECTEURS D'ACCES	88
2-9: Mnémoniques qui spécifient les possibilités d'adressage	90
2-10: Mnémoniques qui spécifient les possibilités de base de transferts de données fondamentaux	96
2-11: Mnémoniques qui spécifient les possibilités de transferts par bloc	100
2-12: Mnémoniques qui spécifient les possibilités de lecture-modification-écriture.	104
2-13: Transferts de 32 bits de données utilisant des cycles de transfert de multiple octet	108
2-14: Transferts de 16 bits de données utilisant des cycles de transfert de multiple octet	110
2-15: Mnémonique qui spécifie la possibilité de transfert non aligné	110
2-16: Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE	112
2-17: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES	136
2-18: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE, du DETECTEUR D'ACCES, du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION pendant TOUS les cycles	138

Figures	Page
7-1: Subrack with mixed board sizes	413
7-2: Single height board: basic dimensions	415
7-3: Double height board: basic dimensions	417
7-4: Connector position on single and double height boards.....	419
7-5: Cross sectional view of board, connector, backplane, and front panel	421
7-6: Component height, lead length and board warpage	423
7-7: Single height, single width, front panel	425
7-8: Double height, single width, front panel	427
7-9: Front panel mounting brackets and dimensions of single height board	429
7-10: Front panel mounting brackets and dimensions of double height board	431
7-11: Single height filler panel	433
7-12: Double height filler panel	435
7-13: Backplane overall dimensions	437
7-14: Backplane detailed dimensions	439
7-15: "Off board type" backplane termination (view from top of backplane)	441
7-16: "On board type" backplane termination (view from top of backplane)	443
7-17: 21-slot subrack	445
7-18: Board guide detail	447
C-1: SERCLK timing diagram	471
 Tables	
2-1: The four categories of byte location	53
2-2: Signal levels used to select which byte location(s) are accessed during a data transfer	57
2-3: Address modifier codes	61
2-4: Use of the data lines to move data during each of the 34 cycle types	65
2-5: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of MASTERS	77
2-6: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SLAVES	81
2-7: Use of the BT0() mnemonic to specify the time-out period of BUS TIMERS	85
2-8: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of LOCATION MONITORS	89
2-9: Mnemonics that specify addressing capabilities	91
2-10: Mnemonics that specify basic data transfer capabilities	97
2-11: Mnemonics that specify block transfer capabilities	101
2-12: Mnemonics that specify read-modify-write capabilities	105
2-13: Transferring 32 bits of data using multiple byte transfer cycles	109
2-14: Transferring 16 bits of data using multiple byte transfer cycles	111
2-15: Mnemonic that specifies unaligned transfer capability	111
2-16: Mnemonic that specifies ADDRESS-ONLY capability	113
2-17: Timing diagrams that define MASTER, SLAVE and LOCATION MONITOR operation	137
2-18: Timing diagrams that define MASTER, SLAVE, LOCATION MONITOR, INTERRUPT HANDLER and INTERRUPTER operation during ALL cycles	139

Tableaux	Pages
2-19: Définition des mnémoniques utilisés dans les tableaux 2-20, 2-21 et 2-22	138
2-20: Utilisation des lignes d'adressage pour sélectionner un groupe de 4 octets ..	140
2-21: Utilisation des lignes DS1*, DS0*, A01 et LWORD* pour sélectionner le ou les octets dans le groupe de 4 octets	142
2-22: Utilisation des lignes de données du bus pour transférer des données	144
2-23: Paramètres de temps des chronogrammes du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES	148
2-24: Paramètres de temps du chronogramme du LIMITEUR DE TEMPS D'OCCUPATION DU BUS	148
2-25: MAITRE - REGLES et OBSERVATIONS sur la chronologie	150
2-26: ESCLAVE - REGLES et OBSERVATIONS sur la chronologie	158
2-27: DETECTEUR D'ACCES - OBSERVATIONS sur la chronologie	164
2-28: LIMITEUR DE TEMPS D'OCCUPATION DU BUS - REGLES de la chronologie	166
3-1: REGLES et OBSERVATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ARBITRES définis dans cette norme	208
3-2: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de DEMANDEURS définis dans cette norme ..	212
4-1: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de CONTROLEURS D'INTERRUPTION	252
4-2: REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de GENERATEURS D'INTERRUPTION	260
4-3: Utilisation du mnémonique IH() pour spécifier les possibilités de traitement d'interruption	262
4-4: Utilisation du mnémonique I() pour spécifier les possibilités de génération d'une demande d'interruption	264
4-5: Mnémoniques qui spécifient les possibilités de transfert du MOT D'ETAT/Identificateur	264
4-6: Mnémoniques qui spécifient les possibilités de libération des demandes d'interruption	270
4-7: Code de la reconnaissance d'interruption sur 3 bits	292
4-8: Chronogrammes qui définissent le fonctionnement du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION	300
4-9: Chronogrammes qui définissent le fonctionnement de l'EMETTEUR DE CHAINE SERIE IACK	300
4-10: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui participe	302
4-11: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui répond	302
4-12: Définitions des mnémoniques utilisés dans les tableaux 4-13, 4-14 et 4-15 ...	304
4-13: Utilisation des lignes d'adresse pendant les cycles de reconnaissance d'interruption	304
4-14: Utilisation des lignes DS1*, DS0*, LWORD* et WRITE* pendant les cycles de reconnaissance d'interruption	306
4-15: Utilisation des lignes du bus de données pour le transfert du MOT D'ETAT/Identificateur	306
4-16: Paramètres de temps des chronogrammes du CONTROLEUR D'INTERRUPTION, du GENERATEUR D'INTERRUPTION et de l'EMETTEUR DE CHAINE SERIE IACK	308
4-17: CONTROLEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie	310
4-18: GENERATEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie	316
4-19: EMETTEUR DE CHAINE SERIE IACK - REGLES et OBSERVATIONS sur la chronologie ...	322
5-1: Commandes émises par les modules pendant le démarrage et l'arrêt de l'alimentation	348
6-1: Spécifications des tensions du bus	358
6-2: Spécifications de commande et de réception du bus	362
6-3: Résumé des émetteurs de bus	386
7-1: Affectation des broches J ₁ /P ₁	448
7-2: Affectation des broches J ₂ /P ₂	450
C-1: Valeurs des temps de SERCLK	470

Tables	Page
2-19: Definitions of mnemonics used in Tables 2-20, 2-21 and 2-22	139
2-20: Use of addressing lines to select a 4-byte group	141
2-21: Use of the DS1*, DS0*, A01, and LWORD* lines to select the byte(s) within a 4-byte group	143
2-22: Use of the data bus lines to transfer data	145
2-23: MASTER, SLAVE, and LOCATION MONITOR timing parameters	149
2-24: BUS TIMER timing parameters	149
2-25: MASTER-Timing RULES and OBSERVATIONS	151
2-26: SLAVE-Timing RULES and OBSERVATIONS	159
2-27: LOCATION MONITOR Timing OBSERVATIONS	165
2-28: BUS TIMER-Timing RULES	167
3-1: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of ARBITERS defined by this standard	209
3-2: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of REQUESTERS defined by this standard	213
4-1: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of INTERRUPT HANDLERS	253
4-2: RULES and PERMISSIONS that specify the use of the dotted lines by the various types of INTERRUPTERS	261
4-3: Use of the IH() mnemonic to specify interrupt handling capabilities	263
4-4: Use of the I() mnemonic to specify interrupt request generation capabilities ..	265
4-5: Mnemonics that specify STATUS/ID transfer capabilities	265
4-6: Mnemonics that specify interrupt request release capabilities	271
4-7: 3-bit interrupt acknowledge code	293
4-8: Timing diagrams that define INTERRUPT HANDLER and INTERRUPTER operation	301
4-9: Timing diagrams that define IACK DAISY-CHAIN DRIVER operation	301
4-10: Timing diagrams that define participating INTERRUPTER operation	303
4-11: Timing diagrams that define responding INTERRUPTER operation	303
4-12: Definitions of mnemonics used in Tables 4-13, 4-14 and 4-15	305
4-13: Use of addressing lines during interrupt acknowledge cycles	305
4-14: Use of the DS1*, DS0*, LWORD*, and WRITE* lines during interrupt acknowledge cycles	307
4-15: Use of the data bus lines to transfer the STATUS/ID	307
4-16: INTERRUPT HANDLER, INTERRUPTER, and IACK DAISY-CHAIN DRIVER timing parameters .	309
4-17: INTERRUPT HANDLER - Timing RULES and OBSERVATIONS	311
4-18: INTERRUPTER - Timing RULES and OBSERVATIONS	317
4-19: IACK DAISY-CHAIN DRIVER - Timing RULES and OBSERVATIONS	323
5-1: Module drive during power-up and power-down sequences	349
6-1: Bus voltage specifications	359
6-2: Bus driving and receiving requirements	363
6-3: Bus driver summary	387
7-1: J ₁ /P ₁ pin assignments	449
7-2: J ₂ /P ₂ pin assignments	451
C-1: SERCLK timing values	471

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS CEI 821

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES
DE 1 A 4 OCTETS

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semi-conducteurs.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)7	47B(BC)12

Pour de plus amples renseignements, consulter le rapport de vote mentionné dans le tableau ci-dessus.

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications n^{os} 297-1 (1982): Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.
- 297-3 (1984): Troisième partie: Bacs et blocs enfichables associés.
- 603-2 (1980): Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées, Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0.1 in) avec caractéristiques de montage communes.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 821 BUS

MICROPROCESSOR SYSTEM BUS FOR 1 TO 4 BYTE DATA

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47B(C0)7	47B(C0)12

Further information can be found in the Report on Voting indicated in the table above.

The following IEC publications are quoted in this standard:

Publication Nos. 297-1 (1982): Dimensions of Mechanical Structures of the 482.6 mm (19 in) Series, Part 1: Panels and Racks.

297-3 (1984): Subracks and Associated Plug-in Units.

603-2 (1980): Connectors for Frequencies below 3 MHz for Use with Printed Boards, Part 2: Two-part Connectors for Printed Boards for Basic Grid of 2.54 mm (0.1 in), with Common Mounting Features.

BUS CEI 821

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES
DE 1 A 4 OCTETS

CHAPITRE 0: DOMAINE D'APPLICATION

La présente norme décrit un bus de fond de panier à haute performance utilisable dans les systèmes à microprocesseurs. Ce bus parallèle permet des cycles de transferts, soit uniques, soit par blocs, sur une voie d'adresses et de données de 32 bits non multiplexées. La transmission est gérée par un protocole de dialogue asynchrone. L'allocation du bus permet une architecture multiprocesseur. Ce bus permet également l'utilisation d'interruptions entre modules, facilitant une réponse rapide à des événements internes ou externes. La mécanique des cartes et des châssis est conçue à partir de la Publication 297 de la CEI: Dimensions des panneaux et bâtis.

Note au lecteur

Le BUS CEI 822, cité dans la section 7.4, représente le bus en cours de normalisation par le Sous-Comité 47B en tant que bus sous-système du BUS CEI 821 qui constitue la présente norme.

Le BUS CEI 823, cité aux paragraphes 1.2.1.2 et 5.3.2 et dans les annexes B et C, représente le bus qui est à l'étude dans le cadre du Sous-Comité 47B en tant que bus série du présent BUS CEI 821.

IEC 821 BUS

MICROPROCESSOR SYSTEM BUS FOR 1 TO 4 BYTE DATA

CHAPTER 0: SCOPE

This standard describes a high performance backplane bus for use in microprocessor based systems. This parallel bus supports single and block transfer cycles on a 32-bit non-multiplexed address and data highway. Transmission is governed by an asynchronous handshaken protocol. The bus allocation provides for multiprocessor architectures. This bus also supports inter-module interrupts for facilitating quick response to internal and external events. The mechanics of the boards and chassis are based on IEC Publication 297: Dimensions of Panels and Racks.

Note to the reader

IEC 822 BUS, named in Section 7.4 represents the bus which is in the process of being standardized by Sub-Committee 47B as a sub-system bus of the IEC 821 BUS which constitutes this standard.

IEC 823 BUS, named in Paragraphs 1.2.1.2 and 5.3.2 and Appendices B and C, represents the bus which is under consideration by Sub-Committee 47B as the serial bus of this IEC 821 BUS.

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821

1.1 Objectifs de la norme du BUS CEI 821

La présente norme du BUS CEI 821 définit un système d'interface pour interconnecter des unités de traitement de données, de stockage de données et de contrôle des périphériques dans une configuration à couplage étroit. Le système a été conçu avec les objectifs suivants:

- a) Permettre à deux unités de communiquer entre elles sans gêner le fonctionnement interne d'autres unités connectées au BUS CEI 821.
- b) Spécifier les caractéristiques électriques et mécaniques du système nécessaires à la conception d'unités capables de communiquer de manière fiable et sans ambiguïté avec d'autres unités connectées au BUS CEI 821.
- c) Spécifier les protocoles qui définissent avec précision l'interaction entre le BUS CEI 821 et les unités qui lui sont connectées.
- d) Fournir une terminologie et des définitions qui décrivent le protocole du système.
- e) Permettre une grande latitude de conception et permettre ainsi d'optimiser le coût et/ou les performances sans affecter la compatibilité du système.
- f) Créer un système dans lequel l'interfaçage n'introduit pas de limites aux performances des unités.

1.2 Eléments du système d'interface BUS CEI 821

1.2.1 Définitions générales

La structure du BUS CEI 821 peut être décrite sous deux aspects: sa structure mécanique et sa structure fonctionnelle. La spécification mécanique décrit les dimensions physiques des châssis, des fonds de panier, des panneaux avant, des cartes enfichables, etc. La spécification fonctionnelle du BUS CEI 821 décrit le fonctionnement du bus, quels sont les modules fonctionnels engagés dans chaque échange et les règles qui gouvernent leur comportement. Ce paragraphe fournit les définitions informelles de quelques termes généraux utilisés pour décrire à la fois la structure physique et mécanique du BUS CEI 821.

1.2.1.1 Termes utilisés pour décrire la structure mécanique du BUS CEI 821

FOND DE PANIER DU BUS CEI 821

Carte de circuit imprimé comprenant des connecteurs 96 broches et des pistes reliant leurs broches. Certains systèmes de BUS CEI 821 ont un circuit imprimé unique appelé fond de panier J_1 . Il fournit les pistes pour les signaux nécessaires aux opérations de base. D'autres systèmes BUS CEI 821 ont aussi un deuxième fond de panier J_2 optionnel. Ce dernier fournit les connecteurs 96 broches supplémentaires et les pistes de signaux nécessaires pour les transferts étendus de données et d'adresses. D'autres encore ont un circuit imprimé unique qui fournit les pistes et les connecteurs des deux fonds de panier J_1 et J_2 .

CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD

1.1 IEC 821 BUS standard objectives

This IEC 821 BUS standard defines an interfacing system used to interconnect data processing, data storage and peripheral control devices in a closely coupled hardware configuration. The system has been conceived with the following objectives:

- a) To allow communication between devices on the IEC 821 BUS without disturbing the internal activities of other devices interfaced to the IEC 821 BUS.
- b) To specify the electrical and mechanical system characteristics required to design devices that will reliably and unambiguously communicate with other devices interfaced to the IEC 821 BUS.
- c) To specify protocols that precisely define the interaction between the IEC 821 BUS and devices interfaced to it.
- d) To provide terminology and definitions that describe the system protocol.
- e) To allow a broad range of design latitude so that the designer can optimize cost and/or performance without affecting system compatibility.
- f) To provide a system where performance is primarily device limited, rather than system interface limited.

1.2 IEC 821 BUS interface system elements

1.2.1 Basic definitions

The IEC 821 BUS structure can be described from two points of view: its mechanical structure and its functional structure. The mechanical specification describes the physical dimensions of subracks, backplanes, front panels, plug-in boards, etc. The IEC 821 BUS functional specification describes how the bus works, what functional modules are involved in each transaction, and the rules which govern their behavior. This paragraph provides informal definitions for some basic terms used to describe both the physical and the mechanical structure of the IEC 821 BUS.

1.2.1.1 Terms used to describe the IEC 821 BUS mechanical structure

IEC 821 BUS BACKPLANE

A printed circuit (PC) board with 96-pin connectors and signal paths that bus the connector pins. Some IEC 821 BUS systems have a single PC board, called the J_1 backplane. It provides the signal paths needed for basic operation. Other IEC 821 BUS systems also have an optional second PC board, called a J_2 backplane. It provides the additional 96-pin connectors and signal paths needed for wider data and address transfers. Still others have a single PC board that provides the signal conductors and connectors of both the J_1 and J_2 backplanes.

CARTE

Carte de circuit imprimé, son ensemble de composants électroniques ainsi qu'un ou deux connecteurs 96 broches enfichables dans les connecteurs du fond de panier du BUS CEI 821.

EMPLACEMENT

Position où une carte peut être enfichée dans un fond de panier du BUS CEI 821. Si le système de BUS CEI 821 a deux fonds de panier J_1 et J_2 (ou une combinaison J_1/J_2 de fond de panier) chaque emplacement correspond à une paire de connecteurs 96 broches. Si le système n'a qu'un fond de panier J_1 , alors chaque emplacement comporte un seul connecteur 96 broches.

CHASSIS

Cadre rigide qui fournit un support mécanique pour les cartes enfichées dans le fond de panier, assurant que les connecteurs mâles et femelles s'assemblent correctement et que les cartes adjacentes ne sont pas en contact. Il guide aussi le flux d'air de refroidissement à travers le système, et assure que les cartes enfichées ne se désolidarisent pas du fond de panier à la suite de vibrations ou de chocs.

1.2.1.2 Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821

La figure 1-1, page 34, montre un schéma-bloc simplifié de la structure fonctionnelle, incluant les signaux du BUS CEI 821, la logique de l'interface du fond de panier et les modules fonctionnels.

LOGIQUE DE L'INTERFACE DU FOND DE PANIER

Logique spéciale de l'interface qui tient compte des caractéristiques du fond de panier: l'impédance des lignes de signaux, le temps de propagation, les valeurs des adaptations, etc. La norme du BUS CEI 821 prescrit certaines règles pour la réalisation de cette logique fondées sur la longueur maximale du fond de panier et le nombre maximal d'emplacements pour les cartes.

MODULE FONCTIONNEL

Ensemble de circuits électroniques résidant sur une carte de BUS CEI 821 et collaborant à l'accomplissement d'une tâche.

BUS DE TRANSFERT DE DONNEES

Un des quatre bus du fond de panier du BUS CEI 821. Le bus de transfert de données permet aux MAITRES de diriger le transfert de données binaires entre eux-mêmes et des ESCLAVES. (On abrège souvent le bus de transfert de données en DTB.)

CYCLE DU BUS DE TRANSFERT DE DONNEES

Suite de transitions de niveaux sur les lignes de signaux du DTB qui a pour résultat le transfert d'une adresse ou d'une adresse et des données entre un MAITRE et un ESCLAVE. Le cycle du bus de transfert de données est divisé en deux parties: la diffusion d'adresse, suivie ou non de un ou plusieurs transferts de données. Il y a 34 types de cycle du bus de transfert de données. Ils sont définis dans la suite de ce chapitre.

MAITRE

Module fonctionnel qui déclenche les cycles du DTB dans le but de transférer des données entre lui-même et un module ESCLAVE.

BOARD

A printed circuit (PC) board, its collection of electronic components, and either one or two 96-pin connectors that can be plugged into IEC 821 BUS backplane connectors.

SLOT

A position where a board can be inserted into an IEC 821 BUS backplane. If the IEC 821 BUS system has both a J_1 and a J_2 backplane (or a combination J_1/J_2 backplane) each slot provides a pair of 96-pin connectors. If the system has only a J_1 backplane, then each slot provides a single 96-pin connector.

SUBRACK

A rigid framework that provides mechanical support for boards inserted into the backplane, ensuring that the connectors mate properly and that adjacent boards do not contact each other. It also guides the cooling airflow through the system, and ensures that inserted boards do not disengage themselves from the backplane due to vibration or shock.

1.2.1.2 Terms used to describe the IEC 821 BUS functional structure

Figure 1-1, page 35, shows a simplified block diagram of the functional structure, including the IEC 821 BUS signal lines, backplane interface logic, and functional modules.

BACKPLANE INTERFACE LOGIC

Special interface logic that takes into account the characteristics of the backplane: its signal line impedance, propagation time, termination values, etc. The IEC 821 BUS standard prescribes certain rules for the design of this logic based on the maximum length of the backplane and its maximum number of board slots.

FUNCTIONAL MODULE

A collection of electronic circuitry that resides on one IEC 821 BUS board and works together to accomplish a task.

DATA TRANSFER BUS

One of the four buses provided by the IEC 821 BUS backplane. The Data Transfer Bus allows MASTERS to direct the transfer of binary data between themselves and SLAVES. (Data Transfer Bus is often abbreviated DTB.)

DATA TRANSFER BUS CYCLE

A sequence of level transitions on the signal lines of the DTB that result in the transfer of an address or an address and data between a MASTER and a SLAVE. The Data Transfer Bus cycle is divided into two portions, the address broadcast and then one or more data transfers. There are 34 types of Data Transfer Bus cycles. They are defined later in this chapter.

MASTER

A functional module that initiates DTB cycles in order to transfer data between itself and a SLAVE module.

ESCLAVE

Module fonctionnel qui détecte les cycles du DTB déclenchés par un MAITRE et, lorsque ces cycles impliquent sa participation, transfère des données entre lui-même et le MAITRE.

DETECTEUR D'ACCES

Module fonctionnel qui surveille les transferts de données sur le DTB dans le but de détecter des adresses dont la surveillance lui a été prescrite. En cas d'accès à l'une de ces adresses, le DETECTEUR D'ACCES génère un signal sur la carte.

LIMITEUR DE TEMPS D'OCCUPATION DU BUS

Module fonctionnel qui mesure la durée de chaque transfert de données sur le DTB et termine le cycle du DTB si un transfert dure trop longtemps. Sans ce module, si le MAITRE essaie de transférer des données à un emplacement d'ESCLAVE non existant, il risque d'attendre indéfiniment. Le LIMITEUR DE TEMPS D'OCCUPATION DU BUS évite cela en terminant le cycle.

BUS D'INTERRUPTION

Un des quatre bus du fond de panier du BUS CEI 821. Le bus d'interruption permet aux modules GENERATEUR D'INTERRUPTION d'envoyer des demandes d'interruption aux modules CONTROLEUR D'INTERRUPTION.

GENERATEUR D'INTERRUPTION

Module fonctionnel qui génère une demande d'interruption sur le bus d'interruption puis fournit les informations du MOT D'ETAT/IDentificateur quand le CONTROLEUR D'INTERRUPTION les demande.

CONTROLEUR D'INTERRUPTION

Module fonctionnel qui détecte les demandes d'interruption produites par des GENERATEURS D'INTERRUPTION et répond à ces requêtes en demandant l'information MOT D'ETAT/IDentificateur.

CHAINE SERIE

Ligne de signal du BUS CEI 821 d'un type spécial utilisée pour propager un niveau de signal de carte en carte, partant du premier emplacement et se terminant au dernier emplacement. Le BUS CEI 821 comporte quatre lignes en chaîne série pour l'allocation du bus et une ligne en chaîne série pour la reconnaissance d'interruption.

EMETTEUR DE CHAINE SERIE IACK

Module fonctionnel qui active la chaîne série de reconnaissance d'interruption chaque fois qu'un CONTROLEUR D'INTERRUPTION reconnaît une demande d'interruption. Cette chaîne garantit qu'un seul GENERATEUR D'INTERRUPTION répondra avec son MOT D'ETAT/IDentificateur dans le cas où plusieurs d'entre eux auront généré des demandes d'interruption.

BUS D'ARBITRAGE

Un des quatre bus du fond de panier du BUS CEI 821. Ce bus permet à un module ARBITRE et à plusieurs modules DEMANDEURS de coordonner l'utilisation du DTB.

DEMANDEUR

Module fonctionnel qui réside sur la carte d'un MAITRE ou d'un CONTROLEUR D'INTERRUPTION et qui demande l'utilisation du DTB chaque fois que le MAITRE ou le CONTROLEUR D'INTERRUPTION en a besoin.

SLAVE

A functional module that detects DTB cycles initiated by a MASTER and, when those cycles specify its participation, transfers data between itself and the MASTER.

LOCATION MONITOR

A functional module that monitors data transfers over the DTB in order to detect accesses to the locations it has been assigned to watch. When an access to one of these assigned locations occurs, the LOCATION MONITOR generates an on-board signal.

BUS TIMER

A functional module that measures how long each data transfer takes on the DTB and terminates the DTB cycle if a transfer takes too long. Without this module, if the MASTER tries to transfer data to or from a non-existent SLAVE location it might wait forever. The BUS TIMER prevents this by terminating the cycle.

PRIORITY INTERRUPT BUS

One of the four buses provided by the IEC 821 BUS backplane. The Priority Interrupt Bus allows INTERRUPTER modules to send interrupt requests to INTERRUPT HANDLER modules.

INTERRUPTER

A functional module that generates an interrupt request on the Priority Interrupt Bus and then provides STATUS/ID information when the INTERRUPT HANDLER requests it.

INTERRUPT HANDLER

A functional module that detects interrupt requests generated by INTERRUPTERS and responds to those requests by asking for STATUS/ID information.

DAISY-CHAIN

A special type of IEC 821 BUS signal line that is used to propagate a signal level from board to board, starting with the first slot and ending with the last slot. There are four bus grant daisy-chains and one interrupt acknowledge daisy-chain on the IEC 821 BUS.

IACK DAISY-CHAIN DRIVER

A functional module which activates the interrupt acknowledge daisy-chain whenever an INTERRUPT HANDLER acknowledges an interrupt request. This daisy-chain ensures that only one INTERRUPTER will respond with its STATUS/ID when more than one has generated an interrupt request.

ARBITRATION BUS

One of the four buses provided by the IEC 821 BUS backplane. This bus allows an ARBITER module and several REQUESTER modules to coordinate use of the DTB.

REQUESTER

A functional module that resides on the same board as a MASTER or INTERRUPT HANDLER and requests use of the DTB whenever its MASTER or INTERRUPT HANDLER needs it.

ARBITRE

Module fonctionnel qui reçoit les demandes du bus provenant des modules DEMANDEURS et accorde le contrôle du DTB à un seul DEMANDEUR à la fois.

BUS UTILITAIRE

Un des quatre bus du fond de panier du BUS CEI 821. Ce bus comprend des signaux d'horloge et des signaux qui coordonnent la mise sous tension et les coupures d'alimentation des systèmes de BUS CEI 821.

EMETTEUR D'HORLOGE DU SYSTEME

Module fonctionnel qui fournit un signal d'horloge 16 MHz sur le bus utilitaire.

EMETTEUR D'HORLOGE DU BUS SERIE

Module fonctionnel qui fournit un signal d'horloge chargé de synchroniser le fonctionnement du BUS CEI 823*. (Bien que la norme du BUS CEI 821 définisse un EMETTEUR D'HORLOGE DU BUS SERIE à utiliser avec le BUS CEI 823, et bien qu'elle réserve deux lignes de signaux du fond de panier pour le BUS CEI 823, le protocole du BUS CEI 823 est complètement indépendant du BUS CEI 821.) La spécification du chronogramme du signal généré par l'EMETTEUR D'HORLOGE DU BUS SERIE est donné dans l'annexe C.

MODULE DE CONTROLE D'ALIMENTATION

Module fonctionnel qui surveille l'état de la source d'alimentation principale du système de BUS CEI 821 et signale quand cette source d'alimentation est hors des limites exigées pour un fonctionnement fiable du système. Puisque la plupart des systèmes sont alimentés par une source alternative, le MODULE DE CONTROLE D'ALIMENTATION est généralement conçu pour détecter des conditions de coupure d'alimentation et de sous-tension de l'alimentation alternative du secteur.

CARTE CONTROLEUR DU SYSTEME

Carte qui réside dans l'emplacement 1 du fond de panier du BUS CEI 821 et qui possède un EMETTEUR D'HORLOGE DU SYSTEME, un ARBITRE, un EMETTEUR DE CHAINE SERIE IACK et un LIMITEUR DE TEMPS D'OCCUPATION DU BUS. Parfois cette carte possède aussi un EMETTEUR D'HORLOGE DU BUS SERIE, un MODULE DE CONTROLE D'ALIMENTATION ou les deux.

1.2.1.3 Types de cycles du BUS CEI 821

CYCLE LECTURE

Cycle du DTB utilisé pour transférer 1, 2, 3 ou 4 octets d'un ESCLAVE vers un MAITRE. Le cycle commence lorsque le MAITRE diffuse une adresse et un modificateur d'adresse. Chaque ESCLAVE acquiert l'adresse et le modificateur d'adresse, et vérifie s'il doit répondre. Si c'est le cas, il extrait les données de sa mémoire interne, les place sur le bus de données et acquitte le transfert. Le MAITRE termine alors le cycle.

CYCLE ECRITURE

Cycle du DTB utilisé pour transférer 1, 2, 3 ou 4 octets d'un MAITRE vers un ESCLAVE. Le cycle commence quand le MAITRE diffuse une adresse et un modificateur d'adresse et place des données sur le DTB. Chaque ESCLAVE acquiert l'adresse et le modificateur d'adresse, et vérifie s'il doit répondre. Si c'est le cas, il enregistre les données, puis acquitte le transfert. Le MAITRE termine alors le cycle.

* A l'étude.

ARBITER

A functional module that accepts bus requests from REQUESTER modules and grants control of the DTB to one REQUESTER at a time.

UTILITY BUS

One of the four buses provided by the IEC 821 BUS backplane. This bus includes signals that provide periodic timing and coordinate the power-up and power-down of IEC 821 BUS systems.

SYSTEM CLOCK DRIVER

A functional module that provides a 16 MHz timing signal on the Utility Bus.

SERIAL CLOCK DRIVER

A functional module that provides a periodic timing signal that synchronizes operation of the IEC 823 BUS*. (Although the IEC 821 BUS standard defines a SERIAL CLOCK DRIVER for use with the IEC 823 BUS, and although it reserves two backplane signal lines for use by that bus, the IEC 823 BUS protocol is completely independent of the IEC 821 BUS.) Timing specifications for the SERIAL CLOCK DRIVER are given in Appendix C.

POWER MONITOR MODULE

A functional module that monitors the status of the primary power source to the IEC 821 BUS system, and signals when that power has strayed outside the limits required for reliable system operation. Since most systems are powered by an a.c. source, the POWER MONITOR is typically designed to detect drop-out or brown-out conditions on a.c. lines.

SYSTEM CONTROLLER BOARD

A board which resides in slot 1 of an IEC 821 BUS backplane and has a SYSTEM CLOCK DRIVER, an ARBITER, an IACK DAISY-CHAIN DRIVER and a BUS TIMER. Some also have a SERIAL CLOCK DRIVER, a POWER MONITOR or both.

1.2.1.3 Types of cycles on the IEC 821 BUS**READ CYCLE**

A DTB cycle used to transfer 1, 2, 3, or 4 bytes from a SLAVE to a MASTER. The cycle begins when the MASTER broadcasts an address and an address modifier. Each SLAVE captures the address modifier and address, and checks to see if it is to respond to the cycle. If so, it retrieves the data from its internal storage, places it on the data bus and acknowledges the transfer. The MASTER then terminates the cycle.

WRITE CYCLE

A DTB cycle used to transfer 1, 2, 3, or 4 bytes from a MASTER to a SLAVE. The cycle begins when the MASTER broadcasts an address and address modifier and places data on the DTB. Each SLAVE captures the address and address modifier and checks to see if it is to respond to the cycle. If so, it stores the data and then acknowledges the transfer. The MASTER then terminates the cycle.

* Under consideration.

CYCLE DE LECTURE PAR BLOC

Cycle du DTB utilisé pour transférer un bloc de 1 à 256 octets d'un ESCLAVE vers un MAITRE. Ce transfert est fait en utilisant une chaîne de données de 1, 2 ou 4 octets. Une fois que le transfert du bloc est commencé, le MAITRE ne libère le DTB que lorsque tous les octets sont transférés. La différence avec une suite de cycles de lecture est que le MAITRE ne transmet qu'une adresse et un modificateur d'adresse (au début du cycle). Ensuite, l'ESCLAVE incrémente cette adresse à chaque transfert afin que les données du transfert suivant soient extraites de l'emplacement contigu d'adresse supérieure.

CYCLE D'ECRITURE PAR BLOC

Cycle du DTB utilisé pour transférer un bloc de 1 à 256 octets d'un MAITRE vers un ESCLAVE. Le cycle d'écriture par bloc ressemble beaucoup au cycle de lecture par bloc. Ce transfert est fait en utilisant une chaîne de données de 1, 2 ou 4 octets et le MAITRE ne libère le DTB que lorsque tous les octets sont transférés. La différence avec une suite de cycles d'écriture est que le MAITRE ne transmet qu'une adresse et un modificateur d'adresse (au début du cycle). Ensuite, l'ESCLAVE incrémente cette adresse à chaque transfert afin que les données du transfert suivant soient enregistrées à l'emplacement contigu d'adresse supérieure.

CYCLE DE LECTURE-MODIFICATION-ECRITURE

Cycle du DTB utilisé pour lire ou écrire à une adresse d'ESCLAVE sans permettre à un autre MAITRE d'avoir accès à cette adresse. Ce cycle est très utile dans les systèmes de multitraitement où certains emplacements de mémoire sont utilisés pour assurer des fonctions liées aux sémaphores.

CYCLE UNIQUEMENT D'ADRESSAGE

Cycle du DTB qui consiste en une émission d'adresse, sans transfert de données. Les ESCLAVES ne doivent pas acquitter les cycles UNIQUEMENT D'ADRESSAGE et les MAITRES terminent le cycle sans attendre l'acquiescement.

CYCLE DE RECONNAISSANCE DE L'INTERRUPTION

Cycle du DTB, déclenché par un CONTROLEUR D'INTERRUPTION, pour lire un "MOT D'ETAT/IDentificateur" d'un GENERATEUR D'INTERRUPTION. Un CONTROLEUR D'INTERRUPTION déclenche ce cycle lorsqu'il détecte une demande d'interruption d'un GENERATEUR D'INTERRUPTION et qu'il obtient le contrôle du DTB.

1.2.2 Structure générale du BUS CEI 821

Le système d'interface du BUS CEI 821 comprend une logique d'interface de fond de panier, quatre groupes de lignes de signaux appelés "bus" et un ensemble de "modules fonctionnels" qui peuvent être configurés suivant les besoins. Les modules fonctionnels communiquent entre eux par l'intermédiaire des lignes de signaux du bus du fond de panier.

Les "modules fonctionnels" définis dans cette norme pour faciliter la présentation du protocole du bus ne doivent pas être considérés comme une contrainte pour la conception. Par exemple, le concepteur peut concevoir des circuits logiques qui dialoguent avec le BUS CEI 821 conformément à la description, mais qui utilisent des signaux différents sur la carte ou contrôlent d'autres signaux du BUS CEI 821. Les cartes de BUS CEI 821 peuvent être conçues pour inclure n'importe quelle combinaison des modules fonctionnels définis dans cette norme.

BLOCK READ CYCLE

A DTB cycle used to transfer a block of 1 to 256 bytes from a SLAVE to a MASTER. This transfer is done using a string of 1, 2, or 4 byte data transfers. Once the block transfer is started, the MASTER does not release the DTB until all of the bytes have been transferred. It differs from a string of read cycles in that the MASTER broadcasts only one address and address modifier (at the beginning of the cycle). Then the SLAVE increments this address on each transfer so that the data for the next transfer is retrieved from the next higher location.

BLOCK WRITE CYCLE

A DTB cycle used to transfer a block of 1 to 256 bytes from a MASTER to a SLAVE. The block write cycle is very similar to the block read cycle. It uses a string of 1, 2, or 4 byte data transfers and the MASTER does not release the DTB until all of the bytes have been transferred. It differs from a string of write cycles in that the MASTER broadcasts only one address and address modifier (at the beginning of the cycle). Then the SLAVE increments this address on each transfer so that the data from the next transfer is stored in the next higher location.

READ-MODIFY-WRITE CYCLE

A DTB cycle that is used to both read from, and write to, a SLAVE location without permitting any other MASTER to access that location. This cycle is most useful in multiprocessing systems where certain memory locations are used to provide semaphore functions.

ADDRESS-ONLY CYCLE

A DTB cycle that consists of an address broadcast, but no data transfer. SLAVES do not acknowledge ADDRESS-ONLY cycles and MASTERS terminate the cycle without waiting for an acknowledgement.

INTERRUPT ACKNOWLEDGE CYCLE

A DTB cycle, initiated by an INTERRUPT HANDLER, that reads a STATUS/ID from an INTERRUPTER. An INTERRUPT HANDLER generates this cycle whenever it detects an interrupt request from an INTERRUPTER and it has control of the DTB.

1.2.2 Basic IEC 821 BUS structure

The IEC 821 BUS interface system consists of backplane interface logic, four groups of signal lines called "buses", and a collection of "functional modules" which can be configured as required. The functional modules communicate with each other using the backplane signal lines.

The "functional modules" defined in this standard are used as vehicles for discussion of the bus protocol, and need not be considered a constraint to logic design. For example, the designer might choose to design logic which interacts with the IEC 821 BUS in the manner described, but uses different on board signals, or monitors other IEC 821 BUS signals. IEC 821 BUS boards might be designed to include any combination of the functional modules defined by this standard.

La structure fonctionnelle du BUS CEI 821 peut être divisée en quatre catégories. Chaque catégorie comprend un bus et les modules fonctionnels associés qui oeuvrent ensemble pour remplir des tâches spécifiques. La figure 1-2, page 36, représente les modules fonctionnels et les bus du BUS CEI 821. Chaque catégorie est brièvement résumée ci-dessous.

a) Transfert de données

Les unités transfèrent des données sur le bus de transfert de données (DTB) qui contient des lignes de données et d'adresses, et les signaux de contrôle associés. Des modules fonctionnels appelés MAITRES, ESCLAVES, GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION utilisent le DTB pour transférer des données entre eux. Deux autres modules, appelés LIMITEUR DE TEMPS D'OCCUPATION DU BUS et EMETTEUR DE CHAÎNE SÉRIE IACK les aident aussi dans ce processus.

b) Arbitrage du DTB

Comme le système BUS CEI 821 peut être configuré avec plusieurs MAITRES ou CONTROLEURS D'INTERRUPTION, un moyen est prévu pour transmettre le contrôle du DTB à chacun d'eux et faire en sorte qu'un seul ait le contrôle du DTB à un instant donné. Les modules d'arbitrage du bus (DEMANDEURS et ARBITRE) coordonnent le transfert du contrôle.

c) Interruption prioritaire

La capacité d'interruption prioritaire du BUS CEI 821 permet aux unités d'effectuer des demandes à un CONTROLEUR D'INTERRUPTION. Ces demandes d'interruption peuvent avoir jusqu'à sept niveaux de priorité. Les GENERATEURS D'INTERRUPTION et CONTROLEURS D'INTERRUPTION utilisent les lignes de signaux du bus d'interruption.

d) Utilitaires

Les horloges, l'initialisation et la détection des erreurs sont fournis par le bus utilitaire. Celui-ci comprend deux lignes d'horloge, une ligne d'initialisation du système, une ligne de défaillance système, une ligne de défaillance de l'alimentation du secteur en courant alternatif et une ligne de données série.

The IEC 821 BUS functional structure can be divided into four categories. Each consists of a bus and its associated functional modules which work together to perform specific duties. Figure 1-2, page 37, shows the IEC 821 BUS functional modules and buses. Each category is briefly summarized below.

a) Data Transfer

Devices transfer data over the Data Transfer Bus (DTB), which contains data and address pathways and associated control signals. Functional modules called MASTERS, SLAVES, INTERRUPTERS, and INTERRUPT HANDLERS use the DTB to transfer data between each other. Two other modules, called a BUS TIMER and an IACK DAISY-CHAIN DRIVER also assist them in this process.

b) DTB Arbitration

Since an IEC 821 BUS system can be configured with more than one MASTER or INTERRUPT HANDLER, a means is provided to transfer control of the DTB between them in an orderly manner and to guarantee that only one controls the DTB at a given time. The Arbitration Bus modules (REQUESTERS and ARBITER) coordinate the control transfer.

c) Priority Interrupt

The priority interrupt capability of the IEC 821 BUS provides a means by which devices can request service from an INTERRUPT HANDLER. These interrupt requests can be prioritized into a maximum of seven levels. INTERRUPTERS and INTERRUPT HANDLERS use the Priority Interrupt Bus signal lines.

d) Utilities

Periodic clocks, initialization, and failure detection are provided by the Utility Bus. It includes two clock lines, a system reset line, a system fail line, an a.c. fail line, and a serial data line.

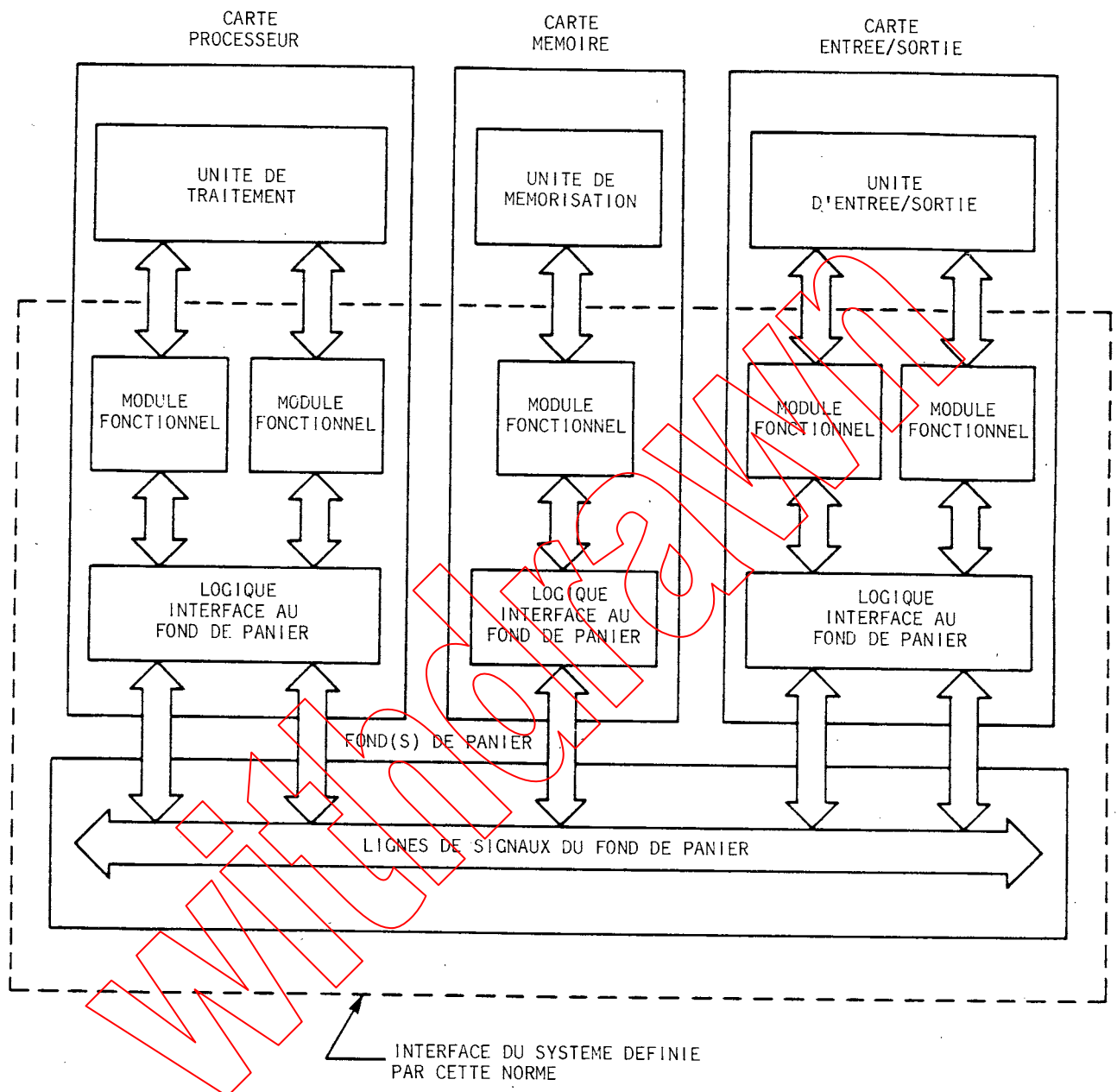


FIG. 1-1. - Eléments du système définis par cette norme.

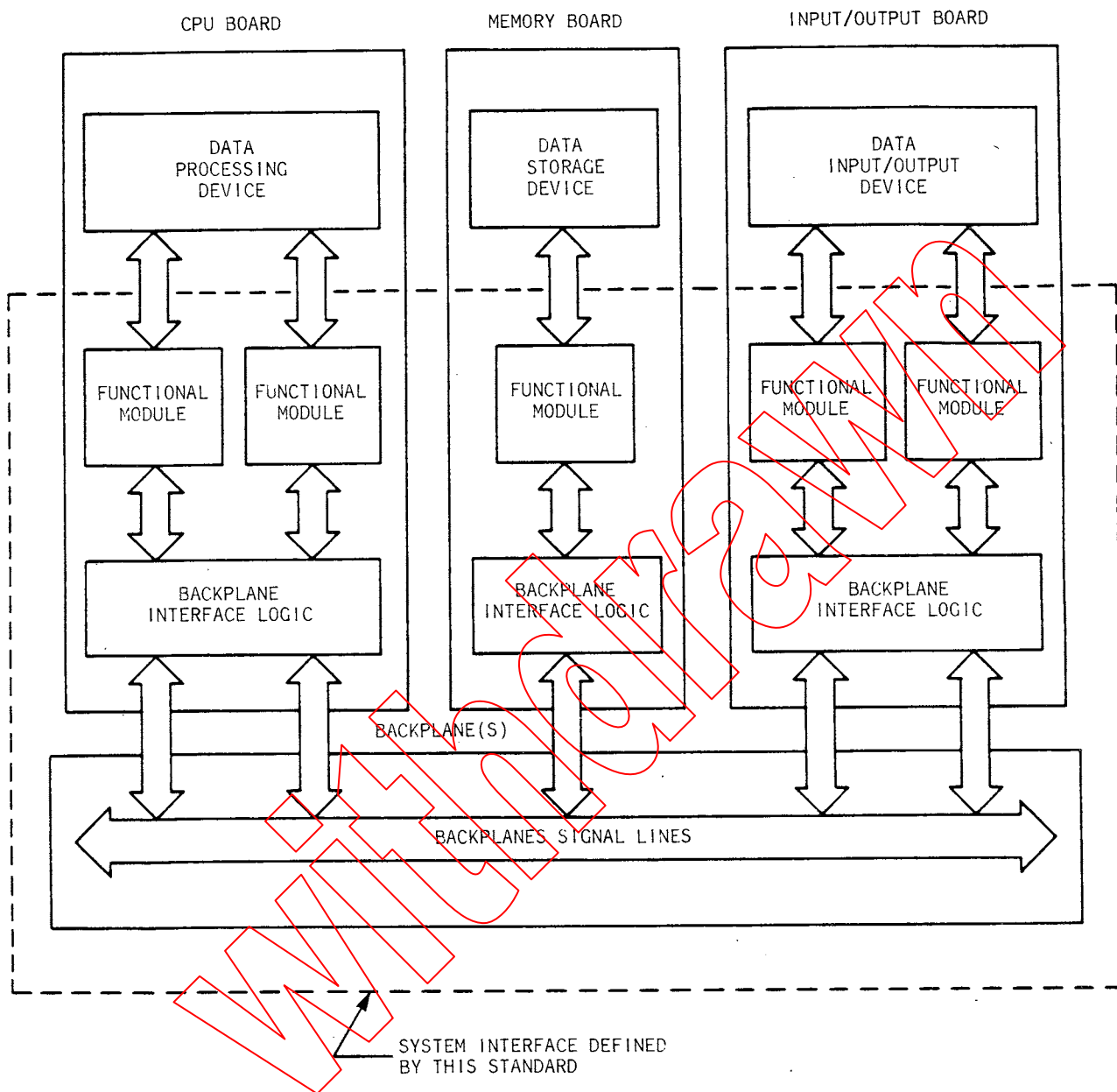


FIG. 1-1. - System elements defined by this standard.

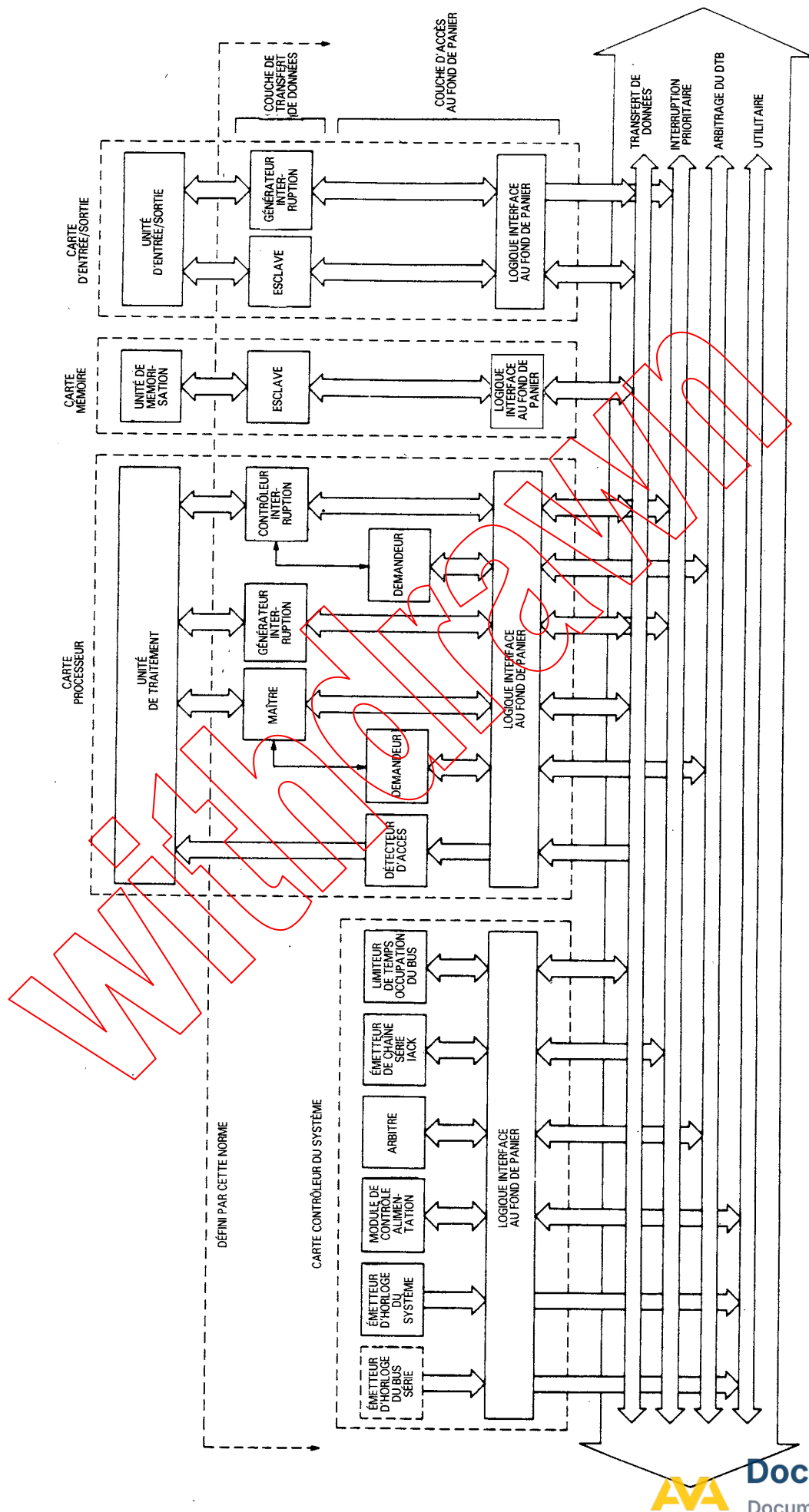


FIG. 1-2. - Modules fonctionnels et bus définis par cette norme.

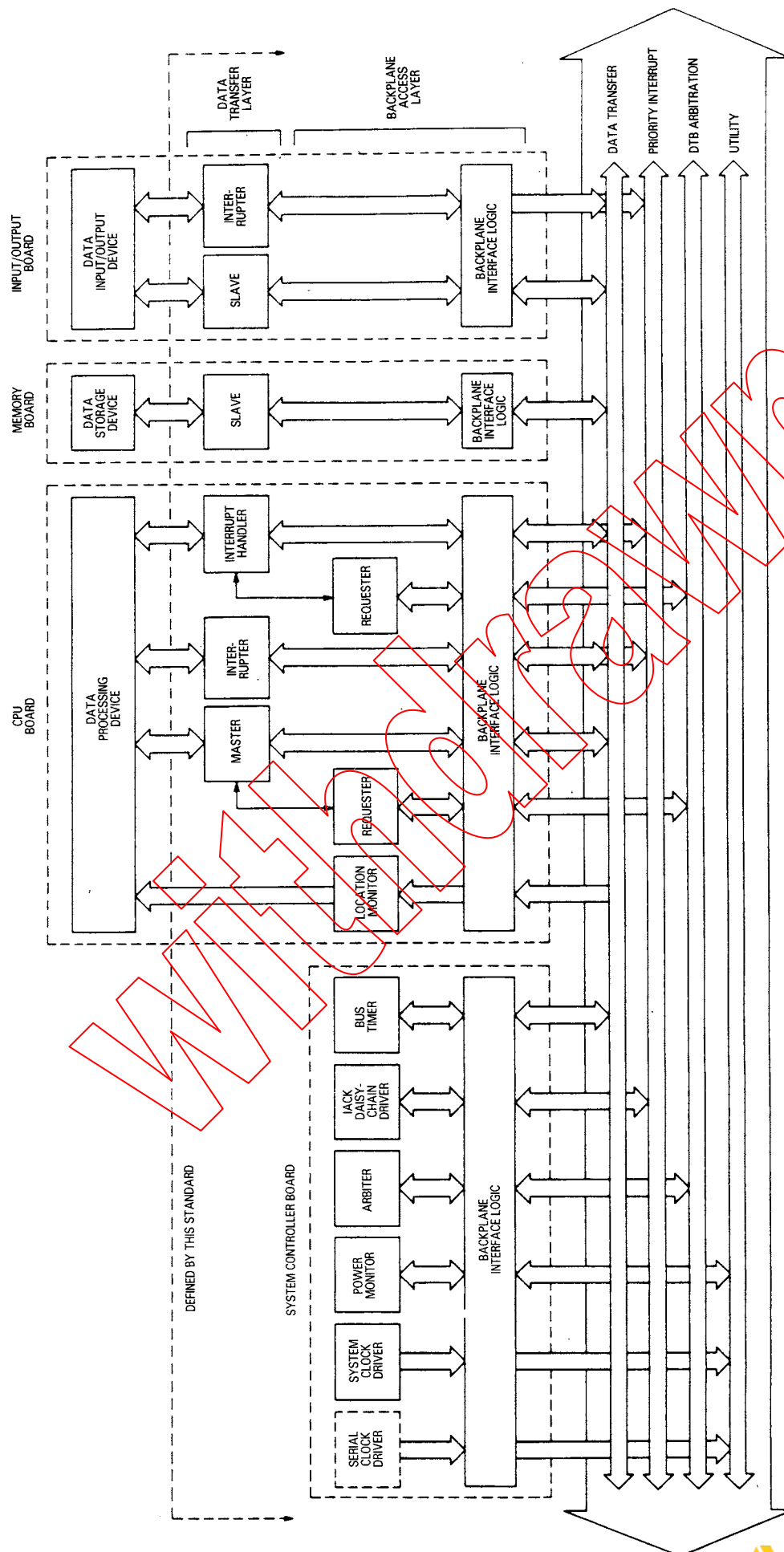


FIG. 1-2. - Functional modules and buses defined by this standard.

1.3 Diagrammes de la norme du BUS CEI 821

Pour définir ou décrire le fonctionnement du BUS CEI 821, différents types de diagrammes sont utilisés:

- a) Les chronogrammes qui montrent les relations de temps entre les transitions des signaux. Les temps considérés doivent avoir des limites inférieures et/ou supérieures associées. Certains des temps indiqués dans ces diagrammes spécifient le comportement de la logique d'interface du fond de panier tandis que d'autres spécifient le comportement d'interverrouillage des modules fonctionnels.
- b) Les schémas des séquences, semblables aux chronogrammes mais montrant seulement les relations temporelles d'interverrouillage des modules fonctionnels. Ces diagrammes montrent la suite des événements plutôt que les temps impliqués. Par exemple, un schéma des séquences peut montrer que le module A ne peut générer le signal de transition B avant d'avoir détecté la génération du signal de transition D du module C.
- c) Les organigrammes qui montrent une chaîne d'événements telle qu'elle se présente lors d'une opération du BUS CEI 821. Les événements résultent de l'interaction entre deux ou plusieurs modules fonctionnels et sont décrits par un texte. L'organigramme décrit les opérations du BUS CEI 821 de façon séquentielle et montre, en même temps, l'interaction entre les modules fonctionnels.

1.4 Terminologie utilisée dans la norme

Pour éviter toute confusion et pour clarifier les exigences de conformité, la plupart des paragraphes de cette norme sont repérés par des mots clefs qui indiquent le type d'informations qu'ils contiennent. La liste des mots clefs est donnée ci-dessous:

REGLE
RECOMMANDATION
SUGGESTION
AUTORISATION
OBSERVATION

Un texte sans l'un de ces mots clefs décrit la structure ou le fonctionnement du BUS CEI 821. Il est écrit dans un style descriptif ou narratif. L'utilisation de ces mots clefs est la suivante:

REGLE chapitre.numéro:

Les règles forment le cadre fondamental de la norme du BUS CEI 821. Elles sont exprimées parfois sous forme de texte et parfois sous forme de figures, tableaux ou dessins. Toutes les règles du BUS CEI 821 DOIVENT être observées pour assurer la compatibilité entre les produits conçus pour le BUS CEI 821. Les règles sont caractérisées par un style impératif. Les mots DOIT et NE DOIT PAS, en lettres majuscules, sont réservés exclusivement pour déclarer les règles de cette norme et ne sont pas utilisés pour d'autres usages.

RECOMMANDATION chapitre.numéro:

Une recommandation indique au concepteur qu'il serait judicieux de suivre les conseils donnés. Faire autrement peut entraîner des ennuis graves ou une mauvaise performance. Bien que le BUS CEI 821 ait été conçu pour des systèmes de haute performance il est possible de

1.3 IEC 821 BUS standard diagrams

As aids to defining or describing IEC 821 BUS operation, several types of diagrams are used, including:

- a) Timing diagrams that show the timing relationships between signal transitions. The times involved will have minimum and/or maximum limits associated with them. Some of the times specified on these diagrams specify the behavior of the backplane interface logic, while other times specify the interlocked behavior of the functional modules.
- b) Sequence diagrams that are similar to a timing diagram but show only the interlocked timing relationships of the functional modules. This diagram is intended to show a sequence of events, rather than to specify the times involved. For example, a sequence diagram might indicate that module A cannot generate signal transition B until it detects module C's generation of signal transition D.
- c) Flow diagrams that show a stream of events as they would occur during an IEC 821 BUS operation. The events are stated in words and result from interaction of two or more functional modules. The flow diagram describes IEC 821 BUS operations in a sequential manner and, at the same time, shows interaction of the functional modules.

1.4 Standard terminology

To avoid confusion, and to make very clear what the requirements for compliance are, many of the paragraphs in this standard are labeled with keywords that indicate the type of information it contains. The keywords are listed below:

RULE
RECOMMENDATION
SUGGESTION
PERMISSION
OBSERVATION

Any text not labeled with one of these keywords describes the IEC 821 BUS structure or operation. It is written in either a descriptive or a narrative style. These keywords are used as follows:

RULE chapter.number:

Rules form the basic framework of the IEC 821 BUS standard. They are sometimes expressed in text form and sometimes in the form of figures, tables, or drawings. All IEC 821 BUS rules **MUST** be followed to ensure compatibility between IEC 821 BUS designs. Rules are characterized by an imperative style. The upper-case words **MUST** and **MUST NOT** are reserved exclusively for stating rules in this standard and are not used for any other purpose.

RECOMMENDATION chapter.number:

Wherever a recommendation appears, designers would be wise to take the advice given. Doing otherwise might result in some awkward problems or poor performance. While IEC 821 BUS has been designed to support high performance systems, it is possible to design an IEC

concevoir un système de BUS CEI 821 conforme à toutes les règles mais ayant des performances médiocres. Souvent le concepteur doit avoir un certain niveau d'expérience du BUS CEI 821 pour concevoir des cartes qui donnent la meilleure performance. Les recommandations contenues dans cette norme sont fondées sur l'expérience et sont fournies aux concepteurs pour accélérer leur apprentissage.

SUGGESTION chapitre.numéro:

Dans la norme du BUS CEI 821, une suggestion est un conseil utile mais non vital. Le lecteur est encouragé à ne pas l'écarter sans y réfléchir. Certains choix de conception des cartes de BUS CEI 821 sont difficiles tant que l'on n'a pas acquis suffisamment d'expérience. Les suggestions sont faites pour aider le concepteur encore inexpérimenté. Plusieurs suggestions se rapportent soit à la conception de cartes facilement reconfigurables pour être compatibles avec d'autres cartes, soit à la conception de cartes facilitant la mise au point du système.

AUTORISATION chapitre.numéro:

Dans certains cas une règle du BUS CEI 821 n'interdit pas spécifiquement une certaine méthode de conception, mais le lecteur peut se demander si celle-ci transgresse la règle ou si elle risque de conduire à un ennui. Les autorisations confirment au lecteur qu'une certaine méthode de conception est acceptable et n'entraînera pas de difficultés. Le mot PEUT, en lettres majuscules, est réservé exclusivement pour énoncer les autorisations de cette norme et n'est pas utilisé pour d'autres usages.

OBSERVATION chapitre.numéro:

Les observations ne donnent pas de conseils spécifiques. Elles découlent généralement de la discussion. Elles soulignent les implications de certaines règles du BUS CEI 821 et attirent l'attention sur certains points qui autrement pourraient être négligés. Elles donnent aussi la raison de certaines règles afin que le lecteur comprenne la nécessité de les suivre.

1.4.1 *Etats des lignes de signaux*

La norme du BUS CEI 821 décrit le protocole en termes de niveaux et de changements d'états sur les lignes du bus.

Une ligne de signal est toujours supposée être à l'un des deux niveaux ou en transition entre ces niveaux. Quand le terme "haut" est utilisé, il se rapporte à un niveau haut de tension. Le terme "bas" se rapporte à un niveau bas de tension. Une ligne de signal est "en transition" quand son niveau de tension se déplace entre ces niveaux. (Voir chapitre 6 pour les seuils de tension utilisés sur le BUS CEI 821.)

Deux types de transitions sont possibles sur une ligne de signal et sont appelés "fronts". Un front montant est le temps de passage de la ligne de signal entre le niveau bas et le niveau haut. Un front descendant est le temps de passage de la ligne de signal du niveau haut au niveau bas.

Certaines spécifications de bus indiquent les temps de montée et descente minimale et maximale pour ces fronts. Une difficulté vient de ce que les concepteurs de la carte ont peu de moyens de contrôle sur ces temps. Si le fond de panier est très chargé, les temps de montée et de descente seront longs. S'il est peu chargé, ces temps peuvent être courts. Même si les concepteurs savent ce que sera la charge minimale

821 BUS system that complies with all the rules, but has abysmal performance. In many cases, a designer needs a certain level of experience with IEC 821 BUS in order to design boards that deliver top performance. Recommendations found in this standard are based on this kind of experience, and are provided to designers to speed their traversal of the learning curve.

SUGGESTION chapter.number:

In the IEC 821 BUS specification, a suggestion contains advice which is helpful but not vital. The reader is encouraged to consider the advice before discarding it. Some design decisions that need to be made in designing IEC 821 BUS boards are difficult until experience has been gained with the IEC 821 BUS. Suggestions are included to help a designer who has not yet gained this experience. Some suggestions have to do with designing boards that can be easily reconfigured for compatibility with other boards, or with designing the board to make the job of system debugging easier.

PERMISSION chapter.number:

In some cases an IEC 821 BUS rule does not specifically prohibit a certain design approach, but the reader might be left wondering whether that approach might violate the spirit of the rule, or whether it might lead to some subtle problem. Permissions reassure the reader that a certain approach is acceptable and will cause no problems. The upper-case word MAY is reserved exclusively for stating permissions in this standard and is not used for any other purpose.

OBSERVATION chapter.number:

Observations do not offer any specific advice. They usually follow naturally from what has just been discussed. They spell out the implications of certain IEC 821 BUS rules and bring attention to things that might otherwise be overlooked. They also give the rationale behind certain rules, so that the reader understands why the rule must be followed.

1.4.1 *Signal line states*

The IEC 821 BUS standard describes its protocol in terms of levels and transitions on bus lines.

A signal line is always assumed to be in one of two levels or in transition between these levels. Whenever the term "high" is used, it refers to a high TTL voltage level. The term "low" refers to a low TTL voltage level. A signal line is "in transition" when its voltage is moving between these levels. (See Chapter 6 for voltage thresholds used on the IEC 821 BUS.)

There are two possible transitions which can appear on a signal line, and these are called "edges". A rising edge is the time during which a signal line makes its transition from a low level to a high level. The falling edge is the time during which a signal line makes its transition from a high level to a low level.

Some bus specifications prescribe maximum or minimum rise and fall times for these edges. The problem with doing this is that board designers have very little control over these times. If the backplane is heavily loaded, the rise and fall times will be long. If it is lightly loaded, these times might be short. Even if designers know what the maximum and minimum loading will be, they still need to spend time in

et maximale, ils doivent effectuer des essais en laboratoire pour trouver les émetteurs qui fourniront les temps spécifiés de montée et de descente.

En fait, les temps de montée et de descente sont le résultat d'un ensemble complexe d'interactions concernant les impédances des pistes du fond de panier, ses adaptations, l'impédance de source des émetteurs et la charge capacitive des pistes. Pour obtenir un compromis entre tous ces facteurs, le concepteur de la carte devrait connaître la théorie des lignes de transmission, et certains paramètres spécifiques des émetteurs et récepteurs qui ne sont pas normalement inclus dans la plupart des feuilles de spécifications des fabricants.

Compte tenu de tout cela, la norme du BUS CEI 821 ne spécifie pas les temps de montée et de descente. En lieu et place, elle spécifie les caractéristiques électriques des émetteurs et récepteurs et la manière de concevoir le fond de panier. Elle indique aussi, aux concepteurs, comment le délai de propagation des émetteurs est affecté dans le plus mauvais cas de charge du bus, si bien qu'ils peuvent s'assurer que la chronologie du BUS CEI 821 est respectée avant de construire une carte. Si les concepteurs du BUS CEI 821 suivent ces spécifications de délai de propagation, leurs cartes fonctionneront correctement avec les autres cartes compatibles de BUS CEI 821 même dans les plus mauvaises conditions.

1.4.2 Utilisation de l'astérisque (*)

Pour mieux définir l'utilisation, les mnémoniques des signaux ont un astérisque en suffixe quand c'est nécessaire:

- a) Un astérisque (*) qui suit le nom d'un signal actif sur un niveau, signifie que le signal est vrai ou valide quand il est au niveau bas.
- b) Un astérisque (*) qui suit le nom d'un signal actif sur un front, signifie que les actions déclenchées par ce signal ont lieu sur une transition du signal du niveau haut vers le niveau bas.

OBSERVATION 1.1:

L'astérisque n'a pas de sens pour les lignes d'horloge asynchrone SYSCLK et SERCLK. Il n'y a pas de relation de phase fixe entre ces deux lignes d'horloge et les autres temps du BUS CEI 821.

1.5 Spécification du protocole

Il y a deux couches de protocole du BUS CEI 821. La couche inférieure du BUS CEI 821, appelée la couche d'accès au fond de panier, est composée de la logique d'interface du fond de panier, des modules du bus utilitaire et des modules du bus d'arbitrage. La couche de transfert de données du BUS CEI 821 est composée des modules du bus de transfert de données et du bus d'interruption. La figure 1-2, page 36, indique ces couches.

OBSERVATION 1.2:

Les lignes de signaux utilisées par les modules des couches de transfert de données forment une classe spéciale parce qu'elles sont commandées par des modules différents à des instants différents. Elles sont commandées par des émetteurs de lignes qui peuvent être activés et désactivés par chaque carte selon les signaux générés dans la

the lab, experimenting to find out which drivers will provide the needed rise and fall times.

In fact, rise and fall times are the result of a complex set of interactions involving the signal line impedances of the backplane, its terminations, the source impedance of the drivers, and the capacitive loading of the signal line. In order to trade off all of these factors, the board designer would have to study transmission line theory, as well as certain specific parameters of drivers and receivers which are not normally found in most manufacturers' data sheets.

Recognizing all of this, the IEC 821 BUS standard doesn't specify rise and fall times. Instead, it specifies the electrical characteristics for drivers and receivers and suggests how to design the backplane. It also tells designers how the worst case bus loading will affect the propagation delay of these drivers so that they can ensure that the IEC 821 BUS timing is met before building a board. If IEC 821 BUS designers follow these propagation delay guidelines, their boards will operate reliably with other IEC 821 BUS compatible boards under worst case conditions.

1.4.2 Use of the asterisk (*)

To help define usage, signal mnemonics have an asterisk suffix where required:

- a) An asterisk (*) following the signal name of signals which are level significant denotes that the signal is true or valid when the signal is low.
- b) An asterisk (*) following the signal name of signals which are edge significant denotes that the actions initiated by that signal occur on a high to low transition.

OBSERVATION 1.1:

The asterisk is inappropriate for the asynchronously running clock lines `SYSClk` and `SERCLK`. There is no fixed phase relationship between these clock lines and other IEC 821 BUS timing.

1.5 Protocol specification

There are two layers of IEC 821 BUS protocol. The lowest IEC 821 BUS layer, called the backplane access layer, is composed of the backplane interface logic, the Utility Bus modules, and the Arbitration Bus modules. The IEC 821 BUS data transfer layer is composed of the Data Transfer Bus and Priority Interrupt Bus modules. Figure 1-2, page 37, shows this layering.

OBSERVATION 1.2:

The signal lines used by the data transfer layer modules form a special class because they are driven by different modules at different times. They are driven with line drivers that can be turned on and off at each board, based upon signals generated in the backplane access layer. It is very important that their turn-on and turn-off times be

couche d'accès au fond de panier. Il est très important que leurs temps d'activation et de désactivation soient soigneusement vérifiés afin d'éviter que deux émetteurs ne tentent de porter les mêmes lignes de signaux à des niveaux différents. Une notation spéciale est utilisée dans les chronogrammes de cette norme pour spécifier les temps de commutation. Elle est représentée dans la figure 1-3, page 46.

Il y a deux types fondamentaux de protocoles utilisés sur le BUS CEI 821: les protocoles en boucle fermée et les protocoles en boucle ouverte. Les protocoles en boucle fermée utilisent des signaux d'interverrouillage du bus tandis que les protocoles en boucle ouverte utilisent des signaux de diffusion du bus.

1.5.1 *Signaux d'interverrouillage du bus*

Un signal d'interverrouillage du bus est envoyé d'un module donné à un autre. Ce signal est acquitté par le module de réception. Une relation d'interverrouillage existe entre les deux modules jusqu'à ce que le signal soit acquitté. Par exemple, un GÉNÉRATEUR D'INTERRUPTION peut envoyer une demande d'interruption qui reçoit ensuite comme acquittement un signal de reconnaissance de l'interruption (aucune limite de temps n'est prescrite par la norme du BUS CEI 821). Le GÉNÉRATEUR D'INTERRUPTION maintient la demande d'interruption jusqu'à ce que le CONTRÔLEUR D'INTERRUPTION la reconnaisse.

Des signaux d'interverrouillage du bus règlent le fonctionnement interne du système de BUS CEI 821, par opposition à l'interaction avec des stimuli externes. Chaque signal d'interverrouillage agit d'un module source vers un module de destination dans le système de BUS CEI 821.

Les signaux de validation d'adresse et de donnée sont des signaux d'interverrouillage très importants. Ils sont interverrouillés avec les signaux d'accusé de réception de données et d'erreurs du bus et ils coordonnent le transfert d'adresses et de données qui constituent la base de tous les flux d'informations entre les modules de la couche de transfert de données.

1.5.2 *Signal de diffusion du bus*

Un module génère un signal de diffusion pour répondre à un événement. Il n'y a pas de protocole pour l'acquiescement d'un signal diffusé. La diffusion est maintenue pendant un temps minimal spécifié, assez long pour assurer que tous les modules appropriés détectent le signal. Les signaux de diffusion peuvent être activés à n'importe quel moment, indépendamment d'autres activités qui se passent sur le bus. Ils sont envoyés sur une ligne de signal spécifique. Citons en exemple la ligne de signal d'initialisation du système et celle de défaillance de l'alimentation alternative. Ces lignes de signaux ne sont pas destinées à un module spécifique mais annoncent des conditions d'exceptions à tous les modules.

carefully controlled to prevent two drivers from attempting to drive the same signal line to different levels. Special timing diagram notation is used in this standard to specify their turn-on and turn-off times. It is shown in Figure 1-3, page 47.

There are two basic kinds of protocol used on the IEC 821 BUS: closed loop protocols and open loop protocols. Closed loop protocols use interlocked bus signals while open loop protocols use broadcast bus signals.

1.5.1 *Interlocked bus signals*

An interlocked bus signal is sent from a specific module to another specific module. The signal is acknowledged by the receiving module. An interlocked relationship exists between the two modules until the signal is acknowledged. For example, an INTERRUPTER can send an interrupt request which is answered later with an interrupt acknowledge signal (no time limit is prescribed by the IEC 821 BUS standard). The INTERRUPTER doesn't remove the interrupt request until the INTERRUPT HANDLER acknowledges it.

Interlocked bus signals coordinate internal functions of the IEC 821 BUS system, as opposed to interacting with external stimuli. Each interlocked signal has a source module and a destination module within the IEC 821 BUS system.

The address strobe and data strobes are especially important interlocking signals. They are interlocked with the data transfer acknowledge and bus error signals and coordinate the transfer of addresses and data which are the basis for all information flow between modules in the data transfer layer.

1.5.2 *Broadcast bus signal*

A module generates a broadcast signal in response to an event. There is no protocol for acknowledging a broadcast signal. Instead, the broadcast is maintained for a minimum specified time, long enough to assure that all appropriate modules detect the signal. Broadcast signals might be activated at any time, irrespective of any other activity taking place on the bus. They are each sent over a dedicated signal line. Some examples are the system reset and a.c. failure lines. These signal lines are not sent to any specific module, but announce special conditions to all modules.

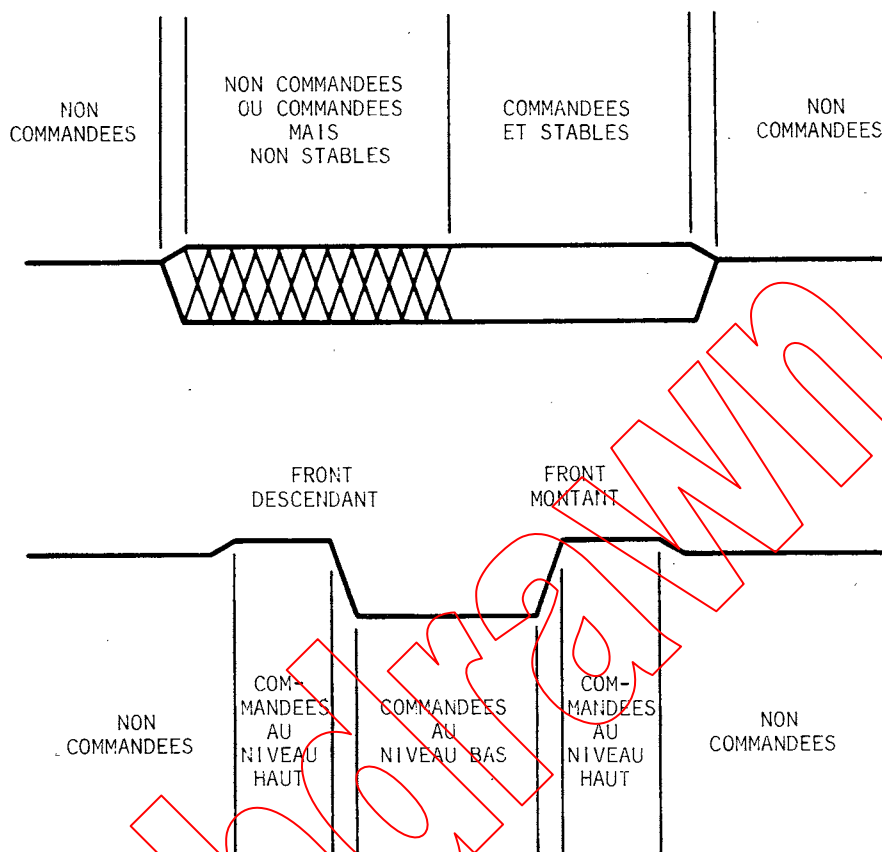


FIG. 1-3. - Notations utilisées dans les chronogrammes.

1.6 Exemples et explications relatifs au système

La spécification du protocole décrit, en détail, le comportement des différents modules fonctionnels. Elle indique comment un module répond à un signal sans indiquer l'origine de ce dernier. Par conséquent, la spécification du protocole ne donne pas au lecteur une image complète de ce qui se passe sur le bus. Pour aider le lecteur, la norme du BUS CEI 821 fournit des exemples de fonctionnement typique. Chaque exemple montre une séquence possible d'événements, mais d'autres séquences sont possibles. En fournissant ces exemples, on risque de voir les lecteurs supposer que la séquence montrée dans l'exemple est la seule correcte. Pour aider le lecteur à éviter ce piège, tous les exemples sont donnés dans un style narratif, utilisant le temps présent. Cela contraste avec le style impératif utilisé pour donner les règles de conformité de la norme du BUS CEI 821.

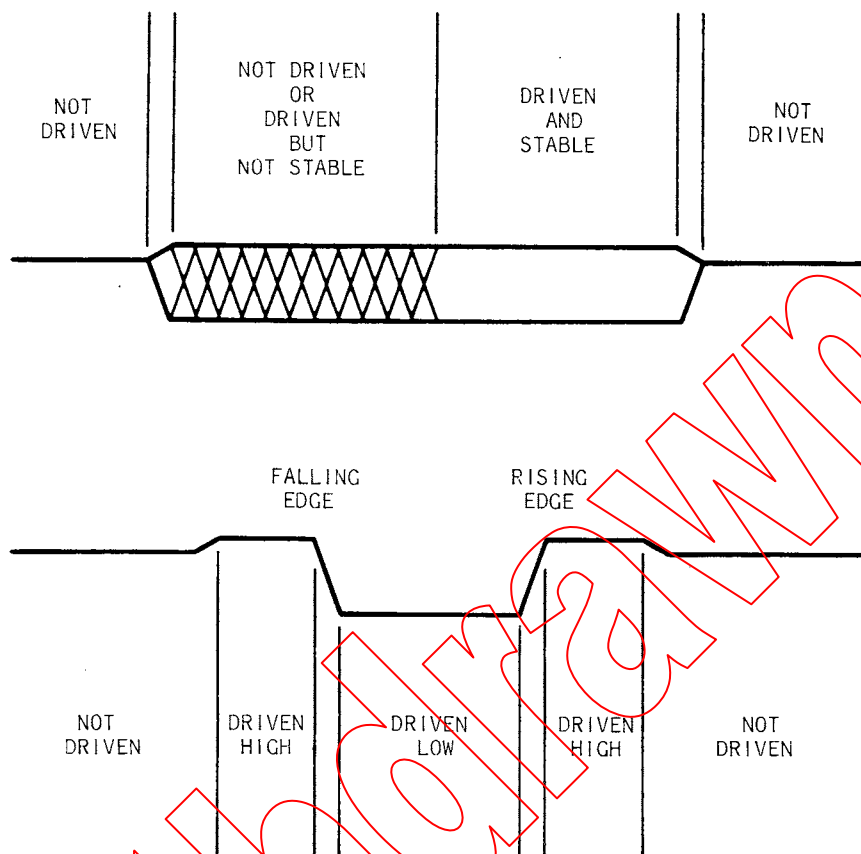


FIG. 1-3. - Signal timing notation.

1.6 System examples and explanations

A protocol specification describes, in detail, the behavior of the various functional modules. It discusses how a module responds to a signal without saying where the signal came from. Because of this, a protocol specification does not give the reader a complete picture of what is going on over the bus. To help the reader, the IEC 821 BUS standard provides examples of typical IEC 821 BUS operations. Each example shows one possible sequence of events; other sequences are also possible. In providing these examples, there is the danger that readers will assume that the sequence shown in the example is the only legal one. To help readers avoid this trap, all examples are given in a narrative style, using the present tense. This is in contrast to the imperative style used when giving rules for compliance with the IEC 821 BUS standard.

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

2.1 Introduction

Le BUS CEI 821 comprend un bus de transfert de données (DTB) parallèle, asynchrone, à haute vitesse. La figure 2-1, page 50, indique un système typique de BUS CEI 821, incluant tous les types de modules fonctionnels DTB. Le DTB est utilisé par les MAITRES pour sélectionner des adresses des ESCLAVES et pour transférer des données vers ou à partir de cette adresse. Certains MAITRES et ESCLAVES utilisent toutes les lignes de signaux du DTB, tandis que d'autres utilisent seulement une partie.

Des DETECTEURS D'ACCES surveillent les transferts de données entre des MAITRES et des ESCLAVES. Lorsqu'il y a un accès à ou aux adresses d'octets qu'il surveille, un DETECTEUR D'ACCES génère un signal sur la carte. Il pourrait envoyer, par exemple, un signal à son processeur sur la carte au moyen d'une interruption. Dans une telle configuration, si une carte processeur A écrit à une adresse de la mémoire globale du BUS CEI 821 surveillée par le DETECTEUR D'ACCES du processeur B, le processeur B sera interrompu.

Après qu'un MAITRE eut lancé un cycle de transfert de données, il attend la réponse de l'ESCLAVE sélectionné avant de terminer le cycle. Le caractère asynchrone du BUS CEI 821 autorise un ESCLAVE à prendre le temps qu'il nécessite pour répondre. Si un ESCLAVE ne répond pas à cause de quelque malfonction ou si le MAITRE adresse accidentellement un emplacement où il n'y a pas d'ESCLAVE, le LIMITEUR DE TEMPS D'OCCUPATION DU BUS intervient alors, permettant de terminer le cycle.

2.2 Lignes du bus de transfert de données

Les lignes du bus de transfert de données peuvent être groupées en trois catégories:

Lignes d'adresse	Lignes de données	Lignes de commande
A01-A31	D00-D31	AS*
AM0-AM5		DS0*
DS0*		DS1*
DS1*		BERR*
LWORD*		DTACK*
		WRITE*

OBSERVATION 2.1:

Les deux signaux de validation de donnée (DS0* et DS1*) ont une fonction double:

- 1) Les niveaux de ces deux lignes de signaux de validation de donnée sont utilisés pour sélectionner quel ou quels octets sont accédés.
- 2) Le front descendant du premier signal de validation de donnée est aussi utilisé comme un signal de contrôle du séquençement qui coordonne le transfert des données entre le MAITRE et l'ESCLAVE.