

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60822

Première édition
First edition
1988-12

CEI 822 VSB

**Bus parallèle de sous-système
du bus CEI 821 VMEbus**

IEC 822 VSB

**Parallel Sub-system Bus of the
IEC 821 VMEbus**



Numéro de référence
Reference number
CEI/IEC 60822: 1988

LICENSED TO MECON Limited, - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60822

Première édition
First edition
1988-12

CEI 822 VSB

**Bus parallèle de sous-système
du bus CEI 821 VMEbus**

IEC 822 VSB

**Parallel Sub-system Bus of the
IEC 821 VMEbus**

© IEC 1988 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XG**

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

LICENSED TO MECON Limited, - RANCHI/BANGALORE
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SOMMAIRE

	Pages
PREAMBULE	14
PREFACE	14

CHAPITRE 0: DOMAINE D'APPLICATION

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 822 VSB

Sections

1.1	Objectifs de la norme CEI 822 VSB, bus parallèle de sous-système du bus CEI 821 VMEbus (désormais référencé VSB)	18
1.2	Eléments du système VSB	18
1.2.1	Définitions générales	18
1.2.1.1	Définition de la structure physique	18
1.2.1.2	Définition de la structure fonctionnelle	20
1.2.1.3	Types de cycles VSB	24
1.3	Diagrammes de la norme VSB	30
1.4	Terminologie utilisée dans la norme	30
1.4.1	Etats des lignes de signaux	32
1.4.2	Utilisation de l'astérisque (*)	34
1.5	Spécification du protocole	34

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU VSB

2.1	Introduction	38
2.2	Lignes du bus de transfert de données	40
2.2.1	Lignes d'adresse	40
2.2.1.1	AD00-AD31	40
2.2.1.2	SPACE0-SPACE1	42
2.2.1.3	SIZE0-SIZE1	42
2.2.1.4	ASACK0*-ASACK1*	42
2.2.1.5	GA0-GA2	44
2.2.2	Lignes de données AD00-AD31	44
2.2.3	Lignes de commande	44
2.2.3.1	PAS*	44
2.2.3.2	AC	46
2.2.3.3	WR*	46
2.2.3.4	LOCK*	46
2.2.3.5	DS*	46
2.2.3.6	WAIT*	46
2.2.3.7	ACK*	48
2.2.3.8	ERR*	48
2.2.3.9	IRQ*	48
2.2.3.10	CACHE*	50
2.3	Modules du DTB - Description générale	50
2.3.1	MAITRE	52
2.3.2	ESCLAVE	54

CONTENTS

	Page
FOREWORD	15
PREFACE	15

CHAPTER 0: SCOPE

CHAPTER 1: INTRODUCTION TO THE IEC 822 VSB BUS STANDARD

Section

1.1	Standard objectives of the IEC 822 VSB parallel Subsystem Bus of the IEC 821 VMEbus (Subsystem henceforth referred to as VSB)	19
1.2	VSB system elements	19
1.2.1	Basic definitions	19
1.2.1.1	Physical structure definition	19
1.2.1.2	Functional structure definition	21
1.2.1.3	Types of VSB cycles	25
1.3	VSB standard diagrams	31
1.4	Standard terminology	31
1.4.1	Signal line states	33
1.4.2	Use of the asterisk (*)	35
1.5	Protocol specification	35

CHAPTER 2: VSB DATA TRANSFER BUS

2.1	Introduction	39
2.2	Data Transfer Bus lines	41
2.2.1	Addressing lines	41
2.2.1.1	AD00-AD31	41
2.2.1.2	SPACE0-SPACE1	43
2.2.1.3	SIZE0-SIZE1	43
2.2.1.4	ASACK0*-ASACK1*	43
2.2.1.5	GA0-GA2	45
2.2.2	Data lines AD00-AD31	45
2.2.3	Control lines	45
2.2.3.1	PAS*	45
2.2.3.2	AC	47
2.2.3.3	WR*	47
2.2.3.4	LOCK*	47
2.2.3.5	DS*	47
2.2.3.6	WAIT*	47
2.2.3.7	ACK*	49
2.2.3.8	ERR*	49
2.2.3.9	IRQ*	49
2.2.3.10	CACHE*	51
2.3	DTB modules - Basic description	51
2.3.1	MASTER	53
2.3.2	SLAVE	55

Sections	Pages
2.4 Possibilités des MAITRES et des ESCLAVES	56
2.4.1 Possibilités d'adressage	60
2.4.1.1 Possibilités de base pour l'adressage	62
2.4.1.2 Possibilité UNIQUEMENT D'ADRESSAGE	64
2.4.2 Possibilités de transfert de données	66
2.4.2.1 Possibilité de base de transfert de données des MAITRES	66
2.4.2.2 Possibilités de base de transferts de données des ESCLAVES ..	68
2.4.2.3 Dimensionnement dynamique du bus	70
2.4.2.4 Possibilité de TRANSFERT UNIQUE	72
2.4.2.5 Possibilité de TRANSFERT PAR BLOC	74
2.4.2.6 Possibilité de TRANSFERT INDIVISIBLE	78
2.4.3 Possibilités d'interruption	82
2.4.3.1 Possibilités d'interruption de base des MAITRES et des ESCLAVES	82
2.4.3.2 Possibilités de cycle de RECONNAISSANCE D'INTERRUPTION	86
2.5 Interaction entre les MAITRES et les ESCLAVES	90
2.5.1 Interaction entre les MAITRES et les ESCLAVES pendant la phase de diffusion d'adresse	92
2.5.1.1 Déroulement de la phase de diffusion d'adresse	92
2.5.1.2 Evolution des signaux pendant la phase de diffusion d'adresse	98
2.5.2 Interaction entre les MAITRES et les ESCLAVES pendant le transfert de données	104
2.5.2.1 Déroulement d'un transfert de données en écriture	106
2.5.2.2 Déroulement d'un transfert de données en lecture	112
2.5.2.3 Evolution des signaux pendant la phase de transfert de données	116
2.5.3 Interaction entre les MAITRES et les ESCLAVES pendant la fin du cycle	124
2.5.3.1 Déroulement de la fin d'un cycle	124
2.5.4 Interaction entre le MAITRE IHV et les ESCLAVES pendant le cycle de RECONNAISSANCE D'INTERRUPTION	126
2.5.4.1 Organigramme d'un cycle de RECONNAISSANCE D'INTERRUPTION	128
2.5.4.2 Evolution des signaux pendant le cycle de RECONNAISSANCE D'INTERRUPTION	136
2.6 Spécifications de chronologie du bus de transfert de données	138

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU VSB

3.1 Introduction	188
3.1.1 Types d'arbitrage	190
3.2 Lignes d'arbitrage du bus	190
3.2.1 BREQ*	190
3.2.2 BUSY*	190
3.2.3 BGIN*/BGOUT*	192
3.3 Modules d'arbitrage - Description générale	192
3.3.1 ARBITRE	192
3.3.2 DEMANDEUR	194
3.4 Possibilités du DEMANDEUR	198
3.4.1 Arbitrage série	200
3.4.1.1 Interaction entre l'ARBITRE et les DEMANDEURS SER	202
3.4.1.2 Evolution des signaux pendant l'arbitrage série	208

Section	Page
2.4 Capabilities of MASTERS and SLAVES	57
2.4.1 Addressing capabilities	61
2.4.1.1 Basic addressing capabilities	63
2.4.1.2 ADDRESS-ONLY capability	65
2.4.2 Data transfer capabilities	67
2.4.2.1 Basic data transfer capability of MASTERS	67
2.4.2.2 Basic data transfer capabilities of SLAVES	69
2.4.2.3 Dynamic bus sizing	71
2.4.2.4 SINGLE-TRANSFER capability	73
2.4.2.5 BLOCK-TRANSFER capability	75
2.4.2.6 INDIVISIBLE-ACCESS capability	79
2.4.3 Interrupt capability	83
2.4.3.1 Basic interrupt capabilities of MASTERS and SLAVES	83
2.4.3.2 INTERRUPT-ACKNOWLEDGE cycle capabilities	87
2.5 Interaction between MASTERS and SLAVES	91
2.5.1 Interaction between MASTERS and SLAVES during address broadcast phase	93
2.5.1.1 Flow of the address broadcast phase	93
2.5.1.2 Signaling during the address broadcast phase	99
2.5.2 Interaction between MASTERS and SLAVES during the data transfer	105
2.5.2.1 Flow of a write data transfer	107
2.5.2.2 Flow of a read data transfer	113
2.5.2.3 Signaling during the data transfer phase	117
2.5.3 Interaction between MASTERS and SLAVES during cycle termination	125
2.5.3.1 Flow of the termination of a cycle	125
2.5.4 Interaction between the IHV MASTER and SLAVES during the INTERRUPT-ACKNOWLEDGE cycles	127
2.5.4.1 Flow of an INTERRUPT-ACKNOWLEDGE cycle	129
2.5.4.2 Signaling during the INTERRUPT-ACKNOWLEDGE cycle	137
2.6 Data transfer bus timing specifications	139

CHAPTER 3: VSB DATA TRANSFER BUS ARBITRATION

3.1 Introduction	189
3.1.1 Types of Arbitration	191
3.2 Arbitration Bus lines	191
3.2.1 BREQ*	191
3.2.2 BUSY*	191
3.2.3 BGIN*/BGOUT*	193
3.3 Arbitration modules - Basic description	193
3.3.1 ARBITER	193
3.3.2 REQUESTER	195
3.4 Capabilities of the REQUESTER	199
3.4.1 Serial Arbitration	201
3.4.1.1 Interaction between the ARBITER and SER REQUESTERS	203
3.4.1.2 Signaling during Serial Arbitration	209

Sections	Pages
3.4.2 Possibilités de l'arbitrage parallèle	212
3.4.2.1 Déroulement d'un cycle d'ARBITRAGE	212
3.4.2.2 Evolution des signaux pendant le cycle d'ARBITRAGE	218
3.4.3 Séquence de mise sous tension	220
3.4.3.1 Déroulement d'une séquence de mise sous tension	220
3.4.3.2 Interaction entre les modules du bus d'arbitrage pendant le démarrage	226
3.5 Interaction entre le MAITRE, son DEMANDEUR associé et/ou son ARBITRE associé	228
3.5.1 Acquisition du DTB	228
3.5.2 Libération du DTB	228
3.5.3 Course critique entre les demandes du MAITRE et les allocations de l'ARBITRE	230
3.6 Spécifications de chronologie du bus d'arbitrage	230

CHAPITRE 4: CARACTERISTIQUES ELECTRIQUES DES CARTES VSB

4.1 Introduction	252
4.1.1 Terminologie	252
4.2 Distribution de l'alimentation	256
4.2.1 Caractéristiques de tension courant continu	256
4.2.2 Caractéristiques électriques du connecteur	256
4.3 Spécifications de commande et de réception du bus	256
4.3.1 Généralités	256
4.3.2 REGLES de commande et de charge pour les lignes trois états (AD00-AD31, DS*, PAS*, LOCK*, SIZE0-SIZE1, SPACE0-SPACE1, WR*)	260
4.3.3 REGLES de commande et de charge pour les lignes à collecteur ouvert (AC, ACK*, AD24-AD31, ASACK0*-ASACK1*, BREQ*, BUSY*, CACHE*, ERR*, IRQ*, WAIT*)	264
4.3.4 REGLES de commande et de charge pour BGIN* et BGOUT*	268
4.3.5 REGLES de réception pour les lignes d'adressage géographique (GA0-GA2)	270
4.3.6 Informations supplémentaires	270
4.4 Interconnexion des lignes de signal - Résumé	272

CHAPITRE 5: SPECIFICATIONS DU FOND DE PANIER DU VSB

5.1 Introduction	276
5.2 Caractéristiques physiques du fond de panier	276
5.3 Distribution du courant d'alimentation	280
5.4 Caractéristiques électriques du fond de panier	280
5.4.1 Impédance caractéristique	280
5.4.2 Réseaux d'adaptation	288
5.5 Interconnexion des lignes de signaux	292
5.5.1 Généralités	292
5.5.2 Chaîne série BGIN*/BGOUT*	294
5.5.3 Adressage géographique	294
5.5.4 Informations supplémentaires	296
5.6 Affectation des broches VSB	296

ANNEXE A	300
----------------	-----

Section	Page
3.4.2 Parallel Arbitration capability	213
3.4.2.1 Flow of an ARBITRATION cycle	213
3.4.2.2 Signaling during the ARBITRATION cycle	219
3.4.3 Power-up sequence	221
3.4.3.1 Flow of the power-up sequence	221
3.4.3.2 Interaction between arbitration bus modules during power-up ..	227
3.5 Interaction between the MASTER, its associated REQUESTER and/or its associated ARBITER	229
3.5.1 Acquisition of the DTB	229
3.5.2 Release of the DTB	229
3.5.3 Race conditions between MASTER requests and ARBITER grants ..	231
3.6 Arbitration bus timing specifications.....	231

CHAPTER 4: ELECTRICAL CHARACTERISTICS OF VSB BOARDS

4.1 Introduction	253
4.1.1 Terminology	253
4.2 Power distribution	257
4.2.1 D.C. voltage characteristics	257
4.2.2 Connector electrical ratings	257
4.3 Bus driving and receiving requirements	257
4.3.1 General	257
4.3.2 Driving and loading RULES for three-state lines (AD00-AD31, DS*, PAS*, LOCK*, SIZE0-SIZE1, SPACE0-SPACE1, WR*) ..	261
4.3.3 Driving and loading RULES for open-collector lines (AC, ACK*, AD24-AD31, ASACK0*-ASACK1*, BREQ*, BUSY*, CACHE*, ERR*, IRQ*, WAIT*)	265
4.3.4 Driving and loading RULES for BGIN* and BGOUT*	269
4.3.5 Receiving RULES for the geographical addressing lines (GA0-GA2)	271
4.3.6 Additional information	271
4.4 Signal lines interconnection - Summary	273

CHAPTER 5: VSB BACKPLANE SPECIFICATIONS

5.1 Introduction	277
5.2 Backplane physical characteristics	277
5.3 Power distribution	281
5.4 Backplane electrical characteristics	281
5.4.1 Characteristic impedance	281
5.4.2 Termination networks	289
5.5 Signal line interconnection	293
5.5.1 General	293
5.5.2 BGIN*/BGOUT* daisy-chain	295
5.5.3 Geographical addressing	295
5.5.4 Additional information	297
5.6 VSB pin assignment	297

APPENDIX A	301
------------------	-----

Figures	Pages
1-1 Modules fonctionnels et sous-ensembles de bus définis par la norme VSB	22
1-2 Notations utilisées dans les chronogrammes	36
2-1 Schéma-bloc fonctionnel du bus de transfert de données	38
2-2 Schéma-bloc: MAITRE	52
2-3 Schéma-bloc: ESCLAVE	54
2-4 Organigramme général d'un cycle VSB	58
2-5 Organigramme général d'un cycle UNIQUEMENT D'ADRESSAGE	64
2-6 Organisation des données	66
2-7 Organigramme général d'un cycle de TRANSFERT UNIQUE	72
2-8 Organigramme général d'un cycle de TRANSFERT PAR BLOC	76
2-9 Organigramme général d'un cycle de RECONNAISSANCE D'INTERRUPTION	86
2-10 Organigramme de la phase de diffusion d'adresse	96
2-11 Organigramme d'un transfert de données en écriture	110
2-12 Organigramme d'un transfert de données en lecture	114
2-13 Organigramme de la fin du cycle	126
2-14 Organigramme d'un cycle de RECONNAISSANCE D'INTERRUPTION	132
2-15 Chronologie des signaux LOCK*, WR*, SIZE0-SIZE1 et SPACE0-SPACE1, d'un MAITRE actif, d'un MAITRE IHV actif et d'un DEMANDEUR PAR actif, pour les cycles de TRANSFERT UNIQUE, TRANSFERT PAR BLOC, RECONNAISSANCE D'INTERRUPTION et ARBITRAGE	146
2-16 Chronologie de la diffusion d'adresse du MAITRE actif et des ESCLAVES pour les cycles UNIQUEMENT D'ADRESSAGE, TRANSFERT UNIQUE et TRANSFERT PAR BLOC	148
2-17 Fin de cycle du MAITRE actif et des ESCLAVES pour les cycles UNIQUEMENT D'ADRESSAGE	150
2-18 Chronologie d'un transfert de données en écriture du MAITRE actif et des ESCLAVES pour les cycles de TRANSFERT UNIQUE et TRANSFERT PAR BLOC	152
2-19 Chronologie d'un transfert de données en lecture du MAITRE actif et des ESCLAVES pour les cycles de TRANSFERT UNIQUE, TRANSFERT PAR BLOC et RECONNAISSANCE D'INTERRUPTION	156
2-20 Phase de sélection du MAITRE IHV et des ESCLAVES INTV pour les cycles de RECONNAISSANCE D'INTERRUPTION	160
2-21 Chronologie des MAITRES et des ESCLAVES entre les cycles	162
2-22 Chronologie du transfert de contrôle du DTB	164
2-23 Déphasage entre ASACK0* et ASACK1*	166
2-24 Déphasage entre ACK* et ERR*	166
3-1 Schéma-bloc fonctionnel du bus d'arbitrage	188
3-2 Schéma-bloc: ARBITRE	194
3-3 Schéma-bloc: DEMANDEUR SER	196
3-4 Schéma-bloc: DEMANDEUR PAR	198
3-5 Organigramme de l'arbitrage série: deux DEMANDEURS	204
3-6 Organigramme général d'un cycle d'ARBITRAGE	212
3-7 Organigramme d'un cycle d'ARBITRAGE	216
3-8 Organigramme de la séquence de démarrage	224
3-9 DEMANDEUR PAR actif, DEMANDEUR PAR concurrent et ESCLAVE au repos: cycle d'ARBITRAGE	236
3-10 Chronogramme du démarrage à la mise sous tension	238

Figure	Page
1-1 Functional modules and sub-buses defined by the VSB standard ...	23
1-2 Signal timing notation	37
2-1 Data Transfer Bus functional block diagram	39
2-2 Block diagram: MASTER	53
2-3 Block diagram: SLAVE	55
2-4 General flow of a VSB cycle	59
2-5 General flow of an ADDRESS-ONLY cycle	65
2-6 Organization of data	67
2-7 General flow of a SINGLE-TRANSFER cycle	73
2-8 General flow of a BLOCK-TRANSFER cycle	77
2-9 General flow of an INTERRUPT-ACKNOWLEDGE cycle	87
2-10 Flow of the address broadcast phase	97
2-11 Flow of a write data transfer	111
2-12 Flow of a read data transfer	115
2-13 Flow of the termination of the cycle	127
2-14 Flow of an INTERRUPT-ACKNOWLEDGE cycle	133
2-15 Active MASTER, active IHV MASTER and active PAR REQUESTER, LOCK*, WR*, SIZE0-SIZE1 and SPACE0-SPACE1 timing, SINGLE-TRANSFER, BLOCK-TRANSFER, INTERRUPT-ACKNOWLEDGE and ARBITRATION cycles	147
2-16 Active MASTER and SLAVES, address broadcast timing, ADDRESS-ONLY, SINGLE-TRANSFER and BLOCK-TRANSFER cycles	149
2-17 Active MASTER and SLAVES, cycle termination ADDRESS-ONLY cycles	151
2-18 Active MASTER and SLAVES, write data transfer timing, SINGLE-TRANSFER and BLOCK-TRANSFER cycles	153
2-19 Active MASTER and SLAVES, read data transfer timing, SINGLE-TRANSFER, BLOCK-TRANSFER and INTERRUPT-ACKNOWLEDGE cycles	157
2-20 IHV MASTER and INTV SLAVES, selection phase INTERRUPT- ACKNOWLEDGE cycles	161
2-21 MASTERS and SLAVES intercycle timing	163
2-22 DTB control transfer timing	165
2-23 Skew between ASACK0* and ASACK1*	167
2-24 Skew between ACK* and ERR*	167
3-1 Arbitration bus functional block diagram	189
3-2 Block diagram: ARBITER	195
3-3 Block diagram: SER REQUESTER	197
3-4 Block diagram: PAR REQUESTER	199
3-5 Serial Arbitration flow diagram: two REQUESTERS	205
3-6 General flow of an ARBITRATION cycle	213
3-7 Flow of an ARBITRATION cycle	217
3-8 Flow of the power-up sequence	225
3-9 Active PAR REQUESTER, contending PAR REQUESTER and idle SLAVE ARBITRATION cycle	237
3-10 Power-up timing	239

Figures	Pages
4-1 Niveaux des signaux VSB	258
5-1 Dimensions du fond de panier VSB	278
5-2 Section transversale du microruban d'une ligne de signal du fond de panier	282
5-3 Z_0 en fonction de la largeur de piste	284
5-4 C_0 en fonction de la largeur de piste	284
5-5 Adaptation standard du bus	290
5-6 Illustration de la chaîne série BGIN*/BGOUT*	294
5-7 Circuit résistance/capacité des lignes d'adressage géographique	294
A1 Organigramme de la phase de sélection	302
A2 Commande de la phase de sélection; schéma-bloc général	304
A3 Un exemple pour la logique de sélection	306

Tableaux

2-1 REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de MAITRES	52
2-2 REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ESCLAVES	54
2-3 Mnémoniques qui spécifient les possibilités d'adressage	62
2-4 Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE ..	64
2-5 Mnémoniques qui spécifient les possibilités de base de transferts de données des ESCLAVES	68
2-6 Mnémonique qui spécifie la possibilité de TRANSFERT PAR BLOC ...	78
2-7 Mnémoniques qui spécifient les possibilités d'interruption	84
2-8 Mnémoniques qui spécifient les possibilités de transfert de MOT D'ETAT/ID des MAITRES IHV et des ESCLAVES INTV	90
2-9 Utilisation de SPACE0 et SPACE1 pour sélectionner l'espace d'adresse	98
2-10 Codage de SIZE0 et SIZE1 pour une dimension requise du transfert	100
2-11 Utilisation de AD00 et AD01 pour sélectionner l'emplacement de l'octet d'adresse la plus basse à atteindre	100
2-12 Codage de SIZE0, SIZE1, AD00 et AD01 pour définir les emplacements d'octet à atteindre	102
2-13 Codage de ASACK0* et ASACK1* pour définir la dimension de l'ESCLAVE	104
2-14 Positionnement des données valides sur AD00-AD31 par le MAITRE actif pendant les cycles d'écriture	116
2-15 Utilisation de AD00-AD31 par un ESCLAVE D32 pour accéder aux emplacements d'octet	118
2-16 Utilisation de AD16-AD31 par un ESCLAVE D16 pour accéder aux emplacements d'octet	120
2-17 Utilisation de AD24-AD31 par un ESCLAVE D08 pour accéder aux emplacements d'octet	120
2-18 Utilisation de SPACE0, SPACE1 et WR* pour sélectionner un cycle de RECONNAISSANCE D'INTERRUPTION	136
2-19 Utilisation des lignes de données par les ESCLAVES INTV D08, D16 et D32 pendant les cycles de RECONNAISSANCE D'INTERRUPTION	138
2-20 Paramètres de temps d'un MAITRE actif, d'un ESCLAVE répondant, d'un ESCLAVE participant et d'un ESCLAVE au repos	142
2-21 Paramètres de temps d'un MAITRE IHV, d'un ESCLAVE INTV répondant, d'un ESCLAVE INTV concurrent et d'un ESCLAVE au repos	144
2-22 MAITRE, spécifications de la chronologie	168
2-23 ESCLAVE, spécifications de la chronologie	178

Figure		Page
4-1	VSB signal levels	259
5-1	VSB backplane dimensions	279
5-2	Cross-section of a backplane microstrip signal line	283
5-3	Z_o versus line width	285
5-4	C_o versus line width	285
5-5	Standard bus termination	291
5-6	BGIN*/BGOUT* daisy-chain illustration	295
5-7	Geographical addressing lines resistor/capacitor circuit	295
A1	Flow of the selection phase	303
A2	Selection phase control; a high level block diagram	305
A3	An example for the selection logic	307

Table

2-1	RULES and PERMISSIONS that specify the use of the dotted lines by the various types of MASTERS	53
2-2	RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SLAVES	55
2-3	Mnemonics that specify addressing capabilities.....	63
2-4	Mnemonic that specifies ADDRESS-ONLY capability	65
2-5	Mnemonics that specify the basic data transfer capabilities of SLAVES	69
2-6	Mnemonic that specifies BLOCK-TRANSFER capability	79
2-7	Mnemonics that specify interrupt capabilities	85
2-8	Mnemonics that specify STATUS/ID transfer capabilities of IHV MASTERS and INTV SLAVES	91
2-9	Use of SPACE0 and SPACE1 to select the address space	99
2-10	Encoding of SIZE0 and SIZE1 for requested size of the transfer ..	101
2-11	Use of AD00 and AD01 to select the lowest addressed byte location to be accessed	101
2-12	Encoding of SIZE0, SIZE1, AD00 and AD01 to define the byte locations to be accessed	103
2-13	Encoding of ASACK0* and ASACK1* to define the size of the SLAVE	105
2-14	Placement of valid data on AD00-AD31 by the active MASTER during write cycles	117
2-15	Use of AD00-AD31 by a D32 SLAVE to access byte locations	119
2-16	Use of AD16-AD31 by a D16 SLAVE to access byte locations	121
2-17	Use of AD24-AD31 by a D08 SLAVE to access byte locations	121
2-18	Use of SPACE0, SPACE1 and WR* to select an INTERRUPT-ACKNOWLEDGE cycle	137
2-19	Use of the data lines by D08, D16 and D32 INTV SLAVES during INTERRUPT-ACKNOWLEDGE cycles	139
2-20	Active MASTER, responding SLAVE, participating SLAVE and idle SLAVE timing parameters	143
2-21	IHV MASTER, responding INTV SLAVE, contending INTV SLAVE and idle SLAVE timing parameters	145
2-22	MASTER, timing specifications	169
2-23	SLAVE, timing specifications	179

Tableaux	Pages
3-1 REGLES et AUTORISATIONS spécifiant l'utilisation des lignes pointillées par les différents types de DEMANDEURS SER	196
3-2 Mnémoniques utilisés pour décrire les DEMANDEURS	200
3-3 Utilisation de SPACE0-SPACE1 et WR* pour sélectionner un cycle d'ARBITRAGE	218
3-4 Paramètres de temps d'un DEMANDEUR PAR actif, d'un DEMANDEUR PAR concurrent et d'un ESCLAVE au repos	232
3-5 Paramètres de temps à la mise sous tension	234
3-6 Spécifications de chronologie du DEMANDEUR actif	240
3-7 Spécifications de chronologie des DEMANDEURS concurrents	244
3-8 Spécifications de chronologie à la mise sous tension	248
4-1 Spécifications de commande et de réception du bus	260
4-2 Interconnexion des lignes de signal - Résumé	274
5-1 Spécification des tensions du bus	280
5-2 Adaptation des lignes de signaux	292
5-3 Affectation des emplacements de l'adressage géographique	296
5-4 Affectation des broches VSB	298

Table		Page
3-1	RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SER REQUESTERS	197
3-2	Mnemonics that are used to describe REQUESTERS	201
3-3	Use of SPACE0-SPACE1 and WR* to select an ARBITRATION cycle	219
3-4	Active PAR REQUESTER, contending PAR REQUESTER and idle SLAVE timing parameters	233
3-5	Power-up timing parameters	235
3-6	Active REQUESTER timing specifications	241
3-7	Contending REQUESTER timing specifications	245
3-8	Power-up timing specifications	249
4-1	Bus driving and receiving requirements	261
4-2	Signal line interconnection - Summary	275
5-1	Bus voltage specification	281
5-2	Signal line termination	293
5-3	Geographical addressing slot assignment	297
5-4	VSB pin assignment	299

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

CEI 822 VSB

BUS PARALLELE DE SOUS-SYSTEME
DU BUS CEI 821 VMEbus

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semi-conducteurs.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)22	47B(BC)27

Pour de plus amples renseignements, consulter le rapport de vote mentionné dans le tableau ci-dessus.

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications n° 603-2 (1980): Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées, Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0,1 in) avec caractéristiques de montage communes.
- 821 (1987): BUS CEI 821 - Bus système à microprocesseurs pour données de 1 à 4 octets.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 822 VSB

PARALLEL SUB-SYSTEM BUS
OF THE IEC 821 VMEbus

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47B(C0)22	47B(C0)27

Further information can be found in the Report on Voting indicated in the table above.

The following IEC publications are quoted in this standard:

Publications Nos. 603-2 (1980): Connectors for frequencies below 3 MHz for use with printed boards, Part 2: Two-part connectors for printed boards, for basic grid of 2.54 mm (0.1 in) with common mounting features.

821 (1987): IEC 821 BUS - Microprocessor system bus for 1 to 4 byte data.

CEI 822 VSB

BUS PARALLELE DE SOUS-SYSTEME
DU BUS CEI 821 VMEbus

CHAPITRE 0: DOMAINE D'APPLICATION

L'introduction de microprocesseurs 32 bits de hautes performances, de même que la demande de la communauté des utilisateurs dans le domaine des micro-ordinateurs ont créé un besoin de systèmes multiprocesseurs construits à partir d'ensembles de cartes. L'accroissement du nombre de fonctions que de tels systèmes peuvent offrir a nécessité l'introduction d'un bus de sous-système performant. Le VSB (VME Subsystem Bus) a été conçu pour répondre à ces exigences.

Il inclut un bus asynchrone de transfert de données à haute vitesse qui permet à des maîtres de diriger des transferts de données binaires vers ou depuis des esclaves. Le maître initialise les cycles de bus de façon à transférer les données entre lui-même et les esclaves. L'esclave détecte les cycles de bus qui sont déclenchés par le maître actif et, quand il a été sélectionné au cours de ces cycles, transfère les données entre lui-même et le maître.

Quatre types de cycles ont été définis: un cycle uniquement d'adressage, un cycle de transfert unique, un cycle de transfert par bloc et un cycle de reconnaissance d'interruption. Pour maximaliser le taux de transfert dans les systèmes multiprocesseurs, la norme VSB définit un mécanisme qui permet au maître de diffuser des données à un nombre quelconque d'esclaves au cours d'un cycle unique. De plus, le mécanisme de transfert de données supporte le dimensionnement dynamique du bus aussi bien que le verrouillage de ressource ou l'utilisation de mémoire cache.

Le bus d'arbitrage est le second des deux sous-ensembles définis dans la norme VSB. Il permet à des modules arbitres et/ou à des modules demandeurs de coordonner l'usage du bus de transfert de données. Deux méthodes d'arbitrage sont définies - une méthode d'arbitrage série (chaîne série) et une méthode parallèle (distribuée). Ces méthodes d'arbitrage fournissent des protocoles pour mettre en place des ensembles de sous-systèmes d'architectures différentes. En utilisant la méthode d'arbitrage série, un concepteur peut définir un sous-système à maître unique incluant une seule carte processeur accédant à un volume important de mémoire. Cette méthode peut être utilisée pour construire un système donnant la priorité à un maître primaire qui, lorsqu'il le peut, accorde le bus à d'autres maîtres secondaires. A l'inverse, un sous-système multiprocesseur peut être défini en utilisant la méthode d'arbitrage parallèle.

IEC 822 VSB
PARALLEL SUB-SYSTEM BUS
OF THE IEC 821 VMEbus

CHAPTER 0: SCOPE

The introduction of high performance of 32-bit microprocessors, as well as the demands placed on microcomputers by the user community have created a need for multiprocessor systems built from board level products. The increase in the number of functions that such systems provided necessitated the introduction of a sophisticated subsystem bus. The VSB (VME Subsystem Bus) was designed to respond to these requirements.

It includes a high speed asynchronous data transfer bus which allows masters to direct the transfer of binary data to and from slaves. The master initiates bus cycles in order to transfer data between itself and slaves. The slave detects bus cycles that are initiated by the active master and, when those cycles select it, transfers data between itself and the master.

Four types of cycles are defined: an address-only cycle, a single transfer cycle, a block transfer cycle, and an interrupt acknowledge cycle. To maximize data transfer rates in multiprocessor systems, the VSB standard defines a mechanism that allows the master to broadcast the data to any number of slaves in the course of a single cycle. In addition, the data transfer mechanism supports dynamic bus sizing as well as resource locking and data caching.

The arbitration bus is the second of the two sub-buses defined in the VSB standard. It allows arbiter modules and/or requester modules to coordinate the use of the data transfer bus. Two arbitration methods are defined - a serial arbitration method and a parallel (distributed) arbitration method. These arbitration methods provide protocols to implement an array of subsystem architectures. Using the serial arbitration method, a designer can implement a single master subsystem that includes a single processor board requiring access to large amounts of memory. This method could be used to build a system that gives priority to a primary master that, when it can, grants the bus to other secondary masters. At the other end of the spectrum, a multiprocessing subsystem can be implemented using the parallel arbitration method.

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 822 VSB

1.1 *Objectifs de la norme CEI 822 VSB, bus parallèle de sous-système du bus CEI 821 VMEbus (désormais référencé VSB)*

Le présent bus VSB est un bus d'extension de sous-système local. Il permet à une carte processeur d'accéder à la mémoire additionnelle et aux entrées/sorties sur un bus local, réduisant ainsi le trafic sur le bus global et améliorant les taux de transfert total du système. Le système a été conçu avec les objectifs suivants:

- a) Améliorer les performances des systèmes multiprocesseurs en permettant la réalisation de sous-systèmes locaux.
- b) Spécifier les caractéristiques électriques requises pour réaliser des cartes qui transféreront de façon fiable des données sur le bus VSB.
- c) Spécifier les exigences mécaniques pour être compatible avec les systèmes VSB.
- d) Spécifier les protocoles qui définissent avec précision l'interaction entre le VSB et les unités qui lui sont connectées.
- e) Fournir la terminologie et les définitions nécessaires à la description des protocoles VSB.

1.2 *Éléments du système VSB*1.2.1 *Définitions générales*

La structure du VSB peut être décrite de deux façons différentes: sa structure mécanique et sa structure fonctionnelle.

Le VSB est principalement utilisé en tant que bus secondaire, il n'y a pas de spécifications mécaniques des produits au niveau de la carte VSB et/ou au niveau du châssis. Il est supposé que les produits incluant le VSB ont été conçus pour être conformes aux spécifications mécaniques du bus global du système. C'est pourquoi la norme VSB décrit seulement les dimensions physiques du fond de panier.

Les spécifications fonctionnelles du VSB décrivent le fonctionnement du bus, les modules fonctionnels participant à ses diverses opérations et les règles régissant leur comportement. Ce paragraphe fournit des définitions informelles de termes de base utilisés pour décrire à la fois les structures mécaniques et fonctionnelles du VSB.

1.2.1.1 *Définition de la structure physique*

CARTE

Carte de circuit imprimé, son ensemble de composants électroniques et au moins un connecteur 96 broches.

CHAPTER 1: INTRODUCTION TO THE IEC 822 VSB BUS STANDARD

1.1 *Standard objectives of the IEC 822 VSB parallel Subsystem Bus of the IEC 821 VMEbus (Subsystem henceforth referred to as VSB)*

This VSB bus is a local subsystem extension bus. It allows a processor board to access additional memory and I/O over a local bus, removing traffic from the global bus and improving the total throughput of the system. The system has been conceived with the following objectives:

- a) To improve the performance of multiprocessor systems by allowing the design of local subsystems.
- b) To specify the electrical characteristics required to design boards that will reliably transfer data over the VSB.
- c) To specify the mechanical requirements to be compatible with VSB systems.
- d) To specify protocols that precisely define the interaction between the VSB and devices interfaced to it.
- e) To provide terminology and definitions that describe VSB protocols.

1.2 *VSB system elements*

1.2.1 *Basic definitions*

The structure of the VSB can be described from two points of view: its mechanical structure and its functional structure.

Because the primary use of the VSB is as a secondary bus, there are no mechanical specifications of VSB board level, and/or box level products. It is assumed that products that include the VSB have been designed to comply with the mechanical specifications of the global system bus. Therefore, the VSB standard only describes the physical dimensions of the backplane.

The functional specifications of the VSB describe how the bus works, what functional modules participate in its various operations, and the rules that govern their behavior. This paragraph provides informal definitions for the basic terms used to describe both the mechanical and functional structure of the VSB.

1.2.1.1 *Physical structure definition*

BOARD

A printed circuit (PC) board, its collection of electronic components, and at least one 96-pin connector.

FOND DE PANIER VSB

Ensemble constitué d'une carte de circuit imprimé et de connecteurs 96 broches. Le fond de panier réunit les 64 broches des deux rangées extérieures de connecteurs VSB, assurant ainsi le cheminement des signaux nécessaire aux opérations VSB.

EMPLACEMENT

Position à laquelle une carte peut être insérée dans un fond de panier. Chaque emplacement VSB est doté au moins d'un connecteur 96 broches.

CHASSIS

Cadre rigide servant de support mécanique aux cartes insérées dans le fond de panier, garantissant un embrochage correct des connecteurs et évitant que les cartes adjacentes ne rentrent en contact les unes avec les autres. Il guide aussi le flux d'air de refroidissement à travers le système et garantit le maintien en cas de vibrations des cartes insérées dans le fond de panier.

1.2.1.2 Définition de la structure fonctionnelle

La figure 1-1, page 22, montre un schéma-bloc des modules fonctionnels et des sous-ensembles de bus définis par la norme VSB.

LOGIQUE D'INTERFACE DE FOND DE PANIER

Logique spéciale d'interface qui prend en considération les caractéristiques du fond de panier. La norme VSB prescrit certaines exigences de conception de cette logique, tenant compte de l'impédance de la ligne de signal, des temps de propagation, des valeurs d'adaptation, de la longueur maximale du fond de panier et du nombre d'emplacements autorisés.

MODULE FONCTIONNEL

Ensemble de circuits électroniques localisés sur une carte accomplissant une tâche spécifique. Les modules fonctionnels sont utilisés comme support pour commenter les protocoles de bus et ne doivent pas être considérés comme une contrainte de conception de la logique réelle.

BUS DE TRANSFERT DE DONNEES

Un des deux sous-ensembles de bus définis dans la norme VSB. Il permet aux MAITRES d'assurer le transfert des données binaires vers ou à partir des ESCLAVES. (Le bus de transfert de données VSB est souvent désigné par le mnémonique DTB.) Le DTB comporte 32 lignes d'adresses/données multiplexées et les signaux de contrôle associés qui sont nécessaires à l'exécution des cycles sur le VSB.

MAITRE

Module fonctionnel qui déclenche les cycles du bus dans le but de transférer des données entre lui-même et des modules ESCLAVES du VSB. Le MAITRE qui contrôle le DTB à un moment donné est appelé le MAITRE actif.

ESCLAVE

Module fonctionnel qui détecte les cycles de bus déclenchés par le MAITRE actif et qui, lorsque ces cycles l'ont sélectionné, transfère les données entre lui-même et le MAITRE. La norme VSB définit un mécanisme qui permet à un nombre quelconque d'ESCLAVES de participer à un cycle de bus.

VSB BACKPLANE

An assembly that includes a printed circuit (PC) board and 96-pin connectors. The backplane buses the 64 pins on the two outer rows of the VSB connectors, providing the signal paths needed for VSB operation.

SLOT

A position where a board can be inserted into a backplane. Each VSB slot provides at least one 96-pin connector.

SUBRACK

A rigid framework that provides mechanical support for boards inserted into the backplane, ensuring that the connectors mate properly and that adjacent boards do not contact each other. It also guides the cooling airflow through the system, and ensures that inserted boards are not disengaged from the backplane due to vibration.

1.2.1.2 Functional structure definition

Figure 1-1, page 23, shows a block diagram of the functional modules and sub-buses defined by the VSB standard.

BACKPLANE INTERFACE LOGIC

Special interface logic that takes into account the characteristics of the backplane. The VSB standard prescribes certain requirements for the design of this logic, which take into account the signal line impedance, propagation times, termination values, the maximum length of the backplane and the number of slots allowed.

FUNCTIONAL MODULE

A collection of electronic circuitry that resides on one board and works to accomplish a specific task. Functional modules are used as a vehicle for discussing bus protocols, and should not be considered to constrain the design of actual logic.

DATA TRANSFER BUS

One of the two sub-buses defined in the VSB standard. It allows MASTERS to direct the transfer of binary data to and from SLAVES. (The VSB Data Transfer Bus is often abbreviated DTB.) The DTB contains 32 multiplexed address/data lines and the associated control signals that are required to execute cycles on the VSB.

MASTER

A functional module that initiates bus cycles in order to transfer data between itself and VSB SLAVES. The MASTER that is currently in control of the DTB is referred to as the active MASTER.

SLAVE

A functional module that detects bus cycles initiated by the active MASTER and, when those cycles select it, transfers data between itself and the MASTER. The VSB standard defines a mechanism through which any number of SLAVES can participate in a bus cycle.

ESCLAVE SÉLECTIONNÉ

Tous les ESCLAVES qui sont sélectionnés par le cycle.

ESCLAVE RÉPONDANT

ESCLAVE sélectionné qui répond au MAÎTRE actif en reconnaissant le transfert de données ou le transfert MOT D'ÉTAT/IDentificateur (MOT D'ÉTAT/ID).

ESCLAVE PARTICIPANT

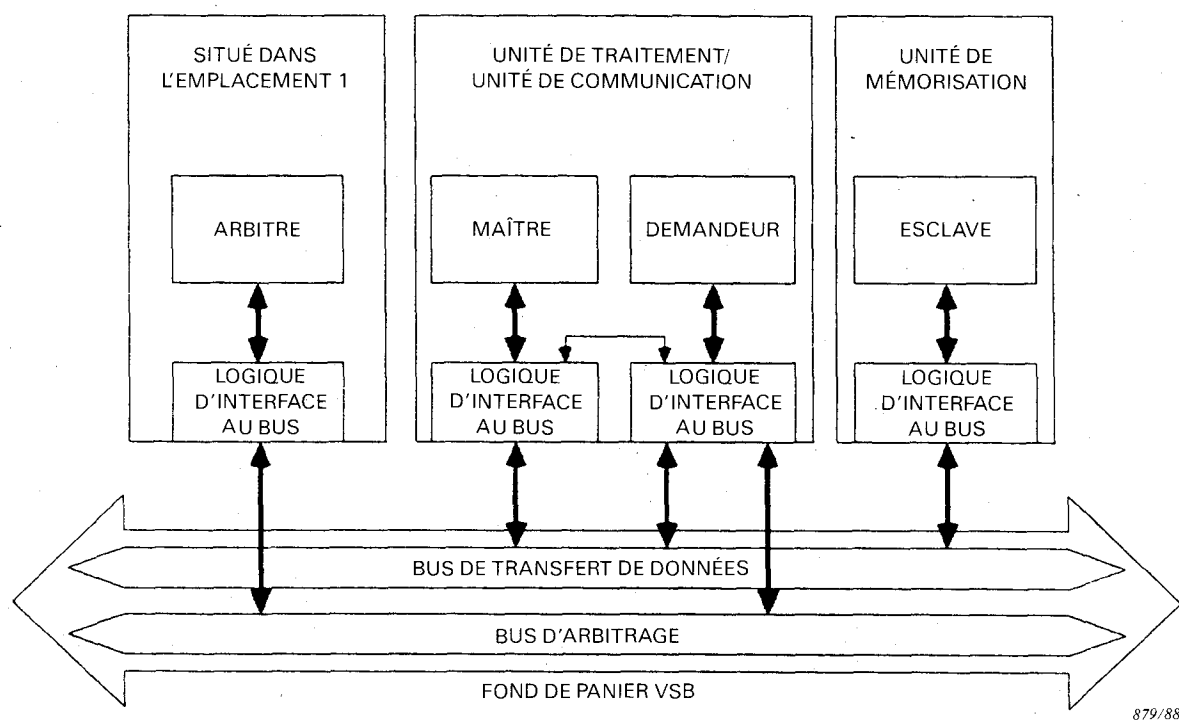
ESCLAVE sélectionné qui choisit de participer au cycle par la prise en compte des données transitant sur le bus de données.

ESCLAVE AU REPOS

ESCLAVE qui n'est pas sélectionné par le cycle.

ESCLAVE CONCURRENT

ESCLAVE qui a une demande d'interruption en attente et qui participe à un cycle de RECONNAISSANCE D'INTERRUPTION.



879/88

Fig. 1-1. - Modules fonctionnels et sous-ensembles de bus définis par la norme VSB.

BUS D'ARBITRAGE DU VSB

Deuxième sous-ensemble du bus défini dans la norme VSB. Il permet aux modules ARBITRE et/ou DEMANDEUR de coordonner l'utilisation du DTB par les MAÎTRES situés sur le VSB. La norme VSB définit deux méthodes d'arbitrage: une méthode d'arbitrage série et une méthode d'arbitrage parallèle.

SELECTED SLAVE

All SLAVES that are selected by the cycle.

RESPONDING SLAVE

The one selected SLAVE which responds to the active MASTER by acknowledging the data transfer of the STATUS/ID transfer.

PARTICIPATING SLAVE

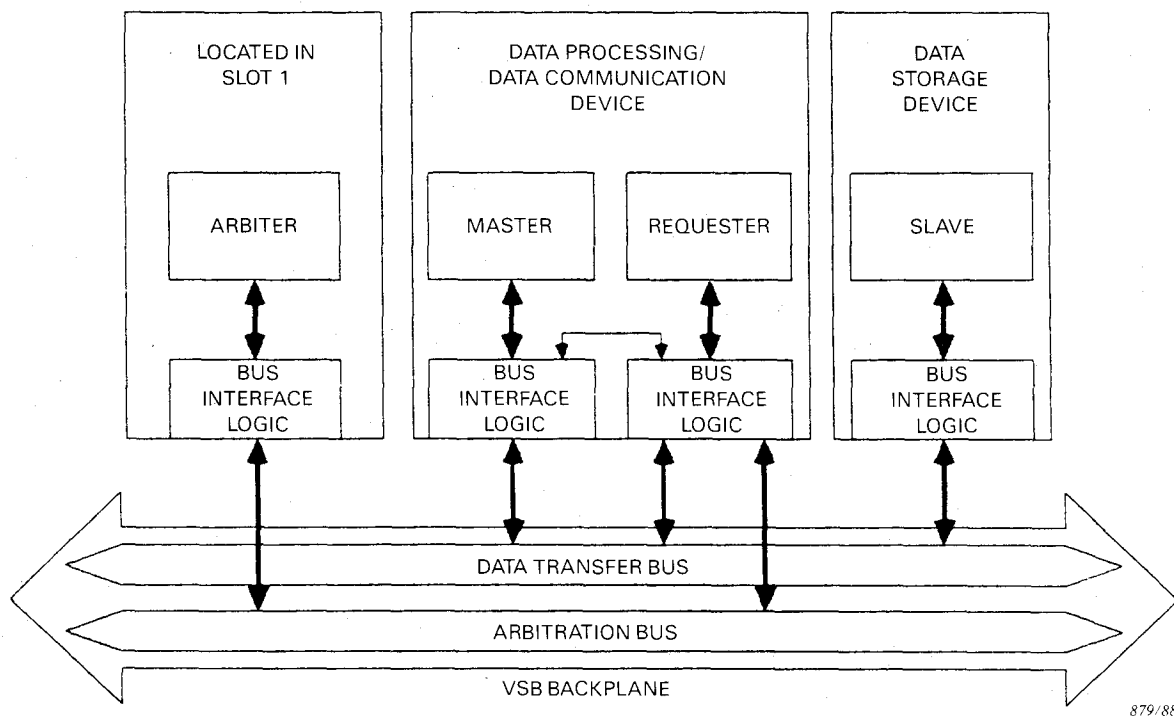
Selected SLAVE which chooses to participate in the cycle by capturing the data carried on the data lines.

IDLE SLAVE

SLAVE which is not selected by the cycle.

CONTENDING SLAVE

SLAVE that has an interrupt request pending and that participates in an INTERRUPT-ACKNOWLEDGE cycle.



879/88

Fig. 1-1. - Functional modules and sub-buses defined by the VSB standard.

VSB ARBITRATION BUS

The second of the two sub-buses defined in the VSB standard. It allows ARBITER modules and/or REQUESTER modules to coordinate the use of the DTB by VSB MASTERS. The VSB defines two arbitration methods - a Serial arbitration method and a Parallel arbitration method.

DEMANDEUR

Module fonctionnel situé sur la carte d'un MAITRE et qui requiert l'usage du DTB à la demande de son MAITRE. Lorsque l'arbitrage série est implanté, après la demande d'utilisation du DTB, le DEMANDEUR attend que l'allocation du bus lui soit accordée par l'ARBITRE.

Dans la méthode d'arbitrage parallèle, le DEMANDEUR associé au MAITRE actif déclenche un cycle d'ARBITRAGE. Ce cycle d'ARBITRAGE est utilisé pour déterminer le MAITRE qui aura l'autorisation d'utiliser le DTB. La norme VSB appelle le DEMANDEUR associé au MAITRE actif le DEMANDEUR actif.

DEMANDEUR CONCURRENT

DEMANDEUR qui a une demande de bus en attente et qui participe à un cycle d'ARBITRAGE.

ARBITRE

Quand la méthode d'arbitrage série est employée, le module ARBITRE accepte les demandes d'allocation du DTB émises par les DEMANDEURS et accorde le contrôle du DTB à un seul DEMANDEUR à un moment donné. Il y a un seul ARBITRE actif dans le mécanisme d'arbitrage série et il est toujours situé dans l'emplacement 1. Dans la méthode d'arbitrage parallèle, il n'y a pas d'ARBITRE.

CHAINE SERIE

Type spécial de ligne de signal qui propage l'allocation du bus de carte à carte, partant de la carte installée dans le premier emplacement et allant jusqu'à celle située dans le dernier emplacement.

ADRESSAGE GEOGRAPHIQUE

Dispositif selon lequel une adresse unique est affectée à chaque emplacement du fond de panier. Cette adresse peut être lue par la carte qui est installée dans l'emplacement. La norme VSB définit l'utilisation de l'adressage géographique pour deux raisons: (1) il forme une partie de l'IDentificateur D'INTERRUPTION (ID INTERRUPTION) utilisé pendant le cycle de RECONNAISSANCE D'INTERRUPTION, et (2) il forme une partie de l'IDentificateur D'ARBITRAGE (ID ARBITRAGE) utilisé pendant un cycle d'ARBITRAGE parallèle. L'adressage géographique peut aussi être utilisé pour définir des variables globales de la carte telles que l'adresse de base d'une carte mémoire.

1.2.1.3 Types de cycles VSB**CYCLE DE BUS VSB**

C'est une séquence de transitions de niveau sur les lignes de signaux du DTB dont l'objet est le transfert d'une adresse et (dans la plupart des cas) de données entre le MAITRE actif et les ESCLAVES sélectionnés. Les protocoles du VSB sont complètement asynchrones. Le MAITRE actif positionne un signal de validation qui indique qu'un cycle est en cours. L'ESCLAVE répondant acquitte le signal du MAITRE. Cependant, l'ESCLAVE répondant peut retarder son acquittement aussi longtemps qu'il en a besoin. Le cycle DTB est généralement divisé en trois phases: une diffusion d'adresse, zéro ou plusieurs transferts de données, puis une fin de cycle.

REQUESTER

A functional module that resides on the same board as a MASTER and requests use of the DTB whenever its MASTER needs it. When implementing Serial arbitration, after requesting use of the DTB, the REQUESTER waits for the bus to be granted to it by the ARBITER.

In the Parallel arbitration method, the REQUESTER that is associated with the active MASTER initiates an ARBITRATION cycle. This ARBITRATION cycle is used to determine which MASTER will be granted use of the DTB. The VSB standard calls the REQUESTER that is associated with the active MASTER the active REQUESTER.

CONTENDING REQUESTER

REQUESTER that has a bus request pending and that participates in an ARBITRATION cycle.

ARBITER

When implementing the Serial arbitration method, the ARBITER module accepts requests for the DTB from REQUESTERS and grants control of the DTB to one REQUESTER at a time. There is one and only one active ARBITER in the Serial arbitration scheme, and it is always located in slot 1. An ARBITER is not required in the Parallel arbitration method.

DAISY CHAIN

A special type of signal line that is used to propagate bus grants from board to board, starting with the board installed in the first slot and ending with the one installed in the last slot.

GEOGRAPHICAL ADDRESSING

A scheme wherein each slot in the backplane is assigned a unique address. This address can be read by the board that is installed in the slot. The VSB standard defines the use of the geographical address for two purposes: (1) it forms part of the INTERRUPT ID used during an INTERRUPT-ACKNOWLEDGE cycle and, (2) it forms part of the ARBITRATION ID used during a Parallel ARBITRATION cycle. The geographical address can also be used to set global board variables such as the base address of a memory board.

1.2.1.3 *Types of VSB cycles*

VSB BUS CYCLE

A sequence of level transitions on the signal lines of the DTB that results in the transfer of an address and (in most cases) data between the active MASTER and selected SLAVES. The protocols of the VSB are fully asynchronous. The active MASTER asserts a strobe signal indicating that a cycle is in progress. The responding SLAVE acknowledges the MASTER'S signal. However, the responding SLAVE can delay its acknowledgment for as long as it needs. The DTB cycle is generally divided into three phases: an address broadcast, zero or more data transfers, and then cycle termination.

DIFFUSION D'ADRESSE

Phase d'un cycle de bus dans laquelle un ESCLAVE est sélectionné comme l'ESCLAVE répondant et zéro ou plusieurs ESCLAVES comme ESCLAVES participants. Pendant la phase de diffusion d'adresse, le MAITRE actif émet l'information d'adresse, puis positionne un signal de validation d'adresse. Après l'acquiescement de la diffusion d'adresse par les ESCLAVES, le MAITRE termine la diffusion d'adresse.

TRANSFERT DE DONNEES

Phase d'un cycle pendant laquelle les données sont transférées entre le MAITRE et les ESCLAVES sélectionnés. Elle commence lorsque le MAITRE actif positionne le signal de validation de données et se termine après que l'ESCLAVE répondant a acquiescé le transfert de données et que tous les ESCLAVES participants indiquent qu'ils sont prêts à participer à un nouveau cycle.

FIN DE CYCLE

Phase pendant laquelle le MAITRE termine le cycle et les ESCLAVES acquiescent cette fin de cycle en positionnant les signaux du bus dans l'état intercycle.

AJUSTEMENT DYNAMIQUE DU BUS

Possibilité pour certains microprocesseurs d'ajuster le nombre et la dimension des transferts de données à la dimension du champ de données à laquelle la carte répondante peut accéder en un transfert. Pendant la partie de diffusion d'adresse du cycle, l'ESCLAVE informe le MAITRE sur la dimension du champ de données qu'il émet ou reçoit. Cette information est disponible pour la logique de la carte laquelle peut alors ajuster la dimension de la donnée adressée pendant un transfert de donnée à la possibilité de l'ESCLAVE.

DIFFUSION DE DONNEES

Opération de diffusion dans laquelle les ESCLAVES participants acquiescent les données placées sur les lignes de données par le MAITRE actif pendant un cycle d'écriture.

ECOUTE DE DONNEES

Opération d'écoute dans laquelle les ESCLAVES participants acquiescent les données placées sur les lignes de données par l'ESCLAVE répondant pendant un cycle de lecture.

CYCLE DE TRANSFERT UNIQUE EN LECTURE

Cycle utilisé pour transférer 1, 2, 3 ou 4 octets de l'ESCLAVE répondant au MAITRE actif et éventuellement aux ESCLAVES participants. Le cycle commence lorsque le MAITRE actif diffuse l'information d'adresse sur les lignes d'adresse/donnée. Chaque ESCLAVE détermine, après avoir vérifié l'adresse, s'il doit répondre au cycle. Si c'est le cas, il acquiesce l'adresse et extrait les données de sa mémoire locale. Lorsque le MAITRE libère les lignes d'adresse/donnée, l'ESCLAVE répondant positionne ses données sur les mêmes lignes et acquiesce le transfert. Le MAITRE aussi bien que les ESCLAVES participants acquiescent les données. Lorsque tous les ESCLAVES sélectionnés ont signalé leur acquiescement, le MAITRE termine le cycle.

ADDRESS BROADCAST

The phase of a bus cycle which selects one SLAVE as the responding SLAVE and zero or more SLAVES as participating SLAVES. During the address broadcast the active MASTER broadcasts the addressing information and then asserts an address strobe. After the SLAVES acknowledge the address broadcast, the MASTER terminates the address broadcast.

DATA TRANSFER

The phase of a cycle during which data is transferred between the MASTER and the selected SLAVES. It starts when the active MASTER asserts the data strobe and ends after the responding SLAVE acknowledges the transfer and all participating SLAVES indicate that they are ready to participate in a new cycle.

CYCLE TERMINATION

The phase of a cycle during which the MASTER terminates the cycle and SLAVES acknowledge this termination by establishing the inter-cycle state of bus signals.

DYNAMIC BUS SIZING

The ability of some microprocessors to adjust the number and the size of data transfers to the amount of data that the responding board can access in one transfer. During the address broadcast portion of the cycle, the SLAVE informs the MASTER how many data lines it actually drives or receives. This information is made available to on-board logic which can then adjust the amount of data that it accesses during the data transfer to the capabilities of the SLAVE.

DATA BROADCAST

A broadcast operation is one wherein participating SLAVES capture the data that is placed on the data lines by the active MASTER during a write cycle.

DATA BROADCAST

A broadcast operation is one wherein participating SLAVES capture the data that is placed on the data lines by the responding SLAVE during a read cycle.

SINGLE-TRANSFER READ CYCLE

A cycle that is used to transfer 1, 2, 3, or 4 bytes from the responding SLAVE to the active MASTER, and possibly to participating SLAVES. The cycle begins when the active MASTER broadcasts the addressing information on the address/data lines. Each SLAVE checks the address to see if it is to respond to the cycle. If so, it acknowledges the address and retrieves the data from its internal storage. When the MASTER releases the address/data lines, the responding SLAVE places its data on them and acknowledges the transfer. The MASTER as well as participating SLAVES capture the data. After all selected SLAVES signal their agreement the MASTER terminates the cycle.

CYCLE DE TRANSFERT UNIQUE EN ECRITURE

Cycle utilisé pour transférer 1, 2, 3 ou 4 octets du MAITRE actif aux ESCLAVES sélectionnés. Le cycle commence quand le MAITRE diffuse l'information d'adresse sur les lignes d'adresse/donnée. Chaque ESCLAVE détermine, après avoir vérifié l'adresse, s'il doit participer au cycle. L'ESCLAVE répondant acquitte la diffusion d'adresse. Le MAITRE commute alors les lignes d'adresse/donnée pour envoyer les données et place ses données sur le bus. Les ESCLAVES sélectionnés peuvent alors acquérir les données. L'ESCLAVE répondant acquitte le transfert. Lorsque tous les ESCLAVES sélectionnés ont signalé leur acquittement, le MAITRE termine le cycle.

CYCLE DE TRANSFERT PAR BLOC EN LECTURE

Cycle DTB utilisé pour transférer un bloc d'octets de l'ESCLAVE répondant vers le MAITRE actif et éventuellement vers les ESCLAVES participants. Ce transfert effectue une série de transferts de données de 1, 2 ou 4 octets. Il diffère d'une série de cycles de TRANSFERT UNIQUE en lecture en ce sens que le MAITRE diffuse l'adresse une seule fois en début de cycle. La responsabilité de gérer l'adresse de chacun des transferts suivants est laissée aux ESCLAVES sélectionnés.

CYCLE DE TRANSFERT PAR BLOC EN ECRITURE

Cycle DTB utilisé pour transférer un bloc d'octets du MAITRE actif aux ESCLAVES sélectionnés. Ce transfert effectue une série de transferts de données de 1, 2 ou 4 octets. Il diffère d'une série de cycles de TRANSFERT UNIQUE en écriture en ce sens que le MAITRE diffuse l'adresse une seule fois au début du cycle. La responsabilité de gérer l'adresse de chacun des transferts suivants est laissée aux ESCLAVES sélectionnés.

CYCLE D'ACCES INDIVISIBLE

Cycle DTB utilisé pour accéder de façon indivisible aux emplacements d'un ESCLAVE en interdisant à tout autre MAITRE d'accéder aux mêmes emplacements tant que l'opération n'est pas terminée.

CYCLE UNIQUEMENT D'ADRESSAGE

Cycle DTB qui consiste en une diffusion d'adresse sans transfert de données. Le MAITRE actif termine le cycle lorsque les ESCLAVES ont acquitté la diffusion d'adresse.

CYCLE DE RECONNAISSANCE D'INTERRUPTION

Cycle DTB déclenché par un MAITRE en réponse à une demande d'interruption d'un ESCLAVE. Un cycle de RECONNAISSANCE D'INTERRUPTION met en jeu deux types d'ESCLAVES. Pendant le cycle de RECONNAISSANCE D'INTERRUPTION, tous les ESCLAVES concurrents commandent un ID INTERRUPTION sur le bus. Cet identificateur est une combinaison de l'adresse géographique de la carte, fournie par l'emplacement du fond de panier, et d'un code de priorité fourni par la logique sur la carte définie par l'utilisateur. L'ID INTERRUPTION est utilisé pour déterminer lequel des ESCLAVES concurrents répondra au cycle.

SINGLE-TRANSFER WRITE CYCLE

A cycle that is used to transfer 1, 2, 3, or 4 bytes from the active MASTER to the selected SLAVES. The cycle begins when the MASTER broadcasts the addressing information on the address/data lines. Each SLAVE checks the address to see if it is to participate in the cycle. The responding SLAVE acknowledges the address broadcast. The MASTER then switches the address/data lines to carry data, and places its data on the bus. The selected SLAVES can then store the data. The responding SLAVE acknowledges the transfer. After all selected SLAVES signal their agreement the MASTER terminates the cycle.

BLOCK-TRANSFER READ CYCLE

A DTB cycle that is used to transfer a block of bytes from the responding SLAVE to the active MASTER, and possibly to participating SLAVES. This transfer is done using a number of 1, 2, or 4-byte data transfers. It differs from a series of SINGLE-TRANSFER read cycles in that the MASTER broadcasts the address only once, at the beginning of the cycle. It is the responsibility of the selected SLAVES to control the address for each subsequent data transfer.

BLOCK-TRANSFER WRITE CYCLE

A DTB cycle that is used to transfer a block of bytes from the active MASTER to the selected SLAVES. This transfer is done using a series of 1, 2, or 4-byte data transfers. It differs from a series of SINGLE-TRANSFER write cycles in that the MASTER broadcasts the address only once, at the beginning of the cycle. It is the responsibility of the selected SLAVES to control the address for each subsequent data transfer.

INDIVISIBLE-ACCESS CYCLE

A DTB cycle that is used to access SLAVE locations indivisibly and without permitting any other MASTER to access these locations until the operation is complete.

ADDRESS-ONLY CYCLE

A DTB cycle that consists of an address broadcast, but no data transfer. The active MASTER terminates the cycle after the SLAVES acknowledge the address broadcast.

INTERRUPT-ACKNOWLEDGE CYCLE

A DTB cycle that is initiated by a MASTER in response to an interrupt request from a SLAVE. An INTERRUPT-ACKNOWLEDGE cycle involves two types of SLAVES. During the INTERRUPT-ACKNOWLEDGE cycle, all contending SLAVES drive an INTERRUPT ID on the bus. This ID is a combination of the geographical address of the board that is supplied by the backplane slot, and a priority code that is supplied by user defined on-board logic. The INTERRUPT ID is used to determine which of the contending SLAVES will respond to the cycle.

CYCLE D'ARBITRAGE

Cycle déclenché par le DEMANDEUR actif, en réponse à une demande de bus, lorsque son MAITRE actif associé n'a plus besoin du bus. Ce cycle sélectionne le MAITRE qui recevra l'allocation d'utilisation du DTB. Si le DEMANDEUR actif détecte une demande du bus et si son MAITRE associé n'a plus besoin du bus, il déclenche alors un cycle d'ARBITRAGE. Pendant le cycle d'ARBITRAGE, tous les DEMANDEURS concurrents placent un ID ARBITRAGE sur le bus. Cet identificateur est une combinaison de l'adresse géographique de la carte, fournie par l'emplacement du fond de panier, et d'un code de priorité fourni par la logique sur la carte définie par l'utilisateur. A la fin du cycle d'ARBITRAGE, un des DEMANDEURS concurrents devient le DEMANDEUR actif.

1.3 Diagrammes de la norme VSB

Trois types de diagrammes sont utilisés pour aider à définir et à décrire le fonctionnement du VSB.

- a) Les *schémas-blocs* montrent les exigences d'interconnexion des lignes de signaux des modules fonctionnels définis par la norme VSB.
- b) Les *organigrammes* montrent le déroulement des événements tels qu'ils apparaissent pendant une opération VSB. Les événements sont énoncés textuellement et décrivent séquentiellement l'interaction entre deux ou plusieurs modules fonctionnels. La norme VSB décrit en détail le comportement des divers modules fonctionnels. Elle commente la façon dont un module répond à un signal sans indiquer d'où vient le signal. Pour cette raison, une spécification de protocole ne donne pas au lecteur une image complète de ce qui se passe sur le bus. Les organigrammes sont utilisés pour aider le lecteur à surmonter cette difficulté.
- c) Les *chronogrammes* montrent les relations de temps entre les transitions des signaux. Les paramètres de temps ont des limites minimales et/ou maximales qui leur sont associées. Certains de ces paramètres spécifient le comportement de la logique d'interface du fond de panier, alors que d'autres spécifient le comportement des modules fonctionnels.

1.4 Terminologie utilisée dans la norme

Pour éviter toute confusion et pour clarifier les exigences de conformité, de nombreux paragraphes de cette norme sont référencés de mots clés numérotés séquentiellement indiquant le type d'information qu'ils contiennent. Les mots clés sont:

REGLE
RECOMMANDATION
SUGGESTION
AUTORISATION
OBSERVATION

ARBITRATION CYCLE

A cycle that is initiated by the active REQUESTER in response to a bus request, after its associated active MASTER no longer needs the bus. This cycle is used to select the MASTER that will be granted use of the DTB. If the active REQUESTER detects a request for the bus, and if its associated MASTER no longer needs the bus, it initiates an ARBITRATION cycle. During the ARBITRATION cycle, all contending REQUESTERS drive an ARBITRATION ID on the bus. This ID is a combination of the geographical address of the board that is supplied by the backplane slot, and a priority code that is supplied by user defined on-board logic. At the end of the ARBITRATION cycle one of the contending REQUESTERS becomes the active REQUESTER.

1.3 VSB standard diagrams

Three types of diagrams are used to help define and describe the operation of the VSB:

- a) *Block diagrams* show the signal line interconnect requirements of the functional modules defined by the VSB standard.
- b) *Flow diagrams* show the stream of events as they would occur during a VSB operation. The events are stated in words and sequentially describe the interaction between two or more functional modules. The VSB standard describes in detail the behavior of the various functional modules. It discusses how a module responds to a signal without saying where the signal came from. Because of this, a protocol specification does not give the reader a complete picture of what happens over the bus. Flow diagrams are used to help the reader overcome this difficulty.
- c) *Timing diagrams* show the timing relationships between signal transitions. The timing parameters have minimum and/or maximum limits associated with them. Some of these timing parameters specify the behavior of the backplane interface logic, while others specify the behavior of the functional modules.

1.4 Standard terminology

To avoid confusion, and to make very clear what the requirements for compliance are, many of the paragraphs in this standard are labeled with sequentially numbered keywords that indicate the type of information they contain. The keywords are:

RULE
RECOMMENDATION
SUGGESTION
PERMISSION
OBSERVATION

REGLE chapitre.numéro:

Les règles forment la structure de base de la norme VSB. Elles sont parfois exprimées sous forme textuelle et parfois sous forme de figures ou de tableaux. Les règles sont caractérisées par un style impératif. Les mots en lettres majuscules DOIT et NE DOIT PAS sont réservés pour établir les règles de cette norme et ne sont pas utilisés pour d'autres usages.

RECOMMANDATION chapitre.numéro:

Partout où une recommandation apparaît, les concepteurs auront la prudence de suivre les conseils donnés. Faire autrement pourrait conduire à des problèmes graves ou à une mauvaise performance. Bien que le VSB ait été conçu pour des systèmes de haute performance, il est possible de concevoir un système VSB conforme à toutes les règles, mais ayant des performances médiocres. Dans de nombreux cas, un concepteur a besoin d'un certain niveau d'expérience avec le VSB de façon à réaliser des cartes qui fournissent la performance optimale. Les recommandations contenues dans cette norme sont fondées sur ce type d'expérience et sont fournies aux concepteurs pour accélérer leur apprentissage.

SUGGESTION chapitre.numéro:

Dans la norme VSB, une suggestion est un conseil utile mais non vital. Le lecteur est encouragé à ne pas l'écarter sans y réfléchir. Certains choix de conception des cartes VSB sont difficiles tant que l'on n'a pas acquis suffisamment d'expérience. Les suggestions sont faites pour aider le concepteur encore inexpérimenté. Plusieurs suggestions se rapportent soit à la conception de cartes facilement reconfigurables pour opérer avec d'autres cartes, soit à la conception de cartes qui sont plus faciles à dépanner.

AUTORISATION chapitre.numéro:

Dans certains cas une règle VSB n'interdit pas spécifiquement une certaine méthode de conception, mais, le lecteur peut se demander si celle-ci transgresse la règle ou si elle risque de conduire à un ennui. Les autorisations confirment au lecteur qu'une certaine méthode de conception est acceptable et n'entraînera pas de difficultés. Le mot PEUT, en lettres majuscules, est réservé pour énoncer les autorisations de cette norme et n'est pas utilisé pour d'autres usages.

OBSERVATION chapitre.numéro:

Les observations ne donnent pas de conseils spécifiques. Elles découlent généralement de la discussion. Elles soulignent les implications de certaines exigences du VSB et attirent l'attention sur certains points qui autrement pourraient être négligés. Elles donnent aussi la raison de certaines exigences afin que le lecteur comprenne la nécessité de les suivre.

1.4.1 Etats des lignes de signaux

Les protocoles du VSB sont décrits en terme de niveaux et de transitions sur les lignes de bus. Une ligne de signal est toujours présumée être dans l'un des deux niveaux, haut ou bas, ou en transition entre ces deux niveaux.

RULE chapter.number:

Rules form the basic framework of the VSB standard. They are sometimes expressed in text form and sometimes in the form of figures or tables. Rules are characterized by an imperative style. The upper case words **MUST** and **MUST NOT** are reserved for stating rules in this standard and are not used for any other purpose.

RECOMMENDATION chapter.number:

Wherever a recommendation appears, designers would be wise to take the advice given. Doing otherwise might result in some awkward problem or poor performance. While the VSB has been designed to support high performance systems, it is possible to design a VSB system that complies with all the rules, but has poor performance. In many cases, a designer needs a certain level of experience with VSB, in order to design boards that deliver top performance. Recommendations found in this standard are based on this kind of experience, and are provided to designers to speed their traversal of the learning curve.

SUGGESTION chapter.number:

A suggestion in the VSB standard contains advice which is helpful but not vital. The reader is encouraged to consider the advice before discarding it. Some decisions made while designing VSB boards are difficult until experience has been gained with the VSB. Suggestions are included to help a designer who has not yet gained this experience. Some suggestions have to do with designing boards that can be easily reconfigured for operation with other boards, or with designing boards that are easier to debug.

PERMISSION chapter.number:

In some cases a VSB rule does not specifically prohibit a certain design approach. However, the reader might be left wondering whether that approach violates the spirit of the rule, or whether it might lead to some subtle problem. Permissions reassure the reader that a certain approach is acceptable, and will cause no problems. The upper case word **MAY** is reserved for stating permissions in this standard and is not used for any other purpose.

OBSERVATION chapter.number:

Observations do not offer any specific advice. They usually follow naturally from what has just been discussed. They spell out the implications of certain VSB requirements and bring attention to things that might otherwise be overlooked. They also give the rationale behind certain requirements, so that the reader understands why they are needed.

1.4.1 *Signal line states*

The protocols of the VSB are described in terms of levels and transitions on bus lines. A signal line is always assumed to be in one of two levels, high or low, or in transition between these two levels.

Pour les lignes de signaux significatifs sur niveaux, le niveau de tension TTL représente une information significative. Les lignes de signaux qui sont décrites comme significatives sur niveau peuvent être soit au niveau haut, soit au niveau bas. Chaque fois que le terme haut est employé, il se réfère au niveau haut de tension TTL. Le terme bas se réfère à un niveau bas de tension TTL.

Les lignes de signaux significatives sur front marquent un événement lorsqu'elles font une transition entre les deux niveaux de tension TTL. Il y a deux transitions possibles qui peuvent apparaître sur une ligne de signal. Un front montant est le temps durant lequel un signal effectue sa transition du niveau bas au niveau haut. Le front descendant est le temps durant lequel un signal effectue sa transition de niveau haut au niveau bas.

Les temps de montée et de descente des émetteurs de bus sont la résultante d'un jeu complexe d'interactions mettant en jeu l'impédance des lignes de signaux du fond de panier, les adaptations et la longueur des lignes de signaux, l'impédance de source des émetteurs et la charge capacitive des lignes de signaux. La norme VSB ne spécifie pas les temps de montée et de descente. A la place, elle spécifie les caractéristiques électriques des émetteurs et des récepteurs. Elle spécifie aussi toutes les contraintes temporelles des signaux, prenant en compte le cas le plus défavorable de charge du bus et l'effet provoqué sur les temps de propagation de ces émetteurs. Si les concepteurs de VSB suivent ces contraintes temporelles, alors leurs cartes auront un fonctionnement fiable avec d'autres cartes compatibles VSB dans les conditions les plus défavorables.

1.4.2 Utilisation de l'astérisque (*)

Les noms de certains signaux ont un suffixe astérisque (*) pour aider à définir leur utilisation. L'astérisque a les significations suivantes:

- a) Un astérisque (*) suivant le nom d'un signal qui est significatif sur un niveau indique un signal actif ou valide au niveau bas.
- b) Un astérisque (*) suivant le nom d'un signal qui est significatif sur un front indique que le front descendant a une plus grande importance dans le protocole que le front montant.

1.5 Spécification du protocole

Le protocole principal utilisé dans le système VSB est un protocole en boucle fermée sur des lignes de bus interverrouillées. Chaque signal interverrouillé a un module source et un ou plusieurs modules destination. Un module spécifique émet et est acquitté par le ou les modules récepteurs. Une relation d'interverrouillage existe entre les modules émetteurs et récepteurs jusqu'à ce que le signal soit correctement acquitté. Par exemple, un MAITRE positionne le signal de validation de donnée qui sera reconnu plus tard par un signal d'acquiescement (aucune limite de temps n'est prescrite dans la norme VSB). Le MAITRE ne doit pas enlever le signal de validation de donnée tant que tous les ESCLAVES n'ont pas acquitté le transfert de données.

On level significant signal lines, the TTL voltage level represents meaningful information. Signal lines that are described as level significant can be either high or low. Whenever the term high is used, it refers to a high TTL voltage level. The term low refers to a low TTL voltage level.

Edge significant signal lines mark an event when they make a transition between the two TTL voltage levels. There are two possible transitions which can appear on a signal line. A rising edge is the time during which a signal makes its transition from a low level to a high level. The falling edge is the time during which a signal makes its transition from a high level to a low level.

The rise and fall times of bus drivers are the result of a complex set of interactions involving the impedance of the backplane's signal lines, the terminations and length of the signal lines, the source impedance of the drivers, and the capacitive loading of the signal lines. The VSB standard does not specify rise and fall times. Instead, it specifies the electrical characteristics for drivers and receivers. It also specifies all signal timing requirements, taking into account the worst case bus loading and the effect it has on the propagation delay times of these drivers. If VSB designers follow these timing requirements, then their boards will operate reliably with other VSB compatible boards under worst case conditions.

1.4.2 Use of the asterisk (*)

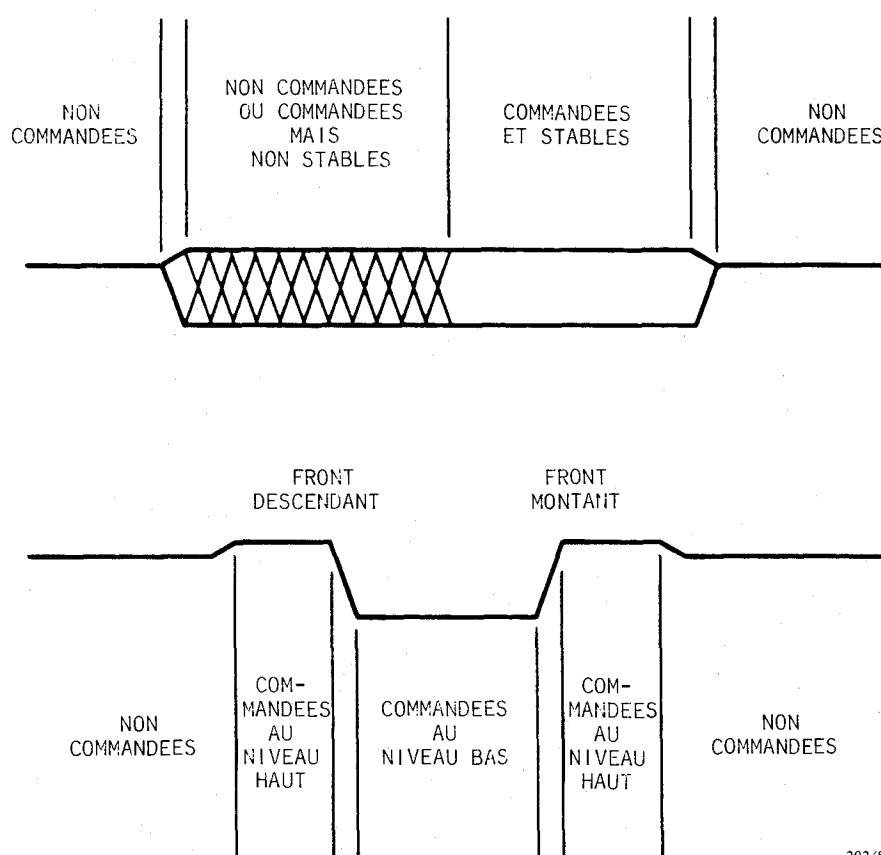
Some signal names have an asterisk suffix (*) to help define their usage. The meaning of the asterisk is as follows:

- a) An asterisk (*) following the name of a signal which is level significant denotes that the signal is true or valid when the signal is low.
- b) An asterisk (*) following the name of a signal which is edge significant denotes that the falling edge is of greater significance in the protocol than is the rising edge.

1.5 Protocol specification

The primary protocol used in the VSB system is a closed loop protocol on interlocked bus lines. Each interlocked signal has a source module and one or more destination modules. It is sent from a specific module and is acknowledged by the receiving module(s). An interlocked relationship exists between the sending and the receiving modules until the signal is properly acknowledged. For example, a MASTER asserts the data strobe which is handshaked later with an acknowledge signal (no time limit is prescribed by the VSB standard). The MASTER does not remove the data strobe until all SLAVES have acknowledged the data transfer.

Les lignes de signaux utilisées sur le VSB peuvent être commandées par différents modules à des instants différents. Elles sont commandées par des émetteurs qui peuvent être commutés en/hors service sur chaque carte. Il est très important que leurs temps de commutation soient vérifiés avec soin pour éviter que deux émetteurs ne tentent de commander le même signal à des niveaux différents. Une notation spéciale est utilisée dans les chronogrammes pour spécifier leurs temps de commutation. Cela est montré dans la figure 1-2.



202/87

Fig. 1-2. - Notations utilisées dans les chronogrammes.

The signal lines used on the VSB may be driven by different modules at different times. They are driven with drivers that can be turned on and off at each board. It is very important that their turn-on and turn-off times be carefully controlled to prevent two drivers from attempting to drive the same signal line to different levels. A special notation in the timing diagrams is used to specify their turn-on and turn-off times. It is shown in Figure 1-2.

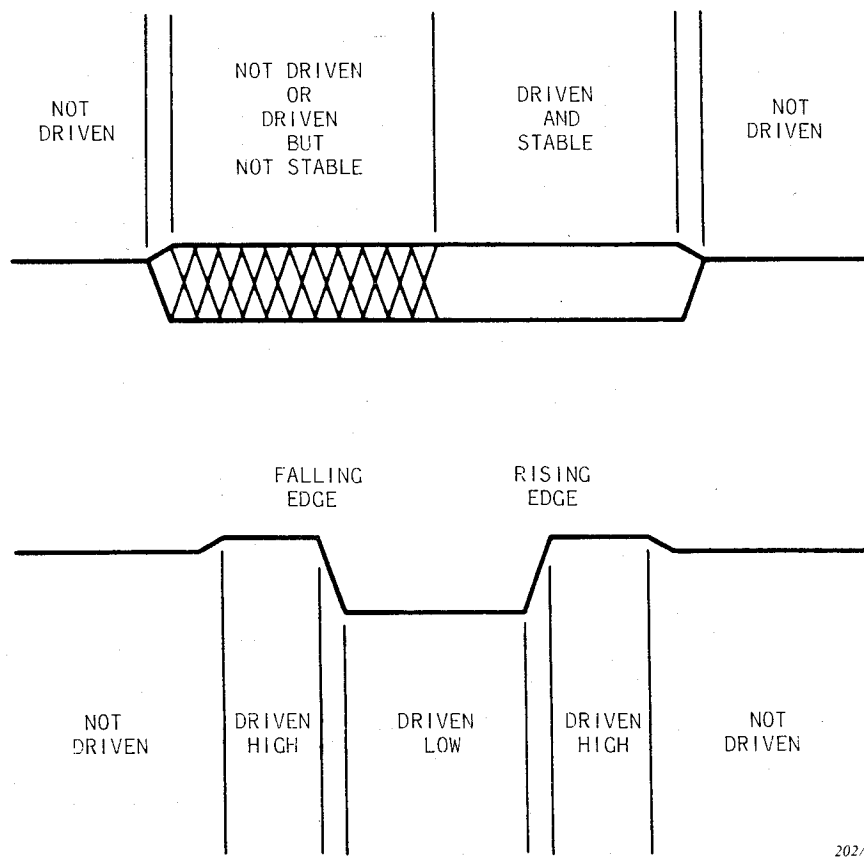


Fig. 1-2. - Signal timing notation.

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU VSB

2.1 Introduction

Le VSB comprend un bus de transfert de données (DTB) à haute vitesse, asynchrone multiplexe. La figure 2-1 montre un système VSB typique incluant tous les modules fonctionnels du DTB. Les MAITRES utilisent le DTB pour sélectionner les emplacements d'octet des ESCLAVES et pour transférer les données vers ou à partir de ces emplacements. Certains MAITRES et ESCLAVES utilisent toutes les lignes du DTB, tandis que d'autres en utilisent seulement une partie.

Après avoir déclenché un cycle de transfert de données, le MAITRE attend que l'ESCLAVE répondant acquitte le transfert avant de terminer le cycle. Les protocoles de transfert asynchrones du VSB permettent à un ESCLAVE de prendre le temps nécessaire pour répondre.

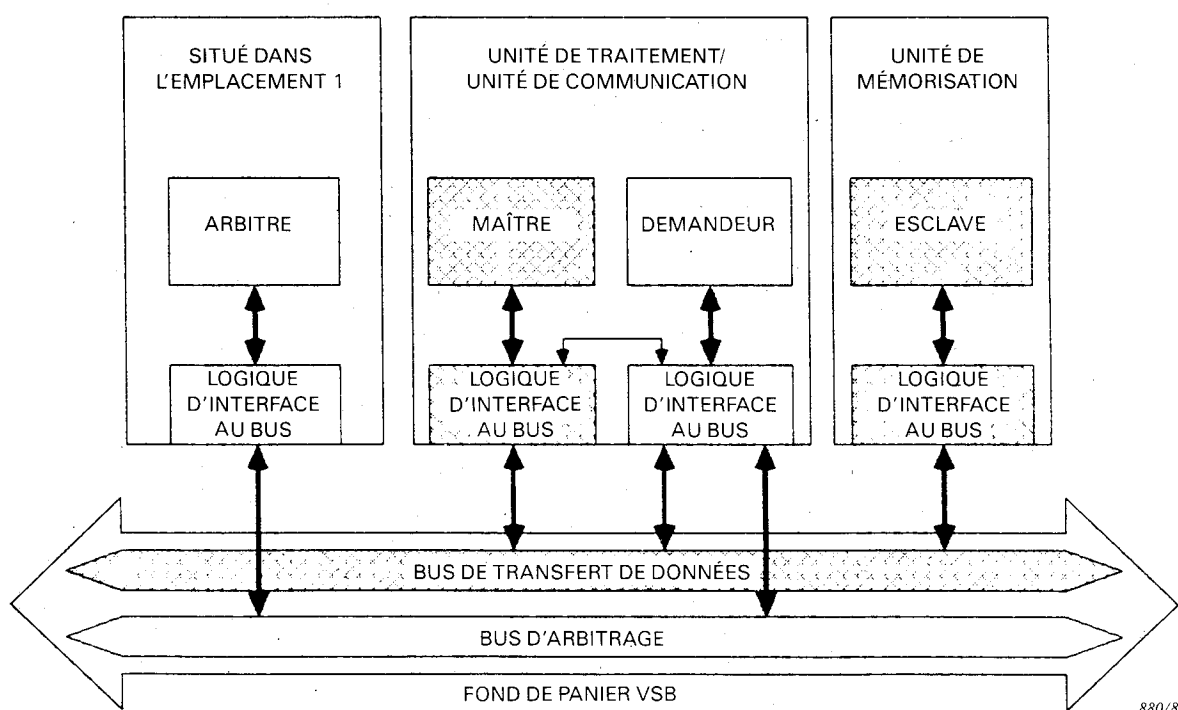


Fig. 2-1. - Schéma-bloc fonctionnel du bus de transfert de données.

CHAPTER 2: VSB DATA TRANSFER BUS

2.1 Introduction

The VSB includes a high speed asynchronous multiplexed Data Transfer Bus (DTB). Figure 2-1 shows a typical VSB system including all the functional modules of the DTB. MASTERS use the DTB to select byte locations provided by SLAVES and to transfer data to or from those locations. Some MASTERS and SLAVES use all of the DTB lines, while others use only a subset.

After a MASTER initiates a data transfer cycle, it waits for the responding SLAVE to acknowledge the transfer before finishing the cycle. The asynchronous transfer protocols of the VSB allow a SLAVE to take as long as it needs to respond.

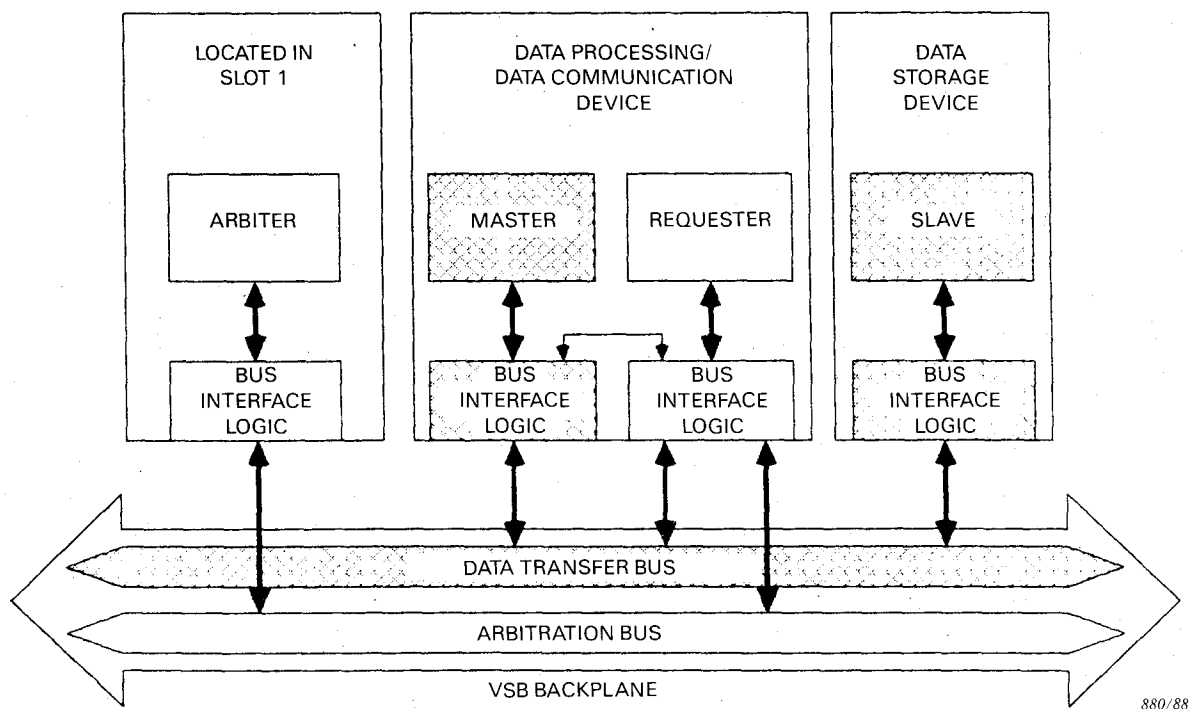


Fig. 2-1. - Data Transfer Bus functional block diagram.

2.2 Lignes du bus de transfert de données

Les lignes du bus de transfert de données VSB peuvent être classées en trois catégories:

- a) Lignes d'adresse:
 - AD00-AD31 - Adresse/Donnée
 - SPACE0 - Sélectionne espace 0
 - SPACE1 - Sélectionne espace 1
 - SIZE0 - Demande dimension 0
 - SIZE1 - Demande dimension 1
 - ASACK0* - Acquittement d'adresse/dimension 0
 - ASACK1* - Acquittement d'adresse/dimension 1
 - GA0-GA2 - Adressage géographique
- b) Lignes de données: AD00-AD31 - Adresse/Donnée
- c) Lignes de commande:
 - PAS* - Validation d'adresse physique
 - AC - Décodage d'adresse complet
 - WR* - Ecriture
 - LOCK* - Verrouillage
 - WAIT* - Attendre
 - ASACK0* - Acquittement d'adresse/dimension 0
 - ASACK1* - Acquittement d'adresse/dimension 1
 - DS* - Validation de donnée
 - ACK* - Acquittement de donnée
 - ERR* - Donnée erronée
 - IRQ* - Demande d'interruption
 - CACHE* - Peut être copié en "cache"

Cette section fournit une description générale des lignes du bus de transfert de données pour familiariser le lecteur avec leur fonction. La fonction de certaines de ces lignes peut varier durant les cycles de RECONNAISSANCE D'INTERRUPTION décrits au paragraphe 2.5.4. De plus, certaines lignes du DTB sont utilisées dans la méthode d'arbitrage parallèle décrite au chapitre 3.

2.2.1 Lignes d'adresse

Le MAITRE actif commande les lignes d'adresse pendant la phase de diffusion d'adresse du cycle pour sélectionner l'ESCLAVE qui répondra à la phase de transfert de données ainsi que les ESCLAVES qui y participeront.

2.2.1.1 AD00-AD31

Pendant la phase de diffusion d'adresse d'un cycle, le MAITRE actif place sur les lignes AD00-AD31 l'adresse des emplacements d'octet auxquels on accède pendant la phase de transfert de données du cycle.

L'adresse d'un groupe de 4 octets est déterminée par le niveau des lignes d'adresse AD02-AD31. L'adresse des emplacements d'octet dans un groupe de 4 octets dépend seulement du niveau des deux bits les moins significatifs des lignes d'adresse, c'est-à-dire les lignes d'adresse AD00 et AD01. Les emplacements d'octet sont répertoriés selon OCTET(0), OCTET(1), OCTET(2) et OCTET(3) en fonction de l'état de AD00 et AD01, comme il est défini au paragraphe 2.5.1.2, tableau 2-11.

2.2 Data Transfer Bus lines

The VSB Data Transfer Bus lines can be grouped into three categories:

- a) Addressing lines:
 - AD00-AD31 - Address/Data
 - SPACE0 - SPACE select 0
 - SPACE1 - SPACE select 1
 - SIZE0 - SIZE request 0
 - SIZE1 - SIZE request 1
 - ASACK0* - Address/Size ACKnowledge 0
 - ASACK1* - Address/Size ACKnowledge 1
 - GA0-GA2 - Geographical Addressing
- b) Data lines:
 - AD00-AD31 - Address/Data
- c) Control lines:
 - PAS* - Physical Address Strobe
 - AC - Address decode Complete
 - WR* - WRite
 - LOCK* - LOCK
 - WAIT* - WAIT
 - ASACK0* - Address/Size ACKnowledge 0
 - ASACK1* - Address/Size ACKnowledge 1
 - DS* - Data Strobe
 - ACK* - data ACKnowledge
 - ERR* - data ERRor
 - IRO* - Interrupt ReQuest
 - CACHE* - CACHEable

This section provides a general description of the Data Transfer Bus lines to familiarize the reader with their function. The function of some of the lines might vary during INTERRUPT-ACKNOWLEDGE cycles, described in Paragraph 2.5.4. In addition, some of the DTB lines are used in the parallel arbitration method, as described in Chapter 3.

2.2.1 Addressing lines

The active MASTER drives the addressing lines during the address broadcast phase of the cycle to select the SLAVE that will respond to, as well as SLAVES that will participate in, the data transfer phase.

2.2.1.1 AD00-AD31

During the address broadcast phase of a cycle, the active MASTER drives address lines AD00-AD31 with the address of the byte location(s) that are to be accessed during the data transfer phase of the cycle.

The address of a 4-byte group is determined by the level of address lines AD02-AD31. The address of byte locations within a 4-byte group differs only by the level of the two least significant bits of the address lines, i.e., address lines AD00 and AD01. Byte Locations are categorized as BYTE(0), BYTE(1), BYTE(2) and BYTE(3) according to the state of AD00 and AD01 in their address, as defined in Paragraph 2.5.1.2, Table 2-11.

OBSERVATION 2.1:

Lorsque l'accès à plus d'un emplacement d'octet est demandé dans un cycle, l'adresse sur les lignes AD00-AD31 est la plus basse parmi les adresses des emplacements d'octet.

2.2.1.2 SPACE0-SPACE1

Le MAITRE actif commande SPACE0 et SPACE1 avec un code d'espace. Il est utilisé pour sélectionner l'un des trois espaces d'adresse, ou pour déclencher un cycle de RECONNAISSANCE D'INTERRUPTION ou un cycle d'ARBITRAGE. Le VSB définit trois espaces d'adresse séparés de 4 Goctets chacun. Ces trois espaces d'adresse sont l'espace d'adresse système, l'espace d'adresse des entrées/sorties et l'espace d'adresse complémentaire.

2.2.1.3 SIZE0-SIZE1

Pendant la phase de diffusion d'adresse, le MAITRE actif place sur SIZE0-SIZE1 un code de dimension. Ce code de dimension indique le nombre d'emplacement(s) d'octet auquel le MAITRE désire accéder durant la phase de transfert de données. La norme VSB définit quatre dimensions de transfert de données: octet unique, double octet, triple octet et quadruple octet.

Pendant les *transferts octet unique*, le MAITRE demande l'accès à un emplacement d'octet.

Pendant les *transferts double octet*, le MAITRE demande l'accès à deux emplacements d'octet consécutifs.

Pendant les *transferts triple octet*, le MAITRE demande l'accès à trois emplacements d'octet consécutifs.

Pendant les *transferts quadruple octet*, le MAITRE demande l'accès à quatre emplacements d'octet consécutifs.

2.2.1.4 ASACK0*-ASACK1*

ASACK0* et ASACK1* remplissent une double fonction:

- a) L'ESCLAVE répondant place son code de dimension sur ces lignes. Le code de dimension de l'ESCLAVE indique au MAITRE actif le nombre maximal d'emplacements d'octet auquel l'ESCLAVE répondant peut accéder en un seul cycle. La norme VSB définit trois dimensions d'ESCLAVE: les ESCLAVES octet unique, double octet et quadruple octet.

Un *ESCLAVE octet unique* répond aux demandes de transfert de données en accédant à un seul emplacement d'octet à chaque transfert de données.

Un *ESCLAVE double octet* répond aux demandes de transfert de données en accédant à un ou deux emplacements d'octet à chaque transfert de données.

Un *ESCLAVE quadruple octet* répond aux demandes de transfert de données en accédant à un, deux, trois ou quatre emplacements d'octet à chaque transfert de données.

OBSERVATION 2.1:

When access to more than one byte location is requested in a cycle, the address on address lines AD00-AD31 is the lowest among the addresses of the byte locations.

2.2.1.2 SPACE0-SPACE1

The active MASTER drives SPACE0 and SPACE1 with a space code. It is used to select one of three address spaces, or to initiate an INTERRUPT-ACKNOWLEDGE or an ARBITRATION cycle. The VSB defines three separate address spaces of 4 Gbyte each. These three address spaces are the System Address Space, the I/O Address Space and the Alternate Address Space.

2.2.1.3 SIZE0-SIZE1

During the address broadcast phase, the active MASTER drives SIZE0-SIZE1 with a size code. This size code indicates the number of byte location(s) that the MASTER wishes to access during the data transfer phase. The VSB standard defines four sizes of data transfer: Single-Byte, Double-Byte, Triple-Byte and Quad-Byte.

During *Single-Byte transfers*, the MASTER requests access to one byte location.

During *Double-Byte transfers*, the MASTER requests access to two consecutive byte locations.

During *Triple-Byte transfers*, the MASTER requests access to three consecutive byte locations.

During *Quad-Byte transfers*, the MASTER requests access to four consecutive byte locations.

2.2.1.4 ASACK0*-ASACK1*

ASACK0* and ASACK1* serve a dual function:

- a) The responding SLAVE drives its size code on these lines. This SLAVE size code informs the active MASTER what is the maximum number of byte locations that the responding SLAVE can access in a single transfer. The VSB standard defines three SLAVE sizes: Single-Byte, Double-Byte and Quad-Byte SLAVES.

A *Single-Byte SLAVE* responds to data transfer requests by accessing only one byte location during each data transfer.

A *Double-Byte SLAVE* responds to data transfer requests by accessing either one or two byte locations during each data transfer.

A *Quad-Byte SLAVE* responds to data transfer requests by accessing either one, two, three or four byte locations during each data transfer.

- b) Le premier front descendant de ASACK0* ou de ASACK1* indique au MAITRE actif que l'ESCLAVE répondant a terminé son décodage d'adresse et qu'il est prêt à commencer la phase de transfert de données.

2.2.1.5 GA0-GA2

Dans un système VSB, une adresse unique est affectée à chaque emplacement du fond de panier. Cette adresse est donnée par les niveaux de tension sur GA0-GA2. Lorsqu'une carte est installée dans un emplacement du fond de panier, elle utilise les niveaux de GA0-GA2 pour positionner une partie de l'ID INTERRUPTION qu'elle utilise pendant les cycles de RECONNAISSANCE D'INTERRUPTION. (De plus, comme il est décrit au chapitre 3, GA0-GA2 donnent une partie de l'ID ARBITRAGE utilisé pendant les cycles d'ARBITRAGE parallèle.) Le chapitre 5, paragraphe 5.5.3, décrit comment sont définis les niveaux de tension des bits d'adressage géographique de chaque emplacement.

2.2.2 Lignes de données AD00-AD31

Les lignes de données AD00-AD31 sont utilisées pour transférer les données entre le MAITRE actif et les ESCLAVES VSB. Pendant les cycles de lecture, l'ESCLAVE répondant extrait les données de sa mémoire interne et les envoie sur les lignes de données et le MAITRE actif prend les données sur les lignes de données AD00-AD31. Pendant les cycles d'écriture, le MAITRE actif fournit les données valides sur les lignes de données AD00-AD31. L'ESCLAVE répondant prend ces données et les mémorise dans sa mémoire interne. Les ESCLAVES participants peuvent aussi prendre les données transférées pendant les cycles de lecture ou d'écriture.

2.2.3 Lignes de commande

Les lignes de commande coordonnent le transfert de l'information d'adresse du MAITRE actif vers les ESCLAVES VSB et des données entre le MAITRE actif et les ESCLAVES sélectionnés.

2.2.3.1 PAS*

Le MAITRE actif positionne la ligne PAS* au niveau bas pour commencer la phase de diffusion d'adresse des cycles VSB et la maintient au niveau bas pendant la durée du cycle. Les ESCLAVES VSB commencent la séquence de décodage d'adresse lorsqu'ils détectent un front descendant sur la ligne PAS*. L'ESCLAVE répondant commande ASACK0* et/ou ASACK1* au niveau bas. Une relation d'interverrouillage existe entre le MAITRE actif et l'ESCLAVE répondant aussi longtemps que le MAITRE commande la ligne PAS* au niveau bas et que l'ESCLAVE commande ASACK0* et/ou ASACK1* au niveau bas. Cette relation d'interverrouillage cesse lorsque le MAITRE actif permet à la ligne PAS* de remonter au niveau haut et après que l'ESCLAVE répondant a libéré ASACK0*-ASACK1* au niveau haut.

- b) The first falling edge of either ASACK0* or ASACK1* informs the active MASTER that the responding SLAVE has finished decoding the address and that it is ready to start the data transfer phase.

2.2.1.5 GA0-GA2

In the VSB system, each slot in the backplane is assigned a unique address. This address is set by the voltage levels on GA0-GA2. When the board is installed in the backplane slot, it uses the levels of GA0-GA2 to set part of the INTERRUPT ID that it uses during INTERRUPT-ACKNOWLEDGE cycles. (In addition, as described in Chapter 3, GA0-GA2 set part of the ARBITRATION ID used during parallel ARBITRATION cycles.) Chapter 5, Paragraph 5.5.3, describes how the voltage levels of the geographical addressing bits in each slot are set.

2.2.2 Data lines AD00-AD31

Data lines AD00-AD31 are used to carry the data between the active MASTER and VSB SLAVES. During read cycles, the responding SLAVE retrieves data from its internal storage and drives it on the data lines, and the active MASTER captures the data from data lines AD00-AD31. During write cycles, the active MASTER drives data lines AD00-AD31 with valid data. The responding SLAVE captures this data and stores it in its internal storage. Participating SLAVES might also capture the data transferred during read or write cycles.

2.2.3 Control lines

The control lines coordinate the transfer of the addressing information from the active MASTER to VSB SLAVES and of the data between the active MASTER and the selected SLAVES.

2.2.3.1 PAS*

The active MASTER drives PAS* low to start the address broadcast phase of VSB cycles and maintains it low for the duration of the cycle. VSB SLAVES start the address decode sequence when they detect a falling edge on PAS*. The responding SLAVE drives ASACK0* and/or ASACK1* low. An interlocked relationship exists between the active MASTER and the responding SLAVE for as long as the MASTER drives PAS* low and the SLAVE drives ASACK0* and/or ASACK1* low. This interlocked relationship ends when the active MASTER allows PAS* to go high, and after the responding SLAVE releases ASACK0*-ASACK1* to high.

2.2.3.2 AC

La ligne AC remplit une double fonction:

- a) Combinée avec WAIT*, elle fournit aux ESCLAVES VSB un moyen pour prolonger la phase de diffusion d'adresse afin de s'adapter à leurs spécifications de décodage d'adresse. Lorsque le MAITRE actif détecte un niveau bas sur WAIT*, il ne lui est pas permis de terminer la phase de diffusion d'adresse et de commencer la phase de transfert de données avant d'avoir détecté un niveau haut sur la ligne AC.
- b) Tous les ESCLAVES libèrent AC au niveau haut en réponse à la phase de diffusion d'adresse. L'ESCLAVE répondant commande la ligne AC au niveau bas après avoir accédé au dernier emplacement d'octet auquel il peut accéder sans avoir à demander une nouvelle adresse de la part du MAITRE actif. Lorsque le MAITRE actif détecte un niveau bas sur AC avant de recevoir ACK* au niveau bas, il termine le cycle.

2.2.3.3 WR*

Le MAITRE actif commande la ligne WR* pendant la phase de diffusion d'adresse pour informer les ESCLAVES sur la direction du transfert de données. Le MAITRE actif positionne WR* au niveau haut lorsqu'il acquiert des données des emplacements d'octet fournies par l'ESCLAVE répondant. Le MAITRE actif commande WR* au niveau bas pour mémoriser des données dans les emplacements d'octet de l'ESCLAVE répondant.

2.2.3.4 LOCK*

Les MAITRES commandent la ligne LOCK* au niveau bas pour déclencher les cycles d'ACCES INDIVISIBLE. Certains ESCLAVES VSB permettent l'accès à des emplacements d'octet qu'ils fournissent sur plus d'un port; par exemple, leur mémoire peut être accessible depuis le bus global du système. De tels ESCLAVES verrouilleront en général l'accès à partir des autres ports aux emplacements d'octet sélectionnés pendant les cycles d'ACCES INDIVISIBLE. Cela assure l'indivisibilité du cycle VSB.

2.2.3.5 DS*

Le MAITRE actif commande la ligne DS* au niveau bas pour indiquer aux ESCLAVES sélectionnés que la phase de diffusion d'adresse est terminée et que la phase de transfert de données est en cours.

2.2.3.6 WAIT*

WAIT* remplit une double fonction:

- a) Combinée avec AC, la ligne WAIT* fournit aux ESCLAVES VSB un moyen de prolonger la phase de diffusion d'adresse pour s'adapter à leurs spécifications de décodage d'adresse. Quand le MAITRE actif détecte un niveau bas sur WAIT*, il ne lui est pas permis de terminer la phase de diffusion d'adresse et de commencer la phase de transfert de données avant d'avoir détecté un niveau haut sur la ligne AC.

2.2.3.2 AC

The AC line serves a dual function:

- a) In conjunction with WAIT*, it provides VSB SLAVES with a mechanism to prolong the address broadcast phase to fit their address decoding requirements. When the active MASTER detects a low level on WAIT*, it is not allowed to complete the address broadcast phase and start the data transfer phase until it detects a high level on AC.
- b) All SLAVES release AC to high in response to the address broadcast phase. The responding SLAVE drives AC low after it has accessed the last byte location it can access without requiring a new address from the active MASTER. When the active MASTER detects a low level on AC before it receives ACK* low, it terminates the cycle.

2.2.3.3 WR*

The active MASTER drives the WR* line during the address broadcast phase to inform SLAVES of the direction of the data transfer. The active MASTER drives WR* high when it retrieves data from byte locations provided by the responding SLAVE. The active MASTER drives WR* low to store data in byte locations provided by the responding SLAVE.

2.2.3.4 LOCK*

MASTERS drive the LOCK* line low to initiate INDIVISIBLE-ACCESS cycles. Some VSB SLAVES allow access to the byte locations they provide from more than one port; for example, their memory might be accessible over the global system bus. Such SLAVES will typically lock out access from other ports to the byte locations that they provide for the duration of the INDIVISIBLE-ACCESS cycle. This ensures the indivisibility of the VSB cycle.

2.2.3.5 DS*

The active MASTER drives DS* low to indicate to the selected SLAVES that the address broadcast phase is complete and that the data transfer phase is in progress.

2.2.3.6 WAIT*

WAIT* serves a dual function:

- a) In conjunction with AC, it provides VSB SLAVES with a mechanism to prolong the address broadcast phase to fit their address decoding requirements. When the active MASTER detects a low level on WAIT*, it is not allowed to complete the address broadcast phase and start the data transfer phase until it detects a high level on AC.

- b) Les ESCLAVES participants libèrent la ligne WAIT* au niveau haut pour indiquer qu'ils ont terminé le transfert de données courant et sont prêts à participer à un autre transfert. Ce mécanisme permet au MAITRE actif de procéder aux opérations de diffusion et d'écoute de données. Pendant la diffusion de données, les données que le MAITRE actif place sur les lignes de données sont prélevées par les ESCLAVES participants. Pendant une opération d'écoute de données, les données que l'ESCLAVE répondant place sur les lignes de données sont prélevées par les ESCLAVES participants.

Par exemple, après avoir effectué une opération de cache sur un élément de donnée, le système contient deux copies, l'une en mémoire globale du VSB et l'autre en mémoire cache privée. Pour s'assurer que les deux copies sont identiques, le contrôleur de cache peut surveiller tous les cycles VSB et soit invalider la copie en cache soit la remettre à jour lorsqu'il détecte un cycle d'écriture vers la copie globale de la donnée. Cependant, cette opération doit être terminée avant que le transfert qui l'a provoquée soit terminé, de telle sorte que le contrôleur de cache soit prêt à en surveiller une autre. Cette exigence est assurée par la ligne WAIT* qui peut être maintenue au niveau bas par un tel contrôleur de cache, pour empêcher le MAITRE actif de terminer le transfert en cours avant que le cache ait été remis à jour.

2.2.3.7 ACK*

Pendant les cycles d'écriture, l'ESCLAVE répondant commande la ligne ACK* au niveau bas pour informer le MAITRE actif qu'il a prélevé les données sur les lignes AD00-AD31. Pendant les cycles de lecture, l'ESCLAVE répondant commande la ligne ACK* au niveau bas pour informer le MAITRE que des données valides ont été placées sur tout ou partie des lignes AD00-AD31. Le MAITRE actif interprète le front descendant de ACK* comme un signal de l'ESCLAVE répondant, signifiant qu'il a terminé sa participation à la phase de transfert des données du cycle.

2.2.3.8 ERR*

L'ESCLAVE répondant commande ERR* au niveau bas pour informer le MAITRE actif qu'une erreur (par exemple une erreur de parité) a été détectée pendant le cycle de transfert de données. Le MAITRE actif interprète le front descendant de ERR* comme un signal de l'ESCLAVE répondant, signifiant qu'il a terminé sa participation à la phase de transfert de données du cycle.

2.2.3.9 IRQ*

La ligne IRQ* est utilisée par les ESCLAVES pour demander une interruption à un MAITRE. Le MAITRE répond à une demande d'interruption de deux manières:

- a) Il peut déclencher un cycle de RECONNAISSANCE D'INTERRUPTION. Les ESCLAVES qui ont une demande d'interruption en attente participent au cycle de RECONNAISSANCE D'INTERRUPTION pour déterminer quel ESCLAVE aura sa demande d'interruption servie. Le MAITRE actif lit alors l'information de MOT D'ETAT/ID de cet ESCLAVE.