

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
60823**

Première édition
First edition
1990-10

**Bus système à microprocesseurs (VMSbus) –
Bus sous-système série du Bus CEI 821
(VMEbus)**

**Microprocessor system bus (VMSbus) –
Serial sub-system bus of the IEC 821 Bus
(VMEbus)**



Numéro de référence
Reference number
CEI/IEC 60823: 1990

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60823

Première édition
First edition
1990-10

**Bus système à microprocesseurs (VMSbus) –
Bus sous-système série du Bus CEI 621
(VMEbus)**

**Microprocessor system bus (VMSbus) –
Serial sub-system bus of the IEC 821 bus
(VMEbus)**

© IEC 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX XG
PRICE CODE

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

	Pages
PREAMBULE	14
PREFACE	14

CHAPITRE 0: DOMAINE D'APPLICATION

CHAPITRE 1: INTRODUCTION A LA NORME CEI 823 VMSbus

Sections

1.1 Objectifs du bus série	18
1.1.1 Objectifs de la norme CEI 823 VMSbus	18
1.2 Eléments du système constituant l'interface du bus série	20
1.3 Terminologie relative à la norme du bus série	24
1.4 Organisation de la norme	26
1.5 Relations entre le bus série et un bus parallèle du fond de panier	26

CHAPITRE 2: GENERALITES SUR LE BUS SERIE

2.1 Généralités sur la couche physique	34
2.1.1 Signaux et modules de la couche physique	34
2.1.2 Utilisation des signaux de la couche physique	34
2.2 Généralités sur la couche de liaison de données	38
2.2.1 Modules et interfaces	38
2.2.2 Groupes de modules	42
2.2.3 Protocole de transmission d'une trame	44
2.3 Utilisation du bus série pour transférer des données	46
2.4 Utilisation du bus série pour positionner à un et à zéro des indicateurs	46
2.5 Applications des groupes de modules du bus série	46
2.6 Possibilités d'adressage du bus série	48

CHAPITRE 3: TRAMES ET SOUS-TRAMES DU BUS SERIE

3.1 Types généraux de trames	50
3.2 En-tête	56
3.3 Sous-trame de type de trame	60
3.4 Sous-trame de données	64
3.5 Sous-trame d'état de trame	64
3.6 Sous-trame de détection de désynchronisation	68
3.7 Protocole de resynchronisation	68
3.8 Resynchronisation lors de l'initialisation	72

CONTENTS

	Page
FOREWORD	15
PREFACE	15

CHAPTER 0: SCOPE

CHAPTER 1: INTRODUCTION TO THE IEC 823 VMSbus Standard

Section

1.1 Serial bus objectives	19
1.1.1 IEC 823 VMSbus standard objectives	19
1.2 Serial bus interface system elements	21
1.3 Serial bus standard terminology	25
1.4 Standard organization	27
1.5 Standard relationship of the serial bus and a parallel back-plane bus	27

CHAPTER 2: SERIAL BUS OVERVIEW

2.1 Overview of the Physical Layer	35
2.1.1 Physical Layer modules and signals	35
2.1.2 Physical Layer signalling	35
2.2 Link Layer overview	39
2.2.1 Modules and interfaces	39
2.2.2 Module groups	43
2.2.3 Frame transmission protocol	45
2.3 Using the serial bus to transfer data	47
2.4 Using the serial bus to set and reset flags	47
2.5 Applications of serial bus module groups	47
2.6 Serial bus addressing capabilities	49

CHAPTER 3: SERIAL BUS FRAMES AND SUBFRAMES

3.1 Basic frame types	51
3.2 The Header	57
3.3 The Frame Type subframe	61
3.4 The Data subframe	65
3.5 The Frame Status subframe	65
3.6 The Jam Detect subframe	69
3.7 Jam protocol	69
3.8 Jam on Reset	73

Sections

Pages

CHAPITRE 4: COUCHE PHYSIQUE

4.1	Module GENERATEUR D'HORLOGE	74
4.1.1	Interface au support physique	74
4.1.2	Interface avec la couche physique et la couche de liaison	78
4.1.3	Fonctionnement	78
4.2	Module d'EXTENSION	78
4.2.1	Interfaces avec les supports physiques	78
4.2.2	Interfaces avec la couche physique et la couche de liaison	82
4.2.3	Fonctionnement	84
4.3	Module d'ACCES AU BUS	86
4.3.1	Interface avec le support physique	86
4.3.2	Interface avec la couche physique	86
4.3.3	Interface de la couche de liaison	92
4.3.4	Fonctionnement	92
4.4	Spécifications électriques	96
4.4.1	Caractéristiques d'entrée du support physique de fond de panier	96
4.4.2	Commande et charge pour SERCLK	98
4.4.3	Commande et charge pour SERDAT*	98
4.4.4	Caractéristiques d'entrée pour le support physique étendu	100
4.4.5	Commande du support physique étendu	100
4.4.6	Charge du support physique étendu	104
4.4.7	Résistance aux contraintes/détériorations du support physique étendu	106

CHAPITRE 5: MODULES DE LA COUCHE DE LIAISON DE DONNEES

5.1	Notations pour les diagrammes d'états	110
5.2	Module EMETTEUR D'EN-TETE	110
5.2.1	interface avec la couche physique	112
5.2.2	Interface avec la couche de liaison de données	112
5.2.3	Interface avec les couches de niveau supérieur	114
5.2.4	Initialisation	116
5.2.5	Fonctionnement	116
5.3	Module RECEPTEUR D'EN-TETE	122
5.3.1	interface avec la couche physique	124
5.3.2	Interface avec la couche de liaison de données	124
5.3.3	Interface avec les couches supérieures	124
5.3.4	Initialisation	128
5.3.5	Programmation de l'adresse	128
5.3.6	Fonctionnement	128

Section	Page
---------	------

CHAPTER 4: THE PHYSICAL LAYER

4.1	CLOCK SOURCE module	75
4.1.1	Medium interface	75
4.1.2	Physical and Link Layer interface	79
4.1.3	Operation	79
4.2	BRIDGE module	79
4.2.1	Media interfaces	79
4.2.2	Physical and Link Layer interfaces	83
4.2.3	Operation	85
4.3	BUS ACCESS module	87
4.3.1	Medium interface	87
4.3.2	Physical Layer interface	87
4.3.3	Link Layer interface	93
4.3.4	Operation	93
4.4	Electrical specifications	97
4.4.1	Input characteristics for the Backplane Medium	97
4.4.2	Driving and loading for SERCLK	99
4.4.3	Driving and loading for SERDAT*	99
4.4.4	Input characteristics for the Extended Medium	101
4.4.5	Driving the Extended Medium	101
4.4.6	Loading on the Extended Medium	105
4.4.7	Stress/damage resistance for the Extended Medium	107

CHAPTER 5: LINK LAYER MODULES

5.1	State diagram notation	111
5.2	HEADER SENDER module	111
5.2.1	Physical Layer interface	113
5.2.2	Link Layer interface	113
5.2.3	Higher Layer interface	115
5.2.4	Initialization	117
5.2.5	Operation	117
5.3	HEADER RECEIVER module	123
5.3.1	Physical Layer interface	125
5.3.2	Link Layer interface	125
5.3.3	Higher Layer interface	125
5.3.4	Initialization	129
5.3.5	Programming the address	129
5.3.6	Operation	129

Sections	Pages
5.4 Module EMETTEUR DE DONNEES	136
5.4.1 Interface avec la couche physique	136
5.4.2 Interface avec la couche de liaison de données	136
5.4.3 Interface avec la couche supérieure	136
5.4.4 Initialisation	140
5.4.5 Programmation du port de données	140
5.4.6 Fonctionnement	143
5.5 Module RECEPTEUR DE DONNEES	150
5.5.1 Interface avec la couche physique	150
5.5.2 Interface avec la couche de liaison de données	150
5.5.3 Interface avec les couches de niveau supérieur	150
5.5.4 Initialisation	154
5.5.5 Lecture des données du port de données	154
5.5.6 Fonctionnement	156
5.6 GESTIONNAIRE DE TRAME	162
5.6.1 Interface avec la couche physique	162
5.6.2 Interface avec la couche de liaison de données	162
5.6.3 Interface avec les couches de niveau supérieur	164
5.6.4 Initialisation	166
5.6.5 Fonctionnement	168

CHAPITRE 6: GROUPES DE LA COUCHE DE LIAISON DE DONNEES ET PROTOCOLE

6.1 Groupes simples	174
6.1.1 Indicateur simple	174
6.1.2 Gestionnaire de signal virtuel	178
6.1.3 Parleur sur demande	182
6.1.4 Parleur transactionnel	187
6.1.5 Ecouteur sur demande	192
6.1.6 Ecouteur transactionnel	196
6.1.7 Indicateur multiadresse	200
6.1.8 Parleur multiadresse	202
6.1.9 Ecouteur multiadresse	206
6.1.10 Gestionnaire de priorité variable	210
6.2 Groupes composés	214
6.2.1 Gestionnaire d'écriture	214
6.2.2 Gestionnaire de lecture	218
6.2.3 Emetteur-récepteur de bus virtuel	222
6.2.4 Sémaphore	228
6.2.5 Sémaphore à vérification de signature	240
6.2.6 Groupe à passage de jeton	246
6.2.7 Gestionnaire d'écriture avec accusé de réception	252
6.2.8 Ecouteur transactionnel avec accusé de réception	256
6.2.9 Ecouteur transactionnel à verrouillage	260
6.2.10 Parleur transactionnel à verrouillage	266

Section	Page
5.4 DATA SENDER module	137
5.4.1 Physical Layer interface	137
5.4.2 Link Layer interface	137
5.4.3 Higher Layer interface	137
5.4.4 Initialization	141
5.4.5 Programming the Data Port	141
5.4.6 Operation	143
5.5 DATA RECEIVER module	151
5.5.1 Physical Layer interface	151
5.5.2 Link Layer interface	151
5.5.3 Higher Layer interface	151
5.5.4 Initialization	155
5.5.5 Reading data from the Data Port	155
5.5.6 Operation	157
5.6 FRAME MONITOR module	163
5.6.1 Physical Layer interface	163
5.6.2 Link Layer interface	163
5.6.3 Higher Layer interface	165
5.6.4 Initialization	167
5.6.5 Operation	169

CHAPTER 6: LINK LAYER GROUPS AND PROTOCOL

6.1 Simple groups	175
6.1.1 Simple Flag	175
6.1.2 Virtual Signal Controller	179
6.1.3 On-Demand Talker	183
6.1.4 Transaction Talker	187
6.1.5 On-Demand Listener	193
6.1.6 Transaction Listener	197
6.1.7 Multiaddress Flag	201
6.1.8 Multiaddress Talker	203
6.1.9 Multiaddress Listener	207
6.1.10 Variable Priority Controller	211
6.2 Compound groups	215
6.2.1 Writing Controller	215
6.2.2 Reading Controller	219
6.2.3 Virtual Bus Transceiver	223
6.2.4 Semaphore	229
6.2.5 Signature-Checking Semaphore	241
6.2.6 Token Passing Group	247
6.2.7 Handshaking Writing Controller	253
6.2.8 Handshaking Transaction Listener	257
6.2.9 Locking Transaction Listener	261
6.2.10 Locking Transaction Talker	267

Sections

Pages

CHAPITRE 7: SUPPORT PHYSIQUE DE FOND DE PANIER
DU BUS CEI 821 VMEbus

7.1	Spécifications électriques supplémentaires	272
7.1.1	Résistances d'adaptation	272
7.2	Spécifications mécaniques	272
7.3	Paramètres de chronologie	272
7.3.1	Tests de conformité	278

CHAPITRE 8: SUPPORT PHYSIQUE D'EXTENSION

8.1	Spécifications électriques supplémentaires	282
8.1.1	Réseaux d'adaptation	282
8.1.2	La ligne BALANCE	282
8.1.3	Paramètre du câble	286
8.1.4	Filtrage et couplage optoélectrique	286
8.2	Spécifications mécaniques	286
8.2.1	Connecteurs et affectations des signaux	288
8.2.1.1	Connecteur D-sub à 9 broches	288
8.2.1.2	Connecteur pour câble plat à 10 broches et connecteur P2/J2	290
8.2.1.3	Mélanges des trois types de connecteurs	294
8.2.2	Longueur des segments de câble	306
8.3	Chronologie du support physique d'extension	306
8.3.1	Taux de transmission en fonction de la longueur	306
8.3.2	Paramètres de chronologie	308
8.3.3	Terminologie pour les signaux du support physique d'extension	316
8.3.4	Tests de conformité	318

Figures

2-1	Présentation en couches et découpage du système de bus série.	30
2-2	Présentation et interfaçage sur une carte typique	32
2-3	Configuration du support physique de fond de panier pour un châssis simple	36
2-4	Carte indépendante sur le support physique étendu	36
3-1	Types généraux de trame	52
4-1	Module GENERATEUR D'HORLOGE	76
4-2	Formes des signaux du bus d'extension	76
4-3	Signaux utilisés par le module d'EXTENSION	80
4-4	Formes des signaux du bus série	80
4-5	Signaux utilisés par le module d'ACCES AU BUS	90

Section

Page

CHAPTER 7: IEC 821 VMEbus BACKPLANE MEDIUM

7.1	Additional electrical specifications	273
7.1.1	Terminating resistors	273
7.2	Mechanical specifications	273
7.3	Timing parameters	273
7.3.1	Testing of compliance	279

CHAPTER 8: EXTENDED MEDIUM

8.1	Additional electrical specifications	283
8.1.1	Termination networks	283
8.1.2	The BALANCE line	283
8.1.3	Cable parameters	287
8.1.4	Filtering and optocoupling	287
8.2	Mechanical specifications	287
8.2.1	Connectors and signal assignments	289
8.2.1.1	9-pole D-sub connector	289
8.2.1.2	10-pole flat cable connector and P2/J2 connector	291
8.2.1.3	Mixtures of all three connector types	295
8.2.2	Cable segment length	307
8.3	Extended Medium timing	307
8.3.1	Data rate versus length	307
8.3.2	Timing parameters	309
8.3.3	Terminology for Extended Medium signals	317
8.3.4	Testing of compliance	319

Figures

2-1	Serial bus system structure and layering	31
2-2	Layering and interfacing on a typical board	33
2-3	Single-subrack Backplane Medium configuration	37
2-4	Free-standing board on the Extended Medium	37
3-1	Basic frame types	53
4-1	CLOCK SOURCE module	77
4-2	Extended bus waveforms	77
4-3	Signals used by the BRIDGE module	81
4-4	Serial bus waveforms	81
4-5	Signals used by the BUS ACCESS module	91

Figures

Pages

4-6	Formes des signaux du support physique de fond de panier ..	90
4-7	Circuit de charge de test pour la REGLE 4.26 et la REGLE 4.27	100
4-8	Circuit de charge de test pour la REGLE 4.28 et la REGLE 4.29	102
5-1	EMETTEUR D'EN-TETE avec GESTIONNAIRE DE TRAME	112
5-2	Diagramme d'état de l'EMETTEUR D'EN-TETE	120
5-3	Signaux utilisés par un RECEPTEUR D'EN-TETE	126
5-4	Diagramme d'état du RECEPTEUR D'EN-TETE	130
5-5	EMETTEUR DE DONNEES avec RECEPTEUR D'EN-TETE	138
5-6	Diagramme d'état de l'EMETTEUR DE DONNEES	146
5-7	RECEPTEUR DE DONNEES avec RECEPTEUR D'EN-TETE	152
5-8	Diagramme d'état du RECEPTEUR DE DONNEES	158
5-9	Diagramme d'état du GESTIONNAIRE DE TRAME	170
6-1	Indicateur simple	176
6-2	Gestionnaire de signal virtuel	178
6-3	Parleur sur demande	182
6-4	Parleur transactionnel	188
6-5	Ecouteur sur demande	192
6-6	Ecouteur transactionnel	198
6-7	Indicateur multiadresse	200
6-8	Parleur multiadresse sur demande	204
6-9	Ecouteur multiadresse transactionnel	206
6-10	Gestionnaire de priorité variable	210
6-11	Gestionnaire d'écriture	214
6-12	Gestionnaire de lecture	218
6-13	Emetteur-récepteur de bus virtuel	222
6-14	Sémaphore	228
6-15	Sémaphore à vérification de signature	240
6-16	Groupe à passage de jeton	246
6-17	Gestionnaire d'écriture avec accusé de réception	252
6-18	Ecouteur transactionnel avec accusé de réception	256
6-19	Ecouteur transactionnel à verrouillage	260
6-20	Parleur transactionnel à verrouillage	266
7-1	Chronologie et forme du signal du support physique de fond de panier	274
8-1	Réseau d'adaptation de EXTCLK	282
8-2	Réseaux d'adaptation de EXTDAT	284
8-3	Connexion à la ligne BALANCE	284
8-4	Câble plat-torsadé pour le support physique d'extension à l'intérieur d'un châssis, montrant toutes les combinaisons possibles de connecteurs	298
8-5a	Un connecteur gigogne autorise le retrait de la carte de circuit imprimé tout en assurant la continuité galvanique	300
8-5b	Câble double dans un connecteur D-sub unique assurant la continuité galvanique	302
8-6	Utilisation d'une carte de circuit imprimé pour relier le support physique d'extension en dehors et à l'intérieur d'un châssis	304
8-7	Chronologie et forme de signal pour le support physique d'extension	308
8-8	Chronologie du support physique d'extension et du fond de panier	312
8-9	Etats d'un signal d'extension de bus	316

Figure	Page
4-6 Backplane Medium waveforms	91
4-7 Test load circuit for RULE 4.26 and RULE 4.27	101
4-8 Test load circuit for RULE 4.28 and RULE 4.29	103
5-1 HEADER SENDER with FRAME MONITOR	113
5-2 HEADER SENDER state diagram	121
5-3 Signals used by a HEADER RECEIVER	127
5-4 HEADER RECEIVER state diagram	131
5-5 DATA SENDER with HEADER RECEIVER	139
5-6 DATA SENDER state diagram	147
5-7 DATA RECEIVER with HEADER RECEIVER	153
5-8 DATA RECEIVER state diagram	159
5-9 FRAME MONITOR state diagram	171
6-1 Simple Flag	177
6-2 Virtual Signal Controller	179
6-3 On-Demand Talker	183
6-4 Transaction Talker	189
6-5 On-Demand Listener	193
6-6 Transaction Listener	199
6-7 Multiaddress Flag	201
6-8 Multiaddress On-Demand Talker	205
6-9 Multiaddress Transaction Listener	207
6-10 Variable Priority Controller	211
6-11 Writing Controller	215
6-12 Reading Controller	219
6-13 Virtual Bus Transceiver	223
6-14 Semaphore	229
6-15 Signature-Checking Semaphore	241
6-16 Token Passing Group	247
6-17 Handshaking Writing Controller	253
6-18 Handshaking Transaction Listener	257
6-19 Locking Transaction Listener	261
6-20 Locking Transaction Talker	267
7-1 Backplane Medium waveforms and timing	275
8-1 EXTCLK termination network	283
8-2 EXTDAT termination networks	285
8-3 Connection to the BALANCE line	285
8-4 Twist-and-flat cable for Extended Medium within a cabinet, showing all the possible connector combinations	299
8-5a Piggyback D-sub connector allows PCB removal while main- taining galvanic continuity of the Extended Medium	301
8-5b Double cable in single D-sub connector maintaining galvanic continuity	303
8-6 Using a PCB to link the Extended Medium outside and inside a cabinet	305
8-7 Waveforms and timing for the Extended Medium	309
8-8 Extended and Backplane Media timing	313
8-9 States of an Extended bus signal	317

Tableaux

Pages

2-1	Signaux de l'interface couche physique/couche de liaison de données	40
2-2	Relation entre le bit commandé sur le support physique en fonction de XONE/XSTART/XSAM	42
2-3	Relation entre le bit reçu du support physique en fonction de l'état de RONE/RSTART	42
3-1	Utilisation des sous-trames par les modules	54
3-2	Codes de type de trame	60
3-3	Codes de la trame d'état	70
4-1	Protocole de sortie de SERDAT* pour le module d'ACCES AU BUS	94
4-2	Protocole d'entrée de SERDAT* pour le module d'ACCES AU BUS	96
7-1	REGLES de chronologie pour le groupe GENERATEUR D'HORLOGE+EXTENSION du châssis unique	274
7-2	REGLES de chronologie et OBSERVATIONS pour les modules d'ACCES AU BUS	276
7-3	Points de mesure des paramètres	280
8-1	Taux de transmission du support physique d'extension en fonction du temps de propagation et de la longueur	306
8-2	REGLES de chronologie pour un GENERATEUR D'HORLOGE dans les configurations étendues	310
8-3	REGLES et OBSERVATIONS de chronologie, groupe EXTENSION +ACCES AU BUS isolé	310
8-4	REGLES et OBSERVATIONS de chronologie pour le fond de panier/EXTENSION étendu	314
8-5	Points de mesure des paramètres	318

Table

Page

2-1	Physical Layer/Link Layer interface signals	41
2-2	XONE/XSTART/XJAM versus bit driven on medium	43
2-3	Bit received from medium versus RONE/RSTART state	43
3-1	Subframe usage by modules	55
3-2	Frame Type codes	61
3-3	Frame Status codes	71
4-1	SERDAT* output protocol for BUS ACCESS module	95
4-2	SERDAT* input protocol for BUS ACCESS module	97
7-1	Timing RULES for single-subrack CLOCK SOURCE+BRIDGE group	275
7-2	Timing RULES and OBSERVATIONS for BUS ACCESS modules ..	277
7-3	Parameter measurement points	281
8-1	Extended Medium data rate versus propagation versus length ..	307
8-2	Timing RULES for CLOCK SOURCE in extended configurations ..	311
8-3	Timing RULES and OBSERVATIONS, Stand-alone BRIDGE+BUS ACCESS group	311
8-4	Timing RULES and OBSERVATIONS for Backplane/Extended BRIDGE	315
8-5	Parameter measurement points	319

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS SYSTEME A MICROPROCESSEURS (VMSbus) -
BUS SOUS-SYSTEME SERIE DU BUS CEI 821 (VMEbus)

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le JTC 1/SC 26*: Système à microprocesseurs.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote	Procédure des Deux Mois	Rapport de vote
47B(BC)28	JTC 1/SC 47B N 14	JTC 1/SC 47B N 15	JTC 1/SC 47B N 20

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

La publication suivante de la CEI est citée dans la présente norme:

Publication n° 821 (1987): BUS CEI 821 - Bus système à microprocesseurs pour données de 1 à 4 octets.

* Anciennement Sous-Comité 47B du Comité d'Etudes n° 47 de la CEI.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MICROPROCESSOR SYSTEM BUS (VMSbus) -
SERIAL SUB-SYSTEM BUS OF THE IEC 821 BUS (VMEbus)

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by JTC 1/SC 26*: Microprocessor systems.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting	Two Months' Procedure	Report on Voting
47B(C0)28	JTC 1/SC 47B N 14	JTC 1/SC 47B N 15	JTC 1/SC 47B N 20

Full information on the voting for the approval of this standard can be found in the Voting Reports indicated in the above table.

The following IEC publication is quoted in this standard:

Publication No. 821 (1987): IEC 821 BUS - Microprocessor system bus for 1 to 4 byte data.

* Formerly Sub-Committee 47B of IEC Technical Committee No. 47.

BUS SYSTEME A MICROPROCESSEURS (VMSbus) -
BUS SOUS-SYSTEME SERIE DU BUS CEI 821 (VMEbus)

CHAPITRE 0: DOMAINE D'APPLICATION

La présente norme décrit une méthode d'interfaçage utilisée pour connecter des cartes à l'intérieur d'un châssis, ainsi qu'une méthode d'interfaçage étendue pour connecter entre eux des châssis et des cartes individuelles sur des distances limitées. L'interconnexion de ces cartes et châssis est effectuée par l'intermédiaire d'un support physique de données série.

MICROPROCESSOR SYSTEM BUS (VMSbus) -
SERIAL SUB-SYSTEM BUS OF THE IEC 821 BUS (VMEbus)

CHAPTER 0: SCOPE

This standard describes an interfacing method used to connect boards within a subrack, and an extended interfacing method used to connect subracks and stand-alone boards over limited distances. The interconnection of these boards and subracks is provided by a serial data medium.

CHAPITRE 1: INTRODUCTION A LA NORME CEI 823 VMSbus

1.1 *Objectifs du bus série*

Le bus série a été conçu avec les objectifs suivants:

- a) Supporter les systèmes distribués de traitement d'information dans les deux configurations correspondant à un couplage serré (multi-processeur) ou à un couplage faible.
- b) Pourvoir à la transmission rapide de messages courts et urgents entre les cartes et les châssis de tels systèmes.
- c) Supporter les systèmes tolérant aux fautes en fournissant une voie de commande qui soit complémentaire de celle du bus parallèle du fond de panier.
- d) Fournir des possibilités générales de commande et de transfert de messages incluant les opérations de diffusion, d'adressage par groupes et de scrutation de groupes.
- e) Fournir un flux de données maniable incluant des fonctions de lecture et de transfert ainsi que de la fonction plus commune d'écriture.
- f) Maximiser la disponibilité du support de transmission et la simplicité du matériel en incluant dans le processus de transmission de trame un mécanisme d'arbitrage et d'allocation.
- g) Diminuer les coûts du matériel pour les cartes qui ne nécessitent pas le taux de transmission de données d'un bus de fond de panier parallèle, en éliminant l'interface au bus.
- h) Pour le bus étendu, minimiser les coûts du matériel pour les fonctions qui peuvent être réalisées sur une carte déportée simple, en supprimant les fonds de panier et les châssis.

1.1.1 *Objectifs de la norme CEI 823 VMSbus*

Les objectifs de la présente norme sont les suivants:

- a) Spécifier les caractéristiques requises pour concevoir les cartes et les circuits intégrés qui pourront communiquer de manière fiable et non ambiguë avec d'autres dispositifs connectés sur le bus série.
- b) Spécifier les protocoles qui définissent avec précision l'interaction entre le bus série et les dispositifs qui lui sont reliés.
- c) Fournir une terminologie et des définitions qui décrivent le protocole du système.

CHAPTER 1: INTRODUCTION TO THE IEC 823 VMSbus STANDARD

1.1 *Serial bus objectives*

The serial bus has been conceived with the following objectives:

- a) To support distributed information systems in both tightly coupled (multiprocessor) and loosely coupled configurations.
- b) To provide for the prompt delivery of short, urgent messages among boards and subracks in such systems.
- c) To support fault-tolerant systems by providing a control path that is complementary to a parallel backplane bus.
- d) To provide generalized control and message-transfer capabilities including broadcast, group addressing and group polling operations.
- e) To provide flexible data flow including read and move functions as well as the more common write function.
- f) To maximize medium availability and hardware simplicity by including an arbitration and allocation mechanism in the frame transmission process.
- g) To minimize hardware costs for boards that do not need the data rate of a parallel backplane bus, by eliminating the bus interface.
- h) For the extended bus, to further minimize hardware costs for functions that can be accomplished on a single remote board, by eliminating backplanes and subracks.

1.1.1 *IEC 823 VMSbus standard objectives*

This standard has the following objectives:

- a) To specify the characteristics required to design boards and integrated circuits that will reliably and unambiguously communicate with other devices attached to the serial bus.
- b) To specify protocols that precisely define the interaction between the serial bus and devices interfaced to it.
- c) To provide terminology and definitions that describe system protocol.

1.2 *Éléments du système constituant l'interface du bus série*

Cette section définit quelques termes fondamentaux utilisés pour décrire le bus série. Les termes suivants décrivent les éléments *mécaniques* des systèmes de bus série:

Connecteur

Dispositif physique qui peut être accouplé avec un autre élément semblable en vue de conduire un ou plusieurs signaux.

Fond de panier

Assemblage électronique rigide comportant des connecteurs et des pistes conductrices qui transfère les signaux d'un connecteur à l'autre en formant un bus.

Carte

Assemblage électronique rigide comportant des composants actifs, des pistes conductrices et un ou plusieurs connecteurs, qui peut être enfiché dans un fond de panier.

Emplacement

Position où une carte peut être enfichée dans un fond de panier.

Châssis

Structure rigide qui fournit un support mécanique pour les cartes enfichées dans un fond de panier, aidant à assurer que les connecteurs s'accouplent convenablement et que les cartes adjacentes n'entrent pas en contact entre elles.

Les termes suivants décrivent les éléments *fonctionnels* des systèmes de bus série:

Module fonctionnel

Ensemble conceptuel de circuits électroniques qui résident sur une carte et concourent à l'accomplissement d'une fonction spécifique. La taille et la complexité des modules est choisie de manière à permettre une spécification claire et relativement simple de leur fonction et de leur fonctionnement.

Groupe de modules

Ensemble de modules fonctionnels qui résident sur une carte et collaborent en vue d'exécuter une fonction plus élaborée.

Couche de liaison

Partie du système d'interface au bus série qui est indépendante de la configuration physique du bus et de la manière dont les signaux sont modulés sur le bus. La couche de liaison fournit des moyens fonctionnels et de procédure pour transmettre des trames. La couche de liaison est placée entre la couche physique et les couches supérieures du système.

1.2 Serial bus interface system elements

This section defines some basic terms used to describe the serial bus. The following terms describe *mechanical* elements of serial bus systems:

Connector

A physical device which can be mated with another similar device to conduct one or more signal(s).

Backplane

A rigid electronic assembly including connectors and conductive paths that bus the signals among them.

Board

A rigid electronic assembly including active components, conductive paths, and one or more connectors that can be plugged into a backplane.

Slot

A position where a board can be plugged into a backplane.

Subrack

A rigid framework that provides mechanical support for boards inserted into a backplane, helping to ensure that the connectors mate properly and that adjacent boards do not contact each other.

The following terms describe *functional* elements of serial bus systems:

Functional module

A conceptual collection of electronic circuitry that resides on one board and works together to accomplish a specific function. The size and complexity of modules is chosen to permit clear and relatively simple specification of their function and operation.

Module group

A collection of functional modules that resides on one board and works together to accomplish a more extensive function.

Link Layer

The part of the serial bus interface system which is independent of the physical configuration of the bus and of the way that signals are modulated on the bus. The Link Layer provides functional and procedural means to transfer frames. The Link Layer stands between the Physical Layer and higher layers of the system.

Couche physique

Partie du système d'interface du bus série qui varie selon la manière dont les signaux sont modulés sur le bus. La couche physique fournit des moyens fonctionnels et de procédure pour transférer des bits. Elle comprend les spécifications électriques pour les émetteurs et récepteurs de bus. Cette norme décrit deux couches physiques. La couche physique du fond de panier utilise des niveaux de signal compatible TTL pour transférer les bits entre les cartes à l'intérieur d'un châssis. La couche physique étendue utilise une double transmission par mode différentiel pour transférer des bits entre de tels châssis et/ou des cartes individuelles.

Support physique

Parties du système d'interface du bus série qui varient selon la configuration physique du bus. Le support physique interconnecte les couches physiques des différentes cartes. Cette norme définit un support physique sur le fond de panier du bus CEI 821 VMEbus, qui relie les couches physiques des cartes à l'intérieur d'un châssis, et un support physique étendu qui relie les couches physiques entre châssis et cartes autonomes. Le support physique impose les spécifications mécaniques et les spécifications de performances.

Les termes suivants décrivent les éléments du *protocole* du bus série:

Sous-trame

Séquence de bits consécutifs sur le bus série organisée selon une structure ou un format spécifié.

Trame

Suite de sous-frames consécutives sur le bus série organisée selon une structure ou un format spécifié.

Sémaphore

En général, mécanisme qui commande l'accès à une ressource qui peut être partagée entre plusieurs utilisateurs (par exemple plusieurs processeurs). Ce terme est utilisé dans cette norme pour désigner un groupe de modules réalisant un mécanisme à bit unique qui restreint l'accès d'une ressource à un seul utilisateur à la fois et qui n'indique pas le nombre d'utilisateurs en attente de pouvoir accéder à la ressource.

Jeton

Dans une autre méthode de gestion d'une ressource partagée, un jeton constitue un droit à l'utilisation de la ressource, qui se passe d'un utilisateur à un autre. Le bus série peut être utilisé pour réaliser une gestion par jetons, mais il n'est pas lui-même géré par cette méthode.

Physical layer

The part of the serial bus interface system which varies with the way signals are modulated on the bus. The Physical Layer provides functional and procedural means to transfer bits. It includes electrical specifications for the bus drivers and receivers. This standard describes two Physical Layers. The Backplane Physical Layer uses TTL-compatible signal levels to transfer bits among boards within a subrack. The Extended Physical Layer uses dual-differential signalling to transfer bits among such subracks and/or free-standing boards.

Medium

The parts of the serial bus interface system which vary with the physical configuration of the bus. The Medium interconnects the Physical Layers on various boards. This standard defines an IEC 821 VMEbus Backplane Medium which interconnects Physical Layers on boards within a subrack, and an Extended Medium which interconnects Physical Layers between subracks and free-standing boards. The Medium dictates mechanical and performance specifications.

The following terms describe elements of the serial bus *protocol*:

Subframe

A series of consecutive bits on the serial bus in a specified arrangement or format.

Frame

A series of consecutive subframes on the serial bus in a specified arrangement or format.

Semaphore

In general, a mechanism that controls access to a resource which can be shared among several users (e.g. several processors). Used in this specification to indicate a module group that implements a single-bit mechanism which restricts access to the resource to a single user and does not indicate how many users are waiting to use the resource.

Token

In another control method for a shared resource, a token is a right to use the resource, which is passed around among users of the resource. The serial bus can be used to implement tokens, but is not itself controlled by this method.

1.3 Terminologie relative à la norme du bus série

Une norme comme celle-ci comprend une grande variété de types d'informations. D'un côté, les exigences de conformité doivent être rendues explicites, alors que d'un autre côté il est nécessaire d'inclure divers types d'information non directement liés à la conformité. Pour différencier ces types d'informations, plusieurs paragraphes de cette norme sont désignés par les MOTS CLES suivants:

REGLE
RECOMMANDATION
SUGGESTION
OBSERVATION
AUTORISATION

Tout texte non désigné avec l'un de ces MOTS CLES décrit la structure ou le fonctionnement du bus série. Il est facile à reconnaître grâce à son style narratif et l'utilisation exclusive du temps présent.

L'utilisation de ces MOTS CLES est la suivante:

REGLE chapitre.numéro:

Les REGLES constituent la structure de base de cette norme. Elles sont quelquefois exprimées sous forme textuelle, et parfois sous forme de figures, tableaux ou diagrammes d'état. Toutes les règles relatives au bus série DOIVENT être respectées pour assurer la compatibilité entre diverses réalisations sur le bus série. Les règles se caractérisent par un style impératif. Les mots DOIVENT et NE DOIVENT PAS, en lettres majuscules, sont réservés exclusivement à l'énoncé de règles dans cette norme et ne sont utilisés pour aucun autre objectif.

RECOMMANDATION chapitre.numéro:

Lorsqu'une RECOMMANDATION apparaît, les concepteurs seraient bien inspirés de suivre les conseils donnés. Opérer différemment pourrait conduire à certains problèmes graves ou à de mauvaises performances.

SUGGESTION chapitre.numéro:

Dans cette norme, une SUGGESTION contient un conseil utile mais non vital. On encourage le lecteur à considérer ce conseil avant de le rejeter. L'utilité d'une SUGGESTION dépend souvent de l'application du bus série envisagée par le concepteur.

OBSERVATION chapitre.numéro:

Les OBSERVATIONS n'offrent aucun conseil spécifique. Elles découlent en général naturellement de ce qui a été exposé auparavant. Elles explicitent les implications de certaines règles et attirent l'attention sur les points qui autrement pourraient être négligés. Elles donnent aussi le raisonnement sous-jacent à certaines REGLES, de manière que le lecteur comprenne pourquoi la REGLE doit être respectée.

AUTORISATION chapitre.numéro:

Dans certains cas, une REGLE du bus série n'interdit pas de manière spécifique une certaine approche de conception, mais le lecteur peut se demander si celle-ci peut éventuellement violer l'esprit de la REGLE, ou si elle peut conduire à quelque problème subtil. Les AUTORISATIONS rassurent le lecteur sur le fait qu'une certaine approche est acceptable, et ne causera pas de problème. Le mot PEUT, en lettres majuscules, est utilisé exclusivement pour formuler les PERMISSIONS.

1.3 *Serial bus standard terminology*

A standard like this one includes a variety of types of information. On one hand, the requirements for compliance must be spelled out, while on the other hand various types of useful data must be included which are not directly related to compliance. To differentiate these types of information, many of the paragraphs in this standard are labelled with the following KEYWORDS:

RULE
RECOMMENDATION
SUGGESTION
OBSERVATION
PERMISSION

Any text not labelled with one of these KEYWORDS describes the serial bus structure or operation. It is easily recognizable by its narrative style and exclusive use of the present tense.

These KEYWORDS are used as follows:

RULE chapter.number:

RULES form the basic framework of this standard. They are sometimes expressed in text form and sometimes in the form of figures, tables, or state diagrams. All serial bus rules **MUST** be followed to ensure compatibility among serial bus designs. Rules are characterized by an imperative style. The upper-case words **MUST** and **MUST NOT** are reserved exclusively for stating rules in this standard and are not used for any other purpose.

RECOMMENDATION chapter.number:

Whenever a **RECOMMENDATION** appears, designers would be wise to take the advice offered. Doing otherwise may result in certain awkward problems or poor performance.

SUGGESTION chapter.number:

In this standard, a **SUGGESTION** contains advice which is helpful but not vital. The reader is encouraged to consider the advice before discarding it. Whether or not a **SUGGESTION** is useful often depends on the application of the serial bus that the designer is pursuing.

OBSERVATION chapter.number:

OBSERVATIONS do not offer any specific advice. They usually follow naturally from what has been discussed previously. They spell out the implications of certain rules and bring attention to things that might otherwise be overlooked. They also give the rationale behind certain **RULES**, so that the reader understands why the **RULE** must be followed.

PERMISSION chapter.number:

In some cases, a serial bus **RULE** does not specifically prohibit a certain design approach, but the reader might be left wondering whether that approach might violate the spirit of the **RULE**, or whether it might lead to some subtle problem. **PERMISSIONS** reassure the reader that a certain approach is acceptable, and will cause no problems. The upper-case word **MAY** is used exclusively for stating **PERMISSIONS**.

1.4 Organisation de la norme

Les chapitres suivants sont arrangés de manière à procéder à partir des principes généraux vers les détails spécifiques. Le chapitre 2 donne une vue générale du sujet. Le chapitre 3 décrit les types de trames qui apparaissent sur le bus série, et contient des détails spécifiques sur les sous-trames utilisées pour construire les trames.

Le chapitre 4 définit la couche physique, incluant les modules fonctionnels du support physique de fond de panier du bus CEI 821 VMEbus et le support physique étendu. Le chapitre 5 définit de manière formelle la couche de liaison en spécifiant le fonctionnement des modules de cette couche. Le chapitre 6 définit le protocole du bus série concernant divers groupes de modules.

Les chapitres 7 et 8 contiennent les spécifications mécaniques et de performances pour le support physique du fond de panier du bus CEI 821 VMEbus et le support physique étendu.

1.5 Relations entre le bus série et un bus parallèle du fond de panier

Lorsque le bus série est utilisé avec un bus système, il n'existe aucune contrainte de chronologie spécifiée entre un quelconque de ses signaux et n'importe lequel des signaux sur le fond de panier.

La conformité avec cette norme est indépendante de la conformité avec toute autre spécification telle que celle relative au bus CEI 821 VMEbus. Une carte ou un produit qui est construit de manière à être conforme à cette norme ne peut prétendre être compatible avec le bus CEI 821 VMEbus à moins qu'il ne contienne également une interface au bus CEI 821 VMEbus.

1.4 *Standard organization*

The following chapters are arranged to proceed from general principles to specific details. Chapter 2 gives an overview of the subject. Chapter 3 describes the types of frames that appear on the serial bus, and contains specific details of the subframes from which frames are built.

Chapter 4 defines the Physical Layer, including the functional modules for both the IEC 821 VMEbus Backplane Medium and the Extended Medium. Chapter 5 formally defines the Link Layer by specifying the operation of Link Layer modules. Chapter 6 defines the serial bus protocol of various module groups.

Chapters 7 and 8 contain the mechanical and performance specifications for the IEC 821 VMEbus Backplane Medium and the Extended Medium, respectively.

1.5 *Relationship of the serial bus and a parallel backplane bus*

When the serial bus is used with a system bus, there are no prescribed timing constraints between any of its signals and any of the other signals on the backplane.

Compliance with this standard is independent of compliance with any other standard such as that for the IEC 821 VMEbus. A board or product which is built to comply with this standard should not claim compatibility with the IEC 821 VMEbus unless it also contains an IEC 821 VMEbus interface.

CHAPITRE 2: GENERALITES SUR LE BUS SERIE

Cette norme couvre quatre parties du système d'interface du bus série, la couche de liaison de données, la couche physique, le support physique de fond de panier et le support physique étendu. La figure 2-1, page 30, montre la configuration générale d'un bus série étendu, les couches étant empilées verticalement et les cartes et châssis interconnectés au bus série répartis horizontalement.

Dans la couche de liaison de données, les modules fonctionnels sont associés en groupes formant des entités d'échange d'information sur le bus série. Les modules de la couche physique sont plus indépendants et ne sont groupés que pour deux cas spéciaux. Puisque le support physique représente simplement les liaisons électriques, il ne comporte pas de modules fonctionnels.

OBSERVATION 2.1:

La présentation en couches utilisée dans cette norme est semblable à celle qui est mise en avant dans le modèle d'interconnexion des systèmes ouverts (OSI) de l'Organisation Internationale de Normalisation (ISO). Les couches du bus série correspondent aux deux couches fonctionnelles les plus basses de OSI, le support physique en plus.

Sur la figure 2-1, les différentes interfaces du système de bus série sont représentées en lignes pointillées. La figure 2-2, page 32, fournit des détails supplémentaires sur ces interfaces pour une carte typique du bus série connectée au support physique de fond de panier.

Les interfaces entre la couche de liaison de données et les couches de niveau plus élevé de gestion sont décrites dans le chapitre 5, dans le cadre de la définition formelle des divers modules de la couche de liaison de données. Le chapitre 5 définit aussi l'interface entre les modules de la couche de liaison de données d'un même groupe. L'interface entre la couche de liaison de données et la couche physique et l'interface entre la couche physique et le support physique sont décrites d'une manière générale ci-dessous et plus en détail dans le chapitre 4.

CHAPTER 2: SERIAL BUS OVERVIEW

This standard covers four parts of the serial bus interface system, the Link Layer, the Physical Layer, the Backplane Medium, and the Extended Medium. Figure 2-1, page 31, shows the general configuration of an Extended serial bus, with the layers arranged vertically, and the boards and subracks that are interconnected by the serial bus arranged horizontally.

In the Link Layer, functional modules are arranged in groups, which are the entities that exchange information on the serial bus. Physical Layer modules are more independent and are grouped only in two special circumstances. Since the Medium simply represents conductive paths, there are no functional modules in the Medium.

OBSERVATION 2.1:

The representation of this standard in a layered Form is similar to that put forth by the Open System Interconnection (OSI) model of the International Organization for Standardization (ISO). The serial bus layers correspond to the lowest two functional layers of OSI plus its physical medium.

Figure 2-1 depicts the various *interfaces* in the serial bus system as broken lines. Figure 2-2, page 33, shows further details of these interfaces, for a typical serial bus board connected to the Backplane Medium.

The interfaces between the Link Layer and higher layers of control are described in Chapter 5, as part of the formal definition of the various Link Layer modules. Chapter 5 also defines the interface between the Link Layer modules in a group. The interface between the Link Layer and the Physical Layer, and the interface between the Physical Layer and the Medium, are described in general terms below and in greater detail in Chapter 4.

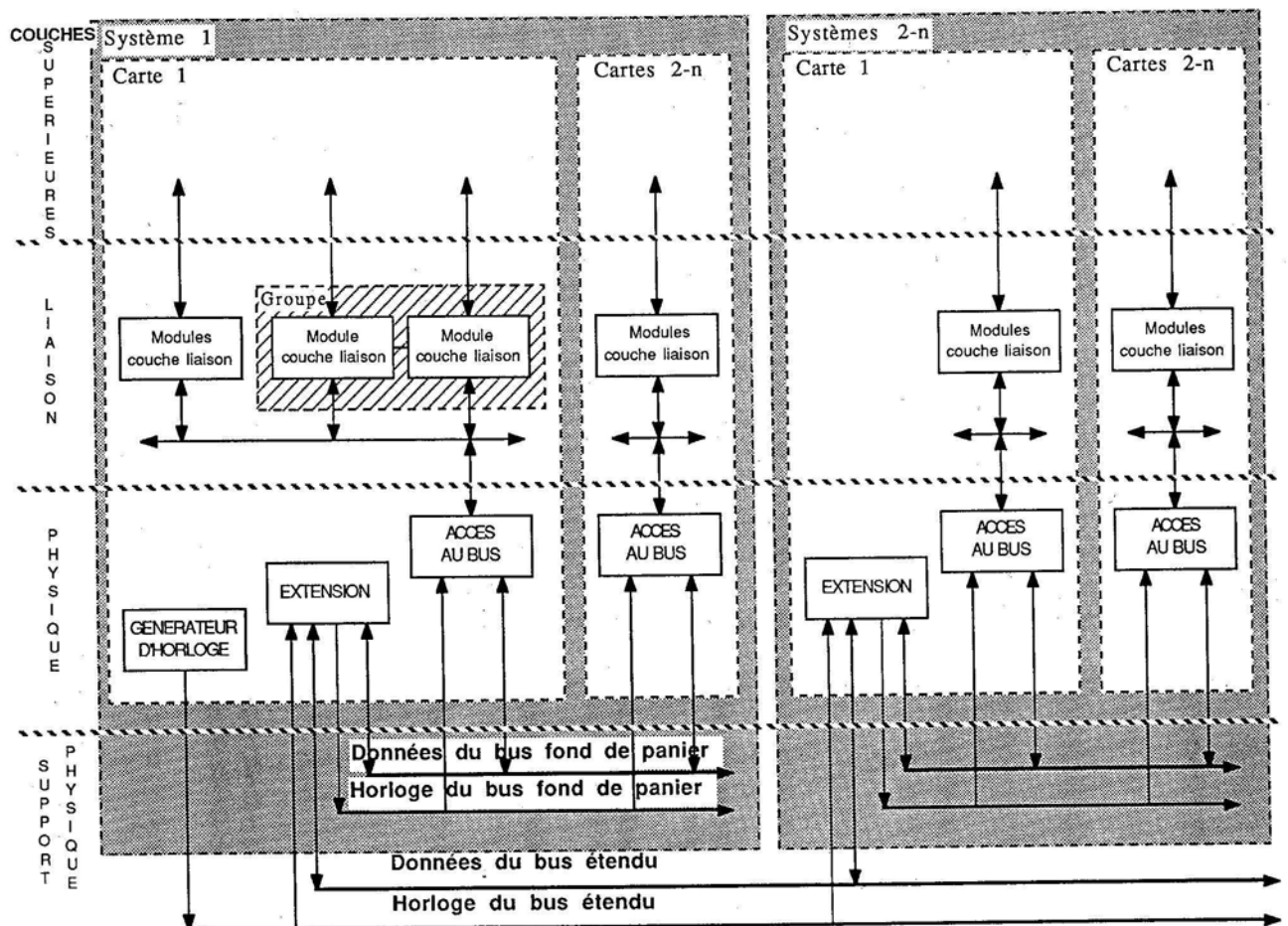


Figure 2-1 - Présentation en couches et découpage du système de bus série

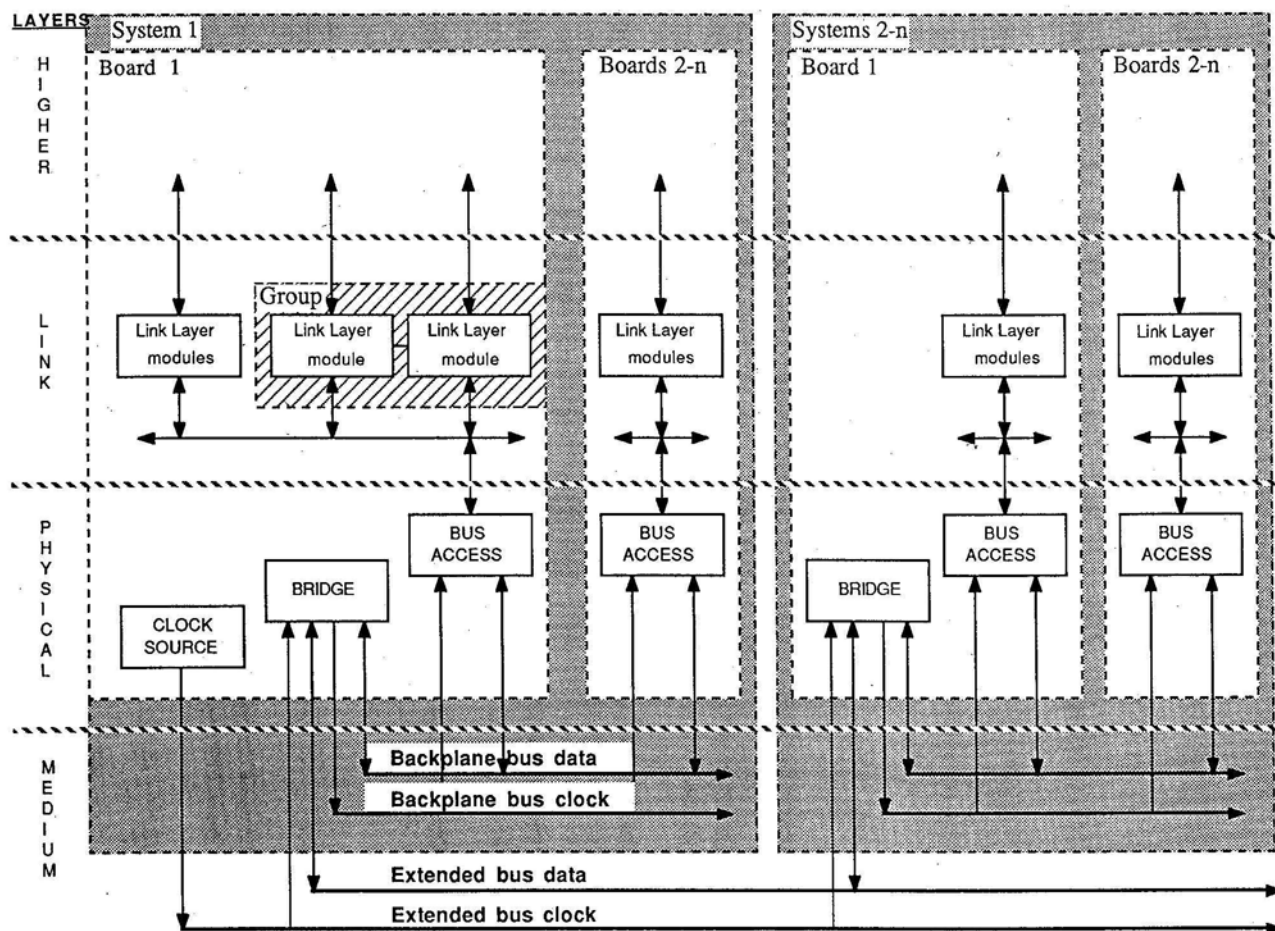


Figure 2-1 - Serial bus system structure and layering

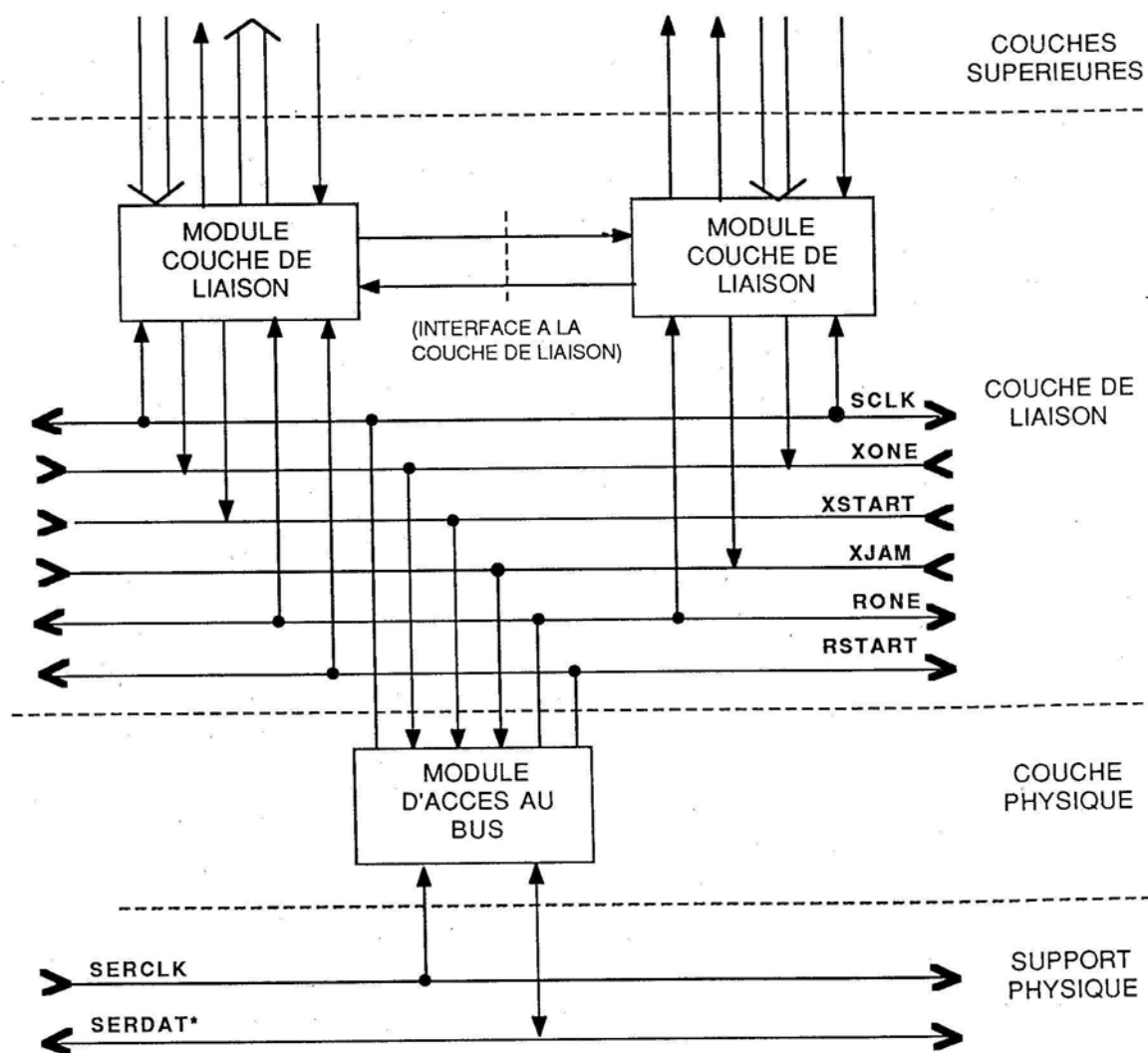


Figure 2-2 - Présentation en couches et interfaçage sur une carte typique

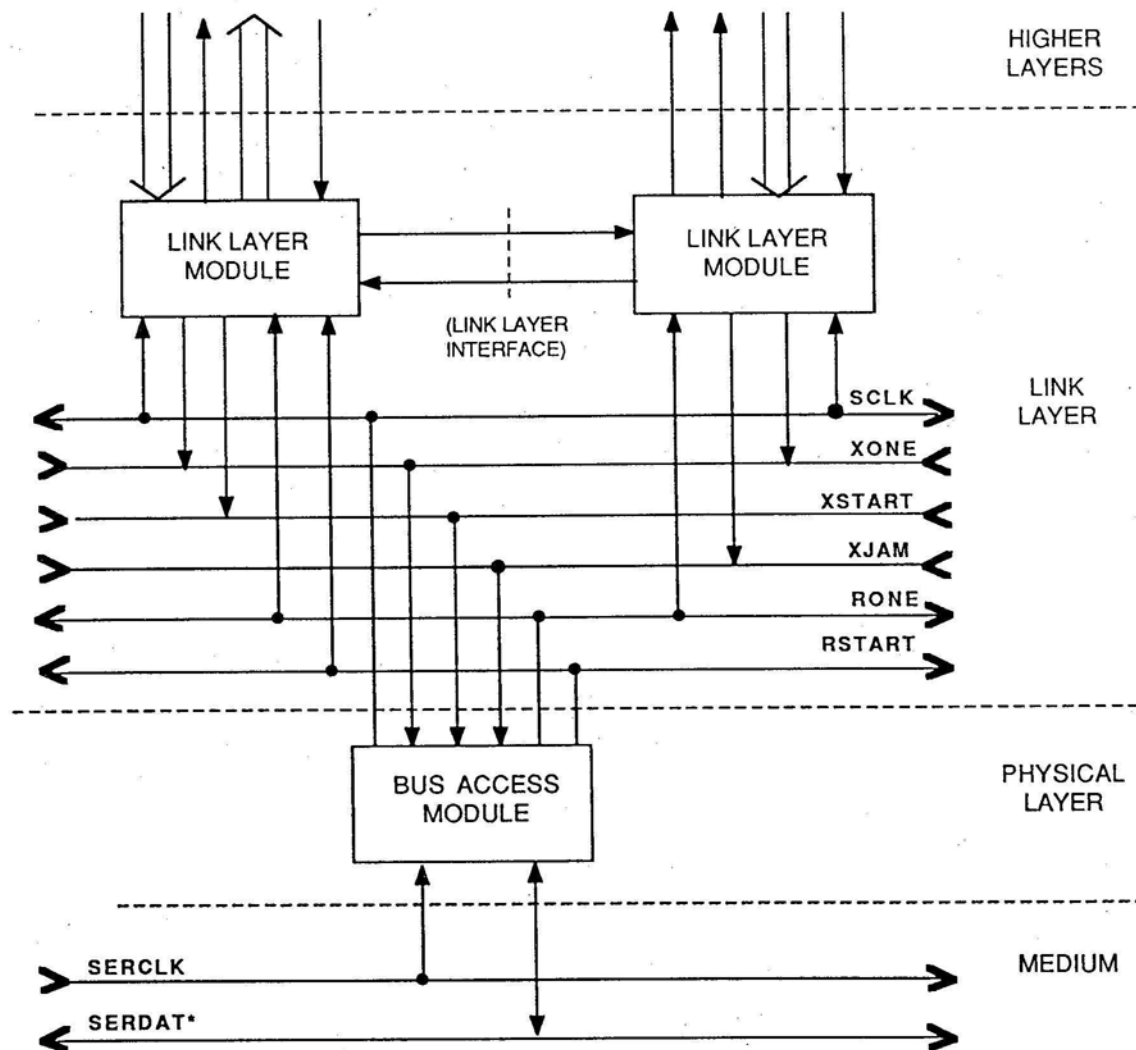


Figure 2-2 - Layering and Interfacing on a typical board

2.1 Généralités sur la couche physique

2.1.1 Signaux et modules de la couche physique

La couche physique comprend trois types de modules appelés GÉNÉRATEUR D'HORLOGE, EXTENSION et ACCES AU BUS.

Le GÉNÉRATEUR D'HORLOGE commande la paire de signaux du support physique étendu appelés EXTCLK⁺ et EXTCLK⁻. Il n'y a qu'un seul GÉNÉRATEUR D'HORLOGE (actif) sur un support physique étendu.

Le module d'EXTENSION se situe entre le support physique étendu et le support physique de fond de panier. Il y a un module d'EXTENSION (actif) pour chaque châssis ou chaque carte autonome connectés au support physique étendu. Il reçoit EXTCLK⁺ et EXTCLK⁻ du support physique étendu; à partir de ces signaux il extrait et commande le signal SERCLK sur le support physique de fond de panier. Le module d'EXTENSION transfère aussi les données dans les deux sens entre la paire de signaux du support physique étendu EXTDAT⁺ et EXTDAT⁻ et le signal du support physique de fond de panier SERDAT*.

Le module d'ACCES AU BUS se situe entre le support physique de fond de panier et la couche de liaison de données. Il y a un module d'ACCES AU BUS sur chaque carte échangeant des informations sur le bus série. Il reçoit SERCLK et commande et reçoit SERDAT*.

OBSERVATION 2.2:

Les lignes EXTCLK⁺ et EXTCLK⁻ transportent un signal logique sous forme complémentaire (inversee). Quand la distinction entre les deux lignes n'est pas nécessaire, cette norme se réfère au signal logique sous l'appellation EXTCLK. De même EXTDAT⁺ et EXTDAT⁻ transportent un signal logique appelé EXTDAT.

Dans la configuration complète de bus série donnée en exemple dans la figure 2-1, page 30, EXTCLK et EXTDAT relient les châssis et les cartes autonomes tandis que SERCLK et SERDAT* relient les cartes à l'intérieur d'un châssis. Toutefois deux autres cas de configuration du bus série méritent aussi attention. La figure 2-3, page 36, montre une configuration à châssis unique pour laquelle les fonctions GÉNÉRATEUR D'HORLOGE et EXTENSION sont combinées en un groupe de modules fonctionnels sur la carte à l'emplacement 1, et où le support physique étendu n'est pas utilisé. La figure 2-4, page 36, montre une carte autonome sur laquelle des fonctions des modules EXTENSION et ACCES AU BUS sont combinées en un groupe, et où le support physique de fond de panier n'est pas utilisé. Ces configurations sont sujettes à des considérations particulières sur les couches physiques décrites dans les chapitres 4, 7 et 8.

2.1.2 Utilisation des signaux de la couche physique

Les signaux d'horloge (EXTCLK et SERCLK) servent à synchroniser l'activité du bus série sur les signaux de données (EXTDAT et SERDAT*). La chronologie de EXTCLK et SERCLK dépend du fait que le support physique étendu est utilisé ou non et, s'il l'est, de sa longueur.

EXTDAT et SERDAT* véhiculent les bits d'information parmi les modules d'ACCES AU BUS sur les différentes cartes du bus série. Ces bits sont de trois types: bit_un, bit_zéro et bit_départ.

2.1 Overview of the Physical Layer

2.1.1 Physical Layer modules and signals

The Physical Layer includes three types of modules called CLOCK SOURCE, BRIDGE and BUS ACCESS.

The CLOCK SOURCE drives the Extended Medium signal pair called EXTCLK+ and EXTCLK-. There is only one (active) CLOCK SOURCE on an Extended Medium.

The BRIDGE stands between the Extended Medium and a Backplane Medium. There is one (active) BRIDGE for each subrack or stand-alone board connected to the Extended Medium. It receives EXTCLK+ and EXTCLK- from the Extended Medium; based on these it derives and drives the SERCLK signal on the Backplane Medium. The BRIDGE also passes data bidirectionally between the Extended Medium signal pair called EXTDAT+ and EXTDAT-, and the Backplane Medium signal SERDAT*.

The BUS ACCESS module stands between a Backplane Medium and the Link Layer. There is one BUS ACCESS module on each board that communicates on the serial bus. It receives SERCLK and drives and receives SERDAT*.

OBSERVATION 2.2:

The EXTCLK+ and EXTCLK- lines carry one logical signal in complementary (inverted) form. When there is no need to differentiate between the two lines, this standard will refer to the logical signal as EXTCLK. Similarly, EXTDAT+ and EXTDAT- carry one logical signal that is referred to as EXTDAT.

In the full-scale serial bus configuration exemplified by Figure 2-1, page 31, EXTCLK and EXTDAT interconnect subracks and stand-alone boards, while SERCLK and SERDAT* interconnect boards within a subrack. However, two other cases of serial bus configurations also deserve attention. Figure 2-3, page 37, shows a single-subrack configuration in which the CLOCK SOURCE and BRIDGE functions are combined into a functional module group on the board in Slot 1, and the Extended Medium is not used. Figure 2-4, page 37, shows a free-standing board on which the BRIDGE and BUS ACCESS functions are combined into a group, and the Backplane Medium is not used. These configurations are subject to special Physical Layer considerations as described in Chapters 4, 7 and 8.

2.1.2 Physical Layer signalling

The clock signals (EXTCLK and SERCLK) serve to synchronize serial bus activity on the data signals (EXTDAT and SERDAT*). The timing of EXTCLK and SERCLK is a function of whether the Extended Medium is used, and if so of its length.

EXTDAT and SERDAT* convey information bits among the BUS ACCESS modules on the various boards on the serial bus. These bits are of three types: one_bits, zero_bits and start_bits.

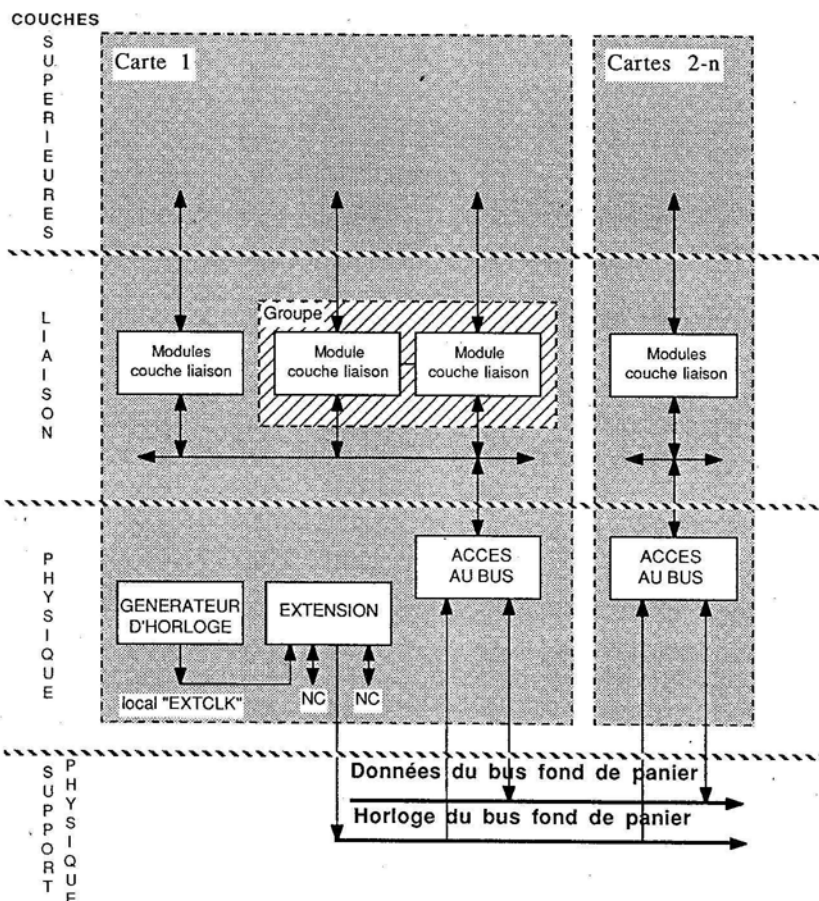


Figure 2-3 - Configuration du support physique de fond de panier pour un châssis simple

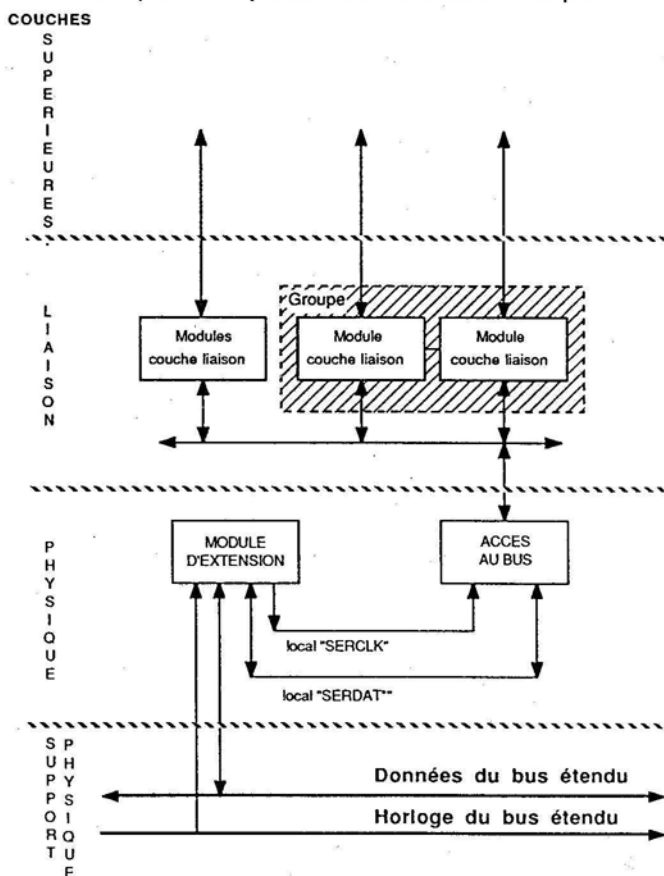


Figure 2-4 - Carte indépendante sur le support physique étendu

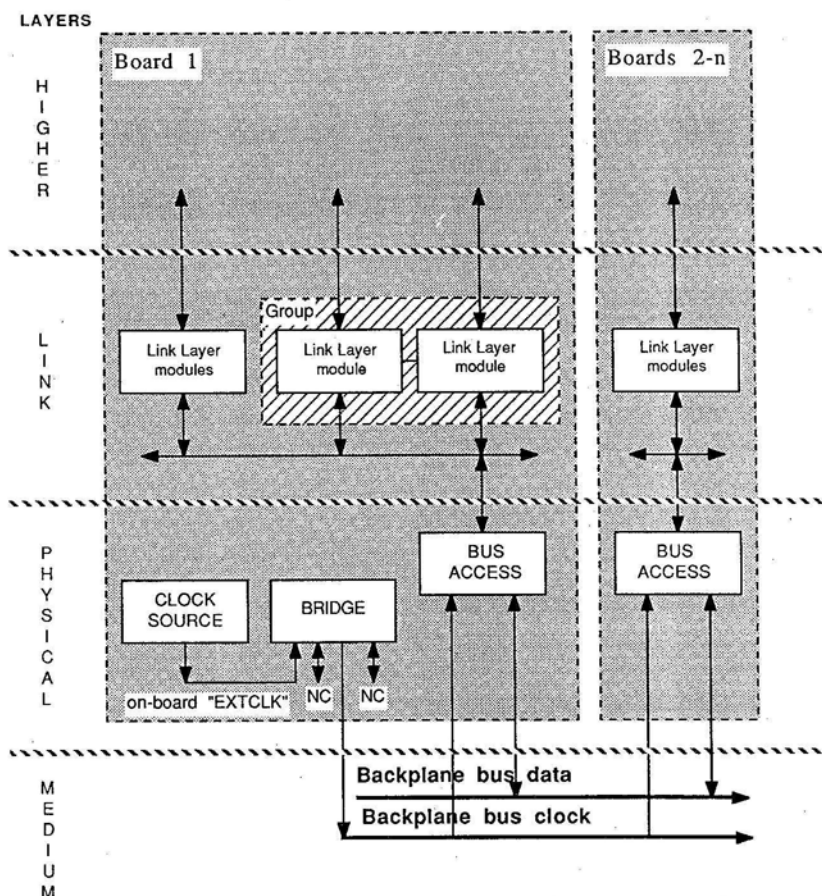


Figure 2-3 - Single-subrack backplane medium configuration

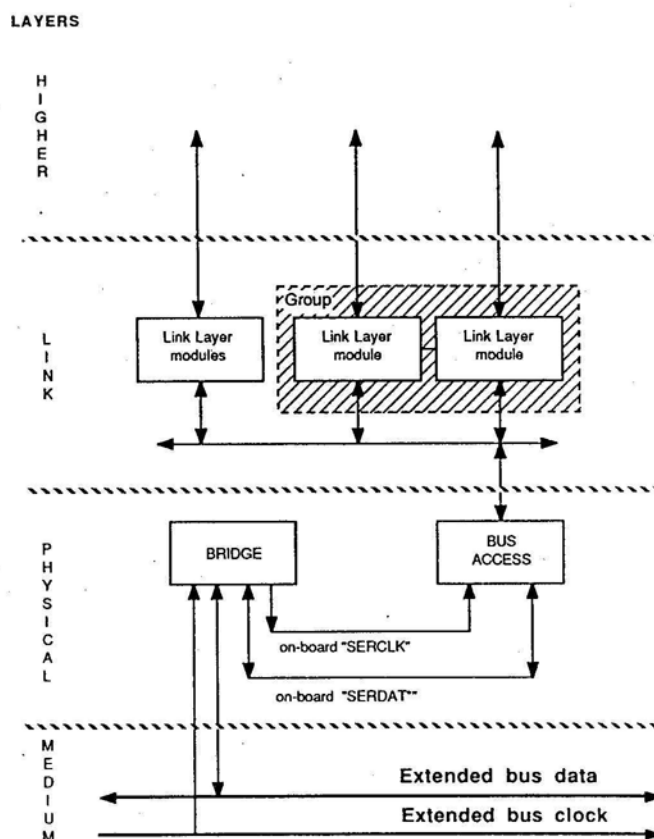


Figure 2-4 - Free-standing board on the Extended Medium

Les différents modules d'ACCES AU BUS sur un bus série peuvent présenter au même instant des bits de types différents sur SERDAT*. Lorsque le support physique étendu est utilisé, les divers modules d'EXTENSION présentent alors des bits de types différents sur EXTDAT. Dans ce cas, le bit résultant reçu par tous les modules d'ACCES AU BUS sur le bus est le même et est déterminé comme suit:

REGLE 2.1:

Les modules d'ACCES AU BUS et d'EXTENSION DOIVENT être conçus de telle sorte que, lorsque un module d'ACCES AU BUS sur le bus série présente un bit_un, tous les modules d'ACCES AU BUS sur le bus reçoivent un bit_un.

REGLE 2.2:

Les modules d'ACCES AU BUS et d'EXTENSION DOIVENT être conçus de telle sorte que si aucun module d'ACCES AU BUS sur le bus série ne présente de bit_un, mais qu'un ou plusieurs d'entre eux présentent un bit_départ, tous les modules d'ACCES AU BUS sur le bus reçoivent un bit_départ.

REGLE 2.3:

Les modules d'ACCES AU BUS et d'EXTENSION DOIVENT être conçus de telle sorte que lorsque tous les modules d'ACCES AU BUS sur le bus série présentent des bit_zéro, tous les modules d'ACCES AU BUS sur le bus reçoivent un bit_zéro.

Le chapitre 4 définit les modules de la couche physique pour le support physique du fond de panier, qui satisfont aux règles ci-dessus avec des niveaux de tension compatibles TTL. Il définit aussi les modules de la couche physique pour le support physique étendu, qui satisfait aux règles avec des signaux différentiels semblables à ceux des normes EIA (Electronic Industries Association) RS-422 et RS-485.

2.2 Généralités sur la couches de liaison de données

2.2.1 Modules et interfaces

La couche de liaison de données comprend cinq types de modules appelés EMETTEURS D'EN-TETE, GESTIONNAIRES DE TRAME, RECEPTEURS D'EN-TETE, EMETTEURS DE DONNEES et RECEPTEURS DE DONNEES. Toute combinaison de n'importe quel nombre de ces modules peut être présente sur toute carte du bus série.

OBSERVATION 2.3:

Les noms des modules ont été choisis pour rappeler leur fonction principale. Ils n'indiquent pas de restriction sur le fonctionnement de ces modules. Par exemple, les RECEPTEURS D'EN-TETE et RECEPTEURS DE DONNEES peuvent tous deux *envoyer* aussi des données sur le bus série dans le champ d'état de la Trame, comme il est décrit dans les chapitres suivants.

L'interface entre les modules de la couche de liaison de données et le module d'ACCES AU BUS de la couche physique consiste en six signaux donnés dans le tableau 2-1. Les signaux SCLK, RONE et RSTART sont commandés par le module d'ACCES AU BUS et reçus par les modules de la couche de liaison de données, tandis que les signaux XONE, XSTART et XJAM sont commandés par les modules de la couche de liaison de données et reçus par le module d'ACCES AU BUS.

The various BUS ACCESS modules on a serial bus are allowed to present different types of bits on SERDAT* at the same time. When the Extended Medium is used, the various BRIDGE modules thus present different types of bits on EXTDAT. When this occurs, the resulting bit received by all the BUS ACCESS modules on the bus is the same and is determined as follows:

RULE 2.1:

BUS ACCESS modules and BRIDGES MUST be designed so that, when any BUS ACCESS module on a serial bus presents a one_bit, all the BUS ACCESS modules on the bus receive a one_bit.

RULE 2.2:

BUS ACCESS modules and BRIDGES MUST be designed so that, when no BUS ACCESS module on a serial bus presents a one_bit, but one or more present a start_bit, all BUS ACCESS modules on the bus receive a start_bit.

RULE 2.3:

BUS ACCESS modules and BRIDGES MUST be designed so that, when all BUS ACCESS modules on a serial bus present zero_bits, all BUS ACCESS modules on the bus receive a zero_bit.

Chapter 4 defines the Physical Layer modules for the Backplane Medium, which implement the above rules using TTL-compatible voltage levels. It also defines the Physical Layer modules for the Extended Medium, which implement the rules using differential signalling similar to that used in EIA (Electronic Industries Association) standards RS-422 and RS-485.

2.2 *Link Layer overview*

2.2.1 *Modules and interfaces*

The Link Layer includes five types of modules called HEADER SENDERS, FRAME MONITORS, HEADER RECEIVERS, DATA SENDERS and DATA RECEIVERS. Any number and combination of these modules can be present on any board on a serial bus.

OBSERVATION 2.3:

Module names are intended to indicate the major function of each module. They are not meant to constrain the modules' operation. For example, both HEADER RECEIVERS and DATA RECEIVERS can also *send* information on the serial bus in the Frame Status field, as described in subsequent chapters.

The interface between Link Layer modules and the Physical Layer BUS ACCESS module consists of six signals as shown in Table 2-1. The SCLK, RONE, and RSTART signals are driven by the BUS ACCESS module and received by the Link Layer modules, while XONE, XSTART, and XJAM are driven by the Link Layer modules and received by the BUS ACCESS module.

Le signal SCLK est extrait du signal SERCLK par le module d'ACCES AU BUS. Il sert à informer les modules de la couche de liaison de données de la chronologie des bits de telle sorte qu'ils puissent présenter des bits sur XONE et XSTART et interpréter les bits reçus sur RONE et RSTART. Le module d'ACCES AU BUS utilise XONE, XSTART et XJAM pour présenter les bits sur SERDAT* et présente l'information reçue de SERDAT* sur RONE et RSTART.

Les signaux XONE, XSTART, XJAM, RONE et RSTART sont commandés à l'état vrai ou faux en correspondance aux bit_un, bit_zéro, bit_départ de SERDAT*, comme indiqué dans les tableaux 2-2 et 2-3.

OBSERVATION 2.4:

L'information sur les lignes XONE, XSTART, XJAM, RONE et RSTART est équivalente à celle sur SERDAT*. Les modules de la couche de liaison de données pourraient être décrits comme utilisant SERDAT* directement, ou un signal unique identique dans l'interface couche physique/couche de liaison de données. Le modèle multilignes est utilisé parce qu'il simplifie la description formelle des modules de la couche de liaison de données.

Le bus série permet aux différents modules de la couche de liaison de données sur une carte de présenter au même moment des états différents sur XONE, XSTART et XJAM.

REGLE 2.4:

Les modules de la couche de liaison de données DOIVENT être conçus de telle sorte que, lorsqu'un module quelconque de la couche de liaison de données sur une carte présente XONE, XSTART ou XJAM à l'état vrai, le module d'ACCES AU BUS reçoive ce signal à l'état vrai même si un autre module de la couche de liaison de données sur la carte présente le signal à l'état faux.

Tableau 2-1 - Signaux de l'interface couche physique/couche de liaison de données

Signal	Commandé par la	Utilisation
SCLK	Couche physique	Donne la chronologie des bits à la couche de liaison de données
XONE	Couche de liaison de données	Ordonne à la couche physique d'envoyer un bit_un
XJAM	Couche de liaison de données	Ordonne à la couche physique d'envoyer un bit_un
XSTART	Couche de liaison de données	Ordonne à la couche physique d'envoyer un bit_départ
RONE	Couche physique	Indique à la couche de liaison de données la réception d'un bit_un
RSTART	Couche physique	Indique à la couche de liaison de données la réception d'un bit_départ

The SCLK signal is derived from the SERCLK signal by the BUS ACCESS module. It serves to inform the Link Layer modules of bit timing so that they may present bits on XONE and XSTART and interpret received bits on RONE and RSTART. The BUS ACCESS module uses XONE, XSTART, and XJAM to present bits on SERDAT*, and presents the information received from SERDAT* on RONE and RSTART.

The XONE, XSTART, XJAM, RONE, and RSTART signals are driven to True or False corresponding to one_bits, zero_bits, and start_bits on SERDAT*, as shown in Tables 2-2 and 2-3.

OBSERVATION 2.4:

The information on the XONE, XSTART, XJAM, RONE, and RSTART lines is equivalent to that on SERDAT*. Link Layer modules could be described as using SERDAT* directly, or an identical single signal in the Physical Layer/Link Layer interface. The multi-line scheme is used because it simplifies the formal description of Link Layer modules.

The serial bus allows the various Link Layer modules on a board to present different states on XONE, XSTART and XJAM at the same time.

RULE 2.4:

Link Layer modules MUST be designed so that, when any Link Layer module on a board presents XONE, XSTART, or XJAM True, the BUS ACCESS module receives that signal True, even if another Link Layer module on the board presents the signal False.

Table 2-1 - Physical Layer/Link Layer interface signals

Signal	Driven by	Use
SCLK	Physical layer	Signals bit timing to the Link Layer
XONE	Link Layer	Commands the Physical Layer to send a one_bit
XJAM	Link Layer	Commands the Physical Layer to send a one_bit
XSTART	Link Layer	Commands the Physical Layer to send a start_bit
RONE	Physical Layer	Indicates a received one_bit to the Link Layer
RSTART	Physical Layer	Indicates a received start_bit to the Link Layer

Tableau 2-2 - Relation entre le bit commandé sur le support physique en fonction de XONE/XSTART/XJAM

XJAM	XONE	XSTART	Bit commandé sur le support physique
Vrai	x	x	bit_un
Faux	Vrai	x	bit_un
Faux	Faux	Vrai	bit_départ
Faux	Faux	Faux	bit_zéro

Note:

"x" dans le tableau ci-dessus indique que le signal est sans effet sur le bit commandé sur le support physique.

Tableau 2-3 - Relation entre le bit reçu du support physique en fonction de l'état de RONE/RSTART

Bit reçu du support physique	RONE	RSTART
bit_un	Vrai	Faux
bit_départ	Faux	Vrai
bit_zéro	Faux	Faux

2.2.2 Groupes de modules

Les modules de la couche de liaison de données sont délibérément limités en dimension et en fonctions dans cette norme de façon que les descriptions formelles de leur fonctionnement restent simples. Cependant, le fonctionnement total du bus série est plus facile à décrire en termes d'entités plus importantes appelées *groupes de modules*.

Les groupes suivants sont les plus courants:

- Gestionnaire: Un EMETTEUR D'EN-TETE et un GESTIONNAIRE DE TRAME
- Indicateur: Un RECEPTEUR D'EN-TETE et une bascule. Les groupes indicateurs sont classés de manière plus détaillée selon le protocole de fonctionnement, en indicateur_simple, sémaphore et groupe à passage de jeton
- Parleur: Un RECEPTEUR D'EN-TETE et un EMETTEUR DE DONNEES
- Ecouteur: Un RECEPTEUR D'EN-TETE et un RECEPTEUR DE DONNEES

Table 2-2 - XONE/XSTART/XJAM versus bit driven on medium

XJAM	XONE	XSTART	Bit driven on medium
True	x	x	One_bit
False	True	x	One_bit
False	False	True	Start_bit
False	False	False	Zero_bit

Note:

The "x" in the above table indicates that the signal has no effect on the bit driven on the medium.

Table 2-3 - Bit received from medium versus RONE/RSTART state

Bit received from medium	RONE	RSTART
One_bit	True	False
Start_bit	False	True
Zero_bit	False	False

2.2.2 Module groups

Link Layer modules are deliberately restricted in size and functionality in this standard, so that the formal descriptions of their operation remain straightforward. However, the overall operation of the serial bus is easier to describe in terms of larger entities called *module groups*.

The following are the most common groups:

Controller: A HEADER SENDER and a FRAME MONITOR

Flag: A HEADER RECEIVER and a latch. Flag groups are further classified according to their operational protocol, into Simple_Flag, Semaphore and Token Passing groups

Talker: A HEADER RECEIVER and a DATA SENDER

Listener: A HEADER RECEIVER and a DATA RECEIVER

2.2.3 Protocole de transmission d'une trame

Toute communication entre des groupes de modules de la couche de liaison de données s'effectue à travers la couche physique par l'envoi de trames sur le bus série. Ces trames sont composées de "sous-trames" envoyées par les divers groupes. Une trame commence quand un groupe contrôleur envoie une "sous-trame d'en-tête". Les autres groupes répondent alors en envoyant des sous-trames conformes à un protocole prescrit jusqu'à ce que la fin de la trame soit atteinte.

Le GESTIONNAIRE DE TRAME dans chaque groupe gestionnaire reçoit chacun des bits du bus série et suit l'évolution de chaque trame. Un EMETTEUR D'EN-TETE peut alors déterminer s'il y a une trame en cours, à partir d'un signal sur la carte, généré par un GESTIONNAIRE DE TRAME. Lorsqu'il n'y a aucune trame en cours, il peut en démarrer une par l'envoi d'un en-tête.

Il n'y a ni lignes de signaux séparées, ni période de temps allouée pour déterminer quels sont les modules de la couche de liaison de données qui peuvent envoyer une information sur le bus série. Un mécanisme d'arbitrage est plutôt incorporé dans la procédure de transmission des trames.

Quand un module EMETTEUR D'EN-TETE transmet un en-tête, il échantillonne chaque bit sur la ligne RONE pendant qu'il émet. Si l'EMETTEUR D'EN-TETE détecte RONE à l'état vrai alors qu'il présente XONE à l'état faux, il cesse d'émettre. Cela permet aux autres EMETTEURS D'EN-TETE de terminer l'émission de la sous-trame d'en-tête sans interférence.

OBSERVATION 2.5:

Cette méthode d'arbitrage permet à plusieurs EMETTEURS D'EN-TETE de commencer simultanément l'envoi de trames, sans affecter les transmissions des autres. (Une seule de ces transmissions se poursuivra tandis que les autres essaieront à nouveau plus tard.)

L'en-tête "gagnant" spécifie quels seront les autres modules qui participeront à la transmission de la trame, au moyen de ses dix bits "adresse S" et de ses dix bits "adresse R". Chaque RECEPTEUR D'EN-TETE sur le bus, qu'il soit dans un groupe parleur, écouteur ou indicateur, a une adresse qu'il compare aux deux champs de l'en-tête. S'il trouve une concordance sur l'un de ces champs, il répond en signalant la concordance aux autres modules dans le groupe. Selon le type de groupe auquel le RECEPTEUR D'EN-TETE appartient, la concordance d'adresse peut avoir différents effets:

- 1) dans un groupe indicateur, il peut changer l'état de la bascule;
- 2) dans un groupe parleur, il peut signaler à l'EMETTEUR DE DONNEES d'émettre, ou
- 3) dans un groupe écouteur, il peut signaler au RECEPTEUR DE DONNEES de recevoir.

2.2.3 Frame transmission protocol

All communication between Link Layer module groups is done through the Physical Layer, by sending frames on the serial bus. These frames are composed of "subframes" which are sent by various groups. A frame is initiated when a Controller group sends a "Header subframe". Other groups then respond by sending subframes according to a prescribed protocol until the end of the frame is reached.

The FRAME MONITOR in each Controller group receives every bit from the serial bus and follows the progress of each frame. A HEADER SENDER can thus determine whether there is a frame in progress, from an on-board signal generated by its FRAME MONITOR. Whenever there is no frame in progress, it can initiate one by sending a Header.

There are no separate signal lines or time period dedicated to determining which Link Layer modules may send information on the serial bus. Rather, an arbitration mechanism is built into the procedure for transmitting frames.

When a HEADER SENDER module transmits a Header, it samples each bit on the RONE line while it is sending. If the HEADER SENDER detects RONE True when it presented XONE False, it stops sending. This allows other HEADER SENDER(S) to finish sending the Header subframe without interference.

OBSERVATION 2.5:

This method of arbitration allows several HEADER SENDERS to start sending frames simultaneously, without affecting each other's transmissions. (One of the transmissions will be successful while the others will be tried again later.)

The "winning" Header specifies what other modules will participate in the frame transmission, by means of its ten-bit "S address" and ten-bit "R address". Each HEADER RECEIVER on the bus, be it in a Talker, Listener, or Flag group, has an address which it compares with these two fields in the Header. If it finds a match in either of these fields, it responds by signalling the match to the other modules in the group. Depending on which type of group the HEADER RECEIVER is in, an address match may have different effects:

- 1) in a Flag group, it may change the state of the latch;
- 2) in a Talker group, it may signal the DATA SENDER to send, or
- 3) in a Listener group, it may signal the DATA RECEIVER to receive.

2.3 Utilisation du bus série pour transférer des données

Pour transférer des données, l'EMETTEUR D'EN-TETE envoie une adresse S correspondant à un parleur sur le bus et une adresse R correspondant à un écouteur. (Les adresses réelles utilisées pour sélectionner ces groupes dépendent de la manière dont le système est configuré. Par exemple, il n'y a pas de bloc d'adresse normalisé alloué spécialement à la sélection des écouteurs.)

Chaque RECEPTEUR D'EN-TETE sur le bus série compare ces adresses avec les siennes. Dans une trame de transfert de données au moins un des RECEPTEURS D'EN-TETE des paroleurs trouve une concordance avec l'adresse S. Il indique à son EMETTEUR DE DONNEES d'envoyer les données. De même, un ou plusieurs RECEPTEURS D'EN-TETE des écouteurs trouvent une concordance avec l'adresse R et indiquent à leur RECEPTEUR DE DONNEES de recevoir les données.

Le nombre réel d'octets transférés est laissé au choix de l'EMETTEUR DE DONNEES. Après que l'EMETTEUR D'EN-TETE a envoyé l'en-tête, l'EMETTEUR DE DONNEES envoie une sous-trame de trois bits indiquant le nombre d'octets qu'il a l'intention d'envoyer aux RECEPTEURS DE DONNEES, suivie par les octets de données. Ensuite, le RECEPTEUR DE DONNEES répond par un code d'état, pour indiquer qu'il a été sélectionné et s'il a été capable de recevoir les données.

2.4 Utilisation du bus série pour positionner à un et à zéro des indicateurs

Quand un EMETTEUR D'EN-TETE est utilisé pour positionner à un ou à zéro un groupe indicateur, il envoie un en-tête comme dans le cas décrit ci-dessus. Si la trame doit *positionner* un indicateur à un, il envoie l'adresse de l'indicateur dans le champ S. Si la trame doit positionner un indicateur à zéro, il envoie l'adresse de l'indicateur dans le champ R.

Quand un en-tête est envoyé, chaque RECEPTEUR D'EN-TETE sur le bus série vérifie ses adresses S et R pour voir si son groupe de modules est sélectionné. Un ou plusieurs RECEPTEURS D'EN-TETE reconnaissent leur adresse S (ou R) et positionnent à un (ou remettent à zéro) leur bascule.

De plus amples informations sur la manière dont les trames sont utilisées pour commander des groupes indicateurs sont indiquées dans le chapitre 6.

2.5 Applications des groupes de modules du bus série

Le chapitre 6 explique comment des groupes de modules de la couche de liaison de données comme ceux décrits ci-dessus peuvent être utilisés comme blocs pour construire une grande variété de configurations de systèmes. Par exemple, la combinaison d'un contrôleur, parleur et un écouteur implantés chacun sur deux cartes, peut être utilisée par une des cartes pour transmettre une adresse et lire le

2.3 *Using the serial bus to transfer data*

To transfer data, the HEADER SENDER sends an S Address that corresponds to a Talker on the bus, and an R Address that corresponds to a Listener. (The actual addresses used to select these groups depend on how the system is configured. For example, there is no standard block of addresses assigned specifically for selecting Listeners.)

Each HEADER RECEIVER on the serial bus compares these addresses against its own. In a Data Transfer frame, at least one of the Talkers' HEADER RECEIVERS finds a match with the S address. It tells its DATA SENDER to send data. Similarly, one or more of the Listeners' HEADER RECEIVERS find a match with the R address and tells its DATA RECEIVER to receive data.

The actual number of bytes transferred is left up to the DATA SENDER. After the HEADER SENDER has sent the Header, the DATA SENDER sends a three bit subframe indicating the number of bytes it intends to send to the DATA RECEIVER, followed by the data bytes. After this, the DATA RECEIVER responds with a status code, to indicate that it was selected and whether it was able to accept the data.

2.4 *Using the serial bus to set and reset flags*

When a HEADER SENDER is used to set or reset a Flag group, it sends a Header as in the case described above. If the frame is intended to set a flag, it sends the Flag's address in the S field. If the frame is intended to *reset* a flag, it sends the Flag's address in the R field.

When the Header is sent, each HEADER RECEIVER on the serial bus checks its S and R addresses to see if its module group is selected. One (or more) HEADER RECEIVER(S) matches the S (or R) address and sets (or resets) its latch.

Further information on how frames are used to control Flag groups is given in Chapter 6.

2.5 *Applications of serial bus module groups*

Chapter 6 explains how groups of Link Layer modules such as those described above can be used as building blocks for a wide variety of system configurations. For example, the combination of a Controller, Talker and Listener, on each of two boards, can be used by one board to pass an address and read the contents of a memory location on the

contenu d'un emplacement de mémoire sur l'autre. Les groupes indicateurs peuvent être utilisés pour réinitialiser une ou plusieurs cartes dans un système, ou pour déconnecter du bus système, de façon sélective, une carte défaillante. Les indicateurs peuvent aussi être utilisés comme des sémaphores qui peuvent avoir des avantages de fonctionnement sur les sémaphores en mémoire commune ou pour des fonctions de passage de jeton.

2.6 Possibilités d'adressage du bus série

Comme il est indiqué précédemment, les adresses S ou R d'une trame peuvent sélectionner plus d'un RECEPTEUR D'EN-TETE et donc plus d'un groupe de modules. Cela est à l'origine de quelques-unes des possibilités les plus intéressantes du bus série.

En sélectionnant plusieurs écouteurs, des fonctionnements en "diffusion" ou en "groupe d'adresse" sont possibles. Par exemple, un écouteur sur une carte processeur peut répondre à des trames adressées à tous les processeurs, à des processeurs d'un type donné ou à sa propre unique adresse.

En sélectionnant plusieurs parleurs, un fonctionnement en "scrutation de groupe" est possible. Par exemple, un parleur associé à un capteur de température pourrait envoyer des données en réponse à des entêtes qui sélectionnent "tous les capteurs de températures", "tous les capteurs de zone N" ou ce capteur spécifique.

Pour un tel fonctionnement en scrutation de groupe, les parleurs peuvent ou non utiliser l'arbitrage du bus série (similaire à celui utilisé par les EMETTEURS D'EN-TETE) pendant qu'ils envoient les données. Si l'arbitrage du champ de données est utilisé, la donnée résultante est la valeur binaire la plus grande entre les données des parleurs (par exemple la température la plus haute). Si l'arbitrage du champ de données n'est pas utilisé, la donnée résultante est un OU entre les données des parleurs, ce qui est utile pour des informations de type état (par exemple pour des bits "d'alarme").

Les fonctionnements en diffusion et en groupe d'adresses peuvent aussi s'appliquer aux groupes Indicateurs. Par exemple, si des groupes indicateurs sont utilisés pour pouvoir déconnecter des cartes défaillantes du bus système, une trame peut être envoyée pour déconnecter "tous les maîtres du bus", un maître particulier ou "toutes les cartes du fabricant XYZ".