

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

**CEI
IEC
935**

Première édition
First edition
1990-06

CEI 935 FASTBUS
Système modulaire d'acquisition rapide
de données

IEC 935 FASTBUS
Modular high speed data acquisition system



Numéro de référence
Reference number
CEI/IEC 935: 1990

AVA Documents
Document Sharing Hub

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 617 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur le deuxième feuillet de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**
Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 617, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

**CEI
IEC
935**

Première édition
First edition
1990-06

CEI 935 FASTBUS
Système modulaire d'acquisition rapide
de données

IEC 935 FASTBUS
Modular high speed data acquisition system

© CEI 1990 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

AVA Documents
Document Sharing Hub

SOMMAIRE

PREAMBULE	11
PREFACE	11
SECTION 1: OBJET, DOMAINE D'APPLICATION ET INTRODUCTION GENERALE	12
1.1 OBJET ET DOMAINE D'APPLICATION	12
1.2 INTRODUCTION GENERALE	12
1.2.1 Fonctionnement du FASTBUS	15
1.2.2 Interconnexion de segments	18
1.2.3 Registres de contrôle et d'état	20
1.2.4 Adressage géographique	20
1.2.5 Transfert de blocs et en pipe-line	21
1.2.6 Opérations à verrouillage d'adresse et d'arbitrage	22
1.2.7 Scrutation des données éparées	23
1.2.8 Opérations de DIFFUSION	23
1.2.9 Arbitrage pour la maîtrise du bus	24
1.2.10 Interruptions	25
1.2.11 Cadencement	26
1.2.12 Initialisation	26
1.2.13 Outils de diagnostic	27
SECTION 2: CONVENTIONS, DEFINITIONS, ABREVIATIONS ET SYMBOLES	28
2.1 INTERPRETATION DE CETTE NORME	28
2.2 NOTATIONS ET CONVENTIONS DES SIGNAUX LOGIQUES	28
2.3 DEFINITIONS (suivant l'ordre alphabétique français)	29
2.4 ABREVIATIONS	38
2.5 SYMBOLES	40
SECTION 3: SIGNAUX, LIGNES ET CONTACTS DES SIGNAUX	41
3.1 TYPES DES LIGNES DES SIGNAUX	41
3.2 NOMENCLATURE DES SIGNAUX	41
3.3 BREVE DESCRIPTION DES SIGNAUX, DES LIGNES ET DES CONTACTS.	42
3.3.1 AS - Synchronisation Adresse (T, Maître)	42
3.3.2 AK - Acceptation d'une Adresse (T, Esclave ou Ancillaire)	42
3.3.3 EG - Mise en service géographique (CT, Maître ou Ancillaire)	42
3.3.4 MS - Sélection de Mode (C, Maître)	42
3.3.5 AD - Adresse/donnée (I, Maître ou Esclave)	43
3.3.6 SS - Etat de l'Esclave (I, Esclave)	43
3.3.7 DS - Synchronisation des données (T, Maître)	43
3.3.8 DK - Acceptation des données (T, Esclave ou Ancillaire)	43
3.3.9 RD - Lecture (C, Maître)	43
3.3.10 PE - Mise en service de la parité (I, Maître ou Esclave)	43
3.3.11 PA - Parité (I, Maître ou Esclave)	44
3.3.12 WT - Attente (A, tous les dispositifs)	44
3.3.13 AR - Demande d'arbitrage (A, Maître)	44
3.3.14 AG - Octroi de l'arbitrage (TA, Ancillaire)	44
3.3.15 AL - Niveau d'arbitrage (IA, Maître)	44
3.3.16 GK - Acceptation de l'octroi (TA, Maître)	44
3.3.17 AI - Inhibition de la demande d'arbitrage (CA, Ancillaire)	44
3.3.18 SR - Demande de service (A, Maître ou Esclave)	45
3.3.19 RB - Remise à zéro du bus (A, Maître ou Maître via les SI)	45
3.3.20 BH - Arrêt du bus (C, Ancillaire)	45
3.3.21 GA - Adressage géographique (F, câblé)	45
3.3.22 TP - Contact T (I, Esclave)	45

CONTENTS

FOREWORD	11
PREFACE	11
SECTION 1: OBJECT, SCOPE AND INTRODUCTORY OVERVIEW	12
1.1 OBJECT AND SCOPE	12
1.2 INTRODUCTORY OVERVIEW	12
1.2.1 FASTBUS Operations	15
1.2.2 Segment Interconnects	18
1.2.3 Control and Status Registers	20
1.2.4 Geographical Addressing	20
1.2.5 Block and Pipelined Transfers	21
1.2.6 Address Locked and Arbitration Locked Operations	22
1.2.7 Sparse Data Scan	23
1.2.8 BROADCAST Operations	23
1.2.9 Arbitration for Bus Mastership	24
1.2.10 Interrupts	25
1.2.11 Timing	26
1.2.12 Initialization	26
1.2.13 Diagnostic Tools	27
SECTION 2: CONVENTIONS, DEFINITIONS, ABBREVIATIONS AND SYMBOLS	28
2.1 INTERPRETATION OF THIS STANDARD	28
2.2 NOTATIONS AND LOGIC SIGNAL CONVENTIONS	28
2.3 DEFINITIONS (according to English alphabetical order)	29
2.4 ACRONYMS	38
2.5 SYMBOLS	40
SECTION 3: SIGNALS, SIGNAL LINES AND PINS	41
3.1 TYPES OF SIGNAL LINES	41
3.2 SIGNAL NOMENCLATURE	41
3.3 BRIEF DESCRIPTION OF SIGNALS, LINES AND PINS	42
3.3.1 AS - Address Sync (T, Master)	42
3.3.2 AK - Address Acknowledge (T, Slave or ANC)	42
3.3.3 EG - Enable Geographical (C, Master or ANC)	42
3.3.4 MS - Mode Select (C, Master)	42
3.3.5 AD - Address/Data (I, Master or Slave)	43
3.3.6 SS - Slave Status (I, Slave)	43
3.3.7 DS - Data Sync (T, Master)	43
3.3.8 DK - Data Acknowledge (T, Slave or ANC)	43
3.3.9 RD - Read (C, Master)	43
3.3.10 PE - Parity Enable (I, Master or Slave)	43
3.3.11 PA - Parity (I, Master or Slave)	44
3.3.12 WT - Wait (A, Any Device)	44
3.3.13 AR - Arbitration Request (A, Master)	44
3.3.14 AG - Arbitration Grant (TA, ANC)	44
3.3.15 AL - Arbitration Level (IA, Master)	44
3.3.16 GK - Grant Acknowledge (TA, Master)	44
3.3.17 AI - Arbitration Request Inhibit (CA, ANC)	44
3.3.18 SR - Service Request (A, Master or Slave)	45
3.3.19 RB - Reset Bus (A, Master or Master via SIs)	45
3.3.20 BH - Bus Halted (C, ANC)	45
3.3.21 GA - Geographical Address (F, Hardwired)	45
3.3.22 TP - T Pins (I, Slave)	45

3.3.23 DL, DR - Guirlande (I, Maître ou Esclave)	45
3.3.24 TX, RX - Lignes du réseau série (A, Maître ou Esclave)	46
3.3.25 TR - Lignes adaptées d'usage restreint	46
3.3.26 UR - Lignes non adaptées d'usage restreint	46
3.3.27 Autres lignes et contacts	46
3.4 CHARGE DU BUS	47
3.4.1 Limites en tension et en courant sur les lignes des signaux et sur les contacts F	47
SECTION 4: FONCTIONNEMENT DU FASTBUS: ADRESSAGE	48
4.1 ADRESSAGE LOGIQUE	49
4.2 ADRESSAGE GEOGRAPHIQUE	51
4.3 ADRESSAGE EN DIFFUSION	52
4.3.1 Contrôle du Maître dans une diffusion	53
4.3.2 Réponse des Esclaves à une opération de diffusion	55
4.4 ADRESSAGE SECONDAIRE	58
4.5 FONCTIONNEMENT EN SCRUTATION DES DONNEES EPARSEES ET EN SELECTION PAR CONFIGURATION	59
SECTION 5: FONCTIONNEMENT DU FASTBUS: CHRONOGRAMMES, SEQUENCES ET REPONSES	60
5.1 CARACTERISTIQUES GENERALES DU CADENCEMENT MAITRE/ESCLAVE	61
5.1.1 Caractéristiques de cadencement des signaux du Maître	61
5.1.2 Caractéristiques du cadencement de l'Esclave	63
5.1.3 Utilisation de la ligne d'attente (WT)	64
5.2 CYCLES D'ADRESSE PRIMAIRE	65
5.2.1 Séquence du Maître pour positionner AS	66
5.2.2 Réponse de l'Esclave à AS(u)	67
5.2.3 Réponse du Maître à AK(u)	69
5.3 FONCTIONNEMENT	70
5.3.1 Séquence du Maître pour positionner DS	73
5.3.2 Réponse de l'Esclave à DS(t)	74
5.3.3 Analyse des réponses d'état de l'Esclave	75
5.3.4 Réponse du Maître à DK(t)	77
5.4 UTILISATION DE LA LIGNE DE REMISE A ZERO (RB)	77
5.4.1 Positionnement de RB par le Maître	77
5.4.2 Réponse du dispositif à RB	78
5.5 REPONSE DES DISPOSITIFS A LA MISE SOUS TENSION	78
SECTION 6: ARBITRAGE DU BUS	79
6.1 UTILISATION DES LIGNES DU BUS POUR UNE PROCEDURE D'ARBITRAGE	80
6.2 LA PROCEDURE D'ARBITRAGE	84
6.3 REGLES D'ARBITRAGE	85
6.3.1 Positionnement de AR par le Maître et transmission de AR par le SI	85
6.3.2 Positionnement et libération de AI par l'ATC	86
6.3.3 Positionnement et libération de AG par l'ATC	86
6.3.4 Positionnement et libération de AL par le Maître	86
6.3.5 Positionnement et libération de GK par le Maître	87
6.4 ARBITRAGE A TRAVERS LE SYSTEME	88
SECTION 7: LOGIQUE ANCILLAIRE SUR UN SEGMENT	90
7.1 CONTROLE DE LA SEQUENCE D'ARBITRAGE (ATC)	90
7.1.1 Génération de AI par l'ATC	90
7.1.2 Génération de AG par l'ATC	90
7.2 CONTROLE DES ADRESSES GEOGRAPHIQUES	91
7.3 GENERATION DU DIALOGUE SYSTEME (DIFFUSION)	92

3.3.23 DL, DR - Daisy Chain (I, Master or Slave)	45
3.3.24 TX, RX - Serial Network Lines (A, Master or Slave)	46
3.3.25 TR - Terminated Restricted Use Lines	46
3.3.26 UR - Unterminated Restricted Use Lines	46
3.3.27 Other Lines and Pins	46
3.4 BUS LOADING	47
3.4.1 Voltage and Current Limits For Signal Lines and F Pins	47
SECTION 4: FASTBUS OPERATIONS: ADDRESSING	48
4.1 LOGICAL ADDRESSING	49
4.2 GEOGRAPHICAL ADDRESSING	51
4.3 BROADCAST ADDRESSING	52
4.3.1 Master's Control of a Broadcast	53
4.3.2 Slave Response to Broadcast Operations	55
4.4 SECONDARY ADDRESSING	58
4.5 SPARSE DATA SCAN AND PATTERN SELECT OPERATION	59
SECTION 5: FASTBUS OPERATIONS: TIMING, SEQUENCES AND RESPONSES	60
5.1 GENERAL MASTER/SLAVE TIMING REQUIREMENTS	61
5.1.1 Master Signal Timing Requirements	61
5.1.2 Slave Signal Timing Requirements	63
5.1.3 Use of Wait (WT)	64
5.2 PRIMARY ADDRESS CYCLES	65
5.2.1 Master Sequence for Asserting AS	66
5.2.2 Slave Response to AS(u)	67
5.2.3 Master Response to AK(u)	69
5.3 OPERATIONS	70
5.3.1 Master Sequence for Asserting DS	73
5.3.2 Slave Response to DS(t)	74
5.3.3 Discussion of Slave Status Responses	75
5.3.4 Master Response to DK(t)	77
5.4 USE OF RESET BUS (RB)	77
5.4.1 Master Assertion of RB	77
5.4.2 Device Response to RB	78
5.5 DEVICE RESPONSE TO POWER ON	78
SECTION 6: BUS ARBITRATION	79
6.1 BUS LINE USAGE FOR THE ARBITRATION PROCESS	80
6.2 THE ARBITRATION PROCESS	84
6.3 ARBITRATION RULES	85
6.3.1 Master Assertion of AR and Segment Interconnect Passing of AR	85
6.3.2 ATC Assertion and Release of AI	86
6.3.3 ATC Assertion and Release of AG	86
6.3.4 Master Assertion and Release of AL	86
6.3.5 Master Assertion and Release of GK	87
6.4 SYSTEM WIDE ARBITRATION	88
SECTION 7: ANCILLARY LOGIC ON A SEGMENT	90
7.1 ARBITRATION TIMING CONTROL (ATC)	90
7.1.1 ATC Generation of AI	90
7.1.2 ATC Generation of AG	90
7.2 GEOGRAPHICAL ADDRESS CONTROL	91
7.3 SYSTEM HANDSHAKE GENERATION (Broadcast)	92

7.4	COMMANDE MARCHE/ARRET ET ARRET DU BUS	93
7.5	ADAPTATION	94
7.6	LOGIQUE ANCILLAIRE POUR UN SEGMENT-CHASSIS	94
7.7	LOGIQUE ANCILLAIRE POUR UN SEGMENT-CABLE	96
SECTION 8: ESPACE DES REGISTRES DE CONTROLE ET D'ETAT		97
8.1	FONCTIONS DE POSITIONNEMENT ET D'EFFACEMENT SELECTIFS	98
8.2	ALLOCATION DE L'ESPACE NORMAL CSR	101
8.3	REGISTRE CSR 0	101
8.3.1	L'ID du dispositif et son attribution	102
8.3.2	Attribution des bits de contrôle et d'état	103
8.4	REGISTRE CSR 1	106
8.5	REGISTRE CSR 2	106
8.6	REGISTRE CSR 3	108
8.7	REGISTRE CSR 4	109
8.8	REGISTRE CSR 5	109
8.9	REGISTRE CSR 6	109
8.10	REGISTRE CSR 7	110
8.11	REGISTRE CSR 8	110
8.12	REGISTRE CSR 9 ET REGISTRES CSR 1Ch A 1Fh	110
8.13	REGISTRES CSR DE Ah à Fh	111
8.14	REGISTRES CSR DE 20h à 3Fh	111
8.15	REGISTRES CSR DE 70h à 81h	111
8.16	REGISTRES CSR A0h à AFh, B0h à BFh et C0h à CFh	112
8.17	REGISTRES CSR DE 8000 0000h à BFFF FFFFh, ESPACE PARAMETRES	112
8.18	REMISE A ZERO DES BITS DES CSR	115
SECTION 9: INTERRUPTIONS		116
9.1	OPERATION D'INTERRUPTION	116
9.2	LIGNES DE DEMANDE DE SERVICE	117
SECTION 10: INTERCONNEXION DE SEGMENTS		120
10.1	TYPES D'INTERCONNEXION DE SEGMENTS	121
10.2	TRANSMISSION DES OPERATIONS	121
10.3	REGLEMENT DES CONFLITS	122
10.4	TABLES DE ROUTAGE	123
10.5	REGISTRES DE CONTROLE ET D'ETAT	124
10.5.1	CSR#0 - ID, contrôle et état	126
10.5.2	CSR#1 - Niveau d'arbitrage du côté lointain	128
10.5.3	CSR#8 - Niveau d'arbitrage côté proche	128
10.5.4	CSR#9 - Registre de contrôle du temporisateur	128
10.5.5	CSR#40h - Registre d'adresse de la table de routage	128
10.5.6	CSR#41h - Registre de données de la table de routage	129
10.5.7	CSR#42h - Adresse géographique du côté proche	129
10.5.8	CSR#43h - Adresse géographique du côté lointain	130
10.5.9	Effets de différentes actions sur les bits des CSR d'un SI	130
10.6	TABLES DE ROUTAGE	130
10.6.1	Informations de transmission, de destination et de base	130
10.6.2	Règles de génération	131
10.7	ACTIONS DES SI	131
10.7.1	Reconnaissance des adresses	131
10.7.2	Arbitrage du SI	132
10.7.3	Règlement des conflits	133
10.7.4	Réponse négative	133
10.7.5	Modification des adresses géographiques et de diffusion	135
10.7.6	Transmission des opérations	135

7.4 RUN/HAULT CONTROL AND BUS HALTED	93
7.5 TERMINATORS	94
7.6 ANCILLARY LOGIC FOR CRATE SEGMENTS	94
7.7 ANCILLARY LOGIC FOR CABLE SEGMENTS	96

SECTION 8: CONTROL AND STATUS REGISTER SPACE **97**

8.1 SELECTIVE SET AND CLEAR FUNCTIONS	98
8.2 NORMAL CSR SPACE ALLOCATION	101
8.3 CSR REGISTER 0	101
8.3.1 Device IDs and their Allocation	102
8.3.2 Control and Status Bit Allocation	103
8.4 CSR REGISTER 1	106
8.5 CSR REGISTER 2	106
8.6 CSR REGISTER 3	108
8.7 CSR REGISTER 4	109
8.8 CSR REGISTER 5	109
8.9 CSR REGISTER 6	109
8.10 CSR REGISTER 7	110
8.11 CSR REGISTER 8	110
8.12 CSR REGISTER 9 AND CSR REGISTER 1Ch to 1Fh	110
8.13 CSR REGISTERS Ah to Fh	111
8.14 CSR REGISTERS 20h to 3Fh	111
8.15 CSR REGISTERS 70h to 81h	111
8.16 CSR REGISTERS A0h to AFh, B0h to BFh and C0h to CFh	112
8.17 CSR REGISTERS 8000 0000h to BFFF FFFFh, PARAMETER SPACE	112
8.18 CLEARING OF CSR BITS	115

SECTION 9: INTERRUPTS **116**

9.1 INTERRUPT OPERATION	116
9.2 THE SERVICE REQUEST LINE	117

SECTION 10: INTERCONNECTION OF SEGMENTS **120**

10.1 TYPES OF SEGMENT INTERCONNECTS	121
10.2 OPERATION PASSING	121
10.3 CONTENTION RESOLUTION	122
10.4 ROUTE TABLES	123
10.5 CONTROL AND STATUS REGISTERS	124
10.5.1 CSR#0 - ID, Status and Control	126
10.5.2 CSR#1 Far-side Arbitration Level	128
10.5.3 CSR#8 Near-side Arbitration Level	128
10.5.4 CSR#9 Timer Control Register	128
10.5.5 CSR#40h Route Table Address Register	128
10.5.6 CSR#41h Route Table Data Register	129
10.5.7 CSR#42h Near-side Geographical Address	129
10.5.8 CSR#43h Far-side Geographical Address	130
10.5.9 Effect of Various Actions on CSR Bits in SIs	130
10.6 ROUTE TABLES	130
10.6.1 Pass, Destination and Base Information	130
10.6.2 Generation Rules	131
10.7 SI ACTIONS	131
10.7.1 Address Recognition	131
10.7.2 SI Arbitration	132
10.7.3 Contention resolution	133
10.7.4 Negative Responses	133
10.7.5 Modification of Geographical and Broadcast Addresses	135
10.7.6 Operation Passing	135

10.7.7 Utilisation et génération de la parité par le SI	138
10.7.8 Réponse de l'interconnexion de segment à RB	138
10.7.9 Contraintes de séquençement	138
10.8 REGISTRE D'ADRESSE DE BASE	139
SECTION 11: TRANSFERTS EN BLOC ET EN PIPE-LINE	140
11.1 TERMINAISON DES TRANSFERTS DE BLOC ET EN PIPE-LINE	141
11.2 INCREMENTATION DE L'ADRESSE INTERNE DANS LES TRANSFERTS DE BLOC	142
11.3 LES FIFO ET LES ERREURS DE TRANSFERT DE DONNEES	142
SECTION 12: CARACTERISTIQUES DES SIGNAUX	144
12.1 NIVEAUX DES SIGNAUX	144
SECTION 13: LES MODULES	145
13.1 CARTE CIRCUIT DU MODULE	145
13.1.1 Zone de mise à la masse pour la décharge des charges statiques	149
13.1.2 Raidisseurs	149
13.2 CONNECTEURS	149
13.2.1 Connecteur de segment	149
13.2.2 Connecteur auxiliaire du module	152
13.2.3 Autres connecteurs	153
13.2.4 Désignations des contacts des connecteurs de segment et auxiliaires	153
13.3 CONSIDERATIONS SUR LA TEMPERATURE ET LA PUISSANCE DISSIPABLE	154
13.3.1 Températures des puces et des modules	154
13.3.2 Puissance dissipée	155
13.3.3 Refroidissement	156
13.4 PANNEAU AVANT	156
13.5 VOYANTS INDICANT L'ACTIVITE DU MODULE	156
13.6 INDICATION DE LA CONSOMMATION	156
13.7 TRANSITOIRES	156
SECTION 14: LES CHASSIS	157
14.1 CONSTRUCTION DES CHASSIS	157
14.2 FOND DE PANIER DU CHASSIS	157
14.2.1 Connecteur de segment du châssis et câblage associé	157
14.2.2 Connecteur auxiliaire de châssis	159
14.2.3 Guides des connecteurs	162
14.2.4 Contraintes de courant sur le fond de panier	162
14.2.5 Autres éléments du fond de panier	163
14.3 REFROIDISSEMENT	163
14.4 ENSEMBLE COMMUTATEUR MARCHE/ARRET	164
14.5 CARTES DE CIRCUIT MONTÉES A L'ARRIERE DU FOND DE PANIER	164
14.6 MARQUAGE DES CHASSIS	165
14.7 CONTACTS DE DECHARGE DES CHARGES STATIQUES	165
SECTION 15: ALIMENTATIONS	166
SECTION 16: SEGMENT-CABLE	167
16.1 SIGNAUX SUR UN SEGMENT-CABLE	167
16.2 CONNECTEURS DU SEGMENT-CABLE ET AFFECTATION DES CONTACTS	167
ANNEXE A: PRESCRIPTIONS POUR DIFFERENTES REALISATIONS	171
A.1 REALISATION EN ECL	171

10.7.7 SI use and Generation of Parity	138
10.7.8 Segment Interconnect Response to RB	138
10.7.9 Timing Requirements	138
10.8 BASE ADDRESS REGISTER	139
SECTION 11: BLOCK AND PIPELINED TRANSFERS	140
11.1 BLOCK AND PIPELINED TRANSFER TERMINATION	141
11.2 BLOCK TRANSFER INTERNAL ADDRESS INCREMENTATION	142
11.3 FIFOs AND DATA TRANSFER ERRORS	142
SECTION 12: SIGNAL CHARACTERISTICS	144
12.1 SIGNAL LEVELS	144
SECTION 13: MODULES	145
13.1 MODULE CIRCUIT BOARD	145
13.1.1 Grounding Area for Static Charge Discharge	149
13.1.2 Stiffener Bars	149
13.2 CONNECTORS	149
13.2.1 Segment Connector	149
13.2.2 Module Auxiliary Connector	152
13.2.3 Other Connectors	153
13.2.4 Segment and Auxiliary Connector Contact Designations	153
13.3 TEMPERATURE CONSIDERATIONS AND POWER DISSIPATION	154
13.3.1 Die and Module Temperatures	154
13.3.2 Power Dissipation	155
13.3.3 Cooling	156
13.4 FRONT PANEL	156
13.5 MODULE ACTIVITY INDICATORS	156
13.6 LABELING OF POWER REQUIREMENTS	156
13.7 TRANSIENTS	156
SECTION 14: CRATES	157
14.1 CRATE CONSTRUCTION	157
14.2 CRATE BACKPLANE	157
14.2.1 Crate Segment Connector and Associated Wiring	157
14.2.2 Crate Auxiliary Connector	159
14.2.3 Connector Guides	162
14.2.4 Backplane Current Requirements	162
14.2.5 Other Backplane Items	163
14.3 COOLING	163
14.4 RUN/HAULT SWITCH ASSEMBLY	164
14.5 CIRCUIT BOARDS MOUNTED AT REAR OF BACKPLANE	164
14.6 CRATE MARKINGS	165
14.7 CONTACTS FOR STATIC CHARGE DISCHARGE	165
SECTION 15: POWER	166
SECTION 16: CABLE SEGMENT	167
16.1 SIGNALS ON A CABLE SEGMENT	167
16.2 CABLE SEGMENT CONNECTORS AND CONTACT ASSIGNMENTS	167
ANNEX A: REQUIREMENTS FOR VARIOUS IMPLEMENTATIONS	171
A.1 ECL IMPLEMENTATION	171

A.1.1 Détails des connexions et des niveaux des signaux ECL	171
A.1.2 Détails du cadencement des signaux ECL	173
A.1.3 Délai de réessai	173
A.1.4 Temps de réponse	173
A.1.5 Résistances d'adaptation	173
A.1.6 Courant nécessaire pour le générateur de tension GA	173
A.1.7 Différences de températures entre les puces	173
A.1.8 Distribution des modules sur un segment-châssis	175
ANNEXE B: INTERCONNEXIONS EN ECL SUR LA FACE AVANT	176
B.1 AMPLITUDE ET NIVEAUX DES SIGNAUX	176
B.2 CABLES	176
B.3 CONNECTEURS	176
B.4 EMETTEURS, RECEPTEURS ET RESISTANCES D'ADAPTATION	177
ANNEXE C: REALISATION DU SEGMENT-CABLE	178
C.1 CARACTERISTIQUES ELECTRIQUES D'UN SEGMENT-CABLE	179
C.2 REALISATION EN ECL D'UN SEGMENT-CABLE	179
ANNEXE D: EXEMPLES DE REALISATIONS D'ELEMENTS DE MAITRES	182
D.1 CIRCUIT D'ARBITRAGE DU MAITRE	182
ANNEXE E: INTERCONNEXION DE SEGMENTS FASTBUS TYPE S-1	183
E.1 CARACTERISTIQUES GENERALES D'UNE INTERCONNEXION DE SEGMENT TYPE S-1	183
E.1.1 Type	183
E.1.2 Format	184
E.1.3 Segment-câble	184
E.1.4 Champ d'adresse de groupe	184
E.1.5 Réalisation des tables de routage	184
E.1.6 CSR#0 - ID, état et contrôle	185
E.1.7 Registre NTA	185
E.2 CARACTERISTIQUES DE LA FACE AVANT	185
ANNEXE F: REALISATION DE MODULES	186
F.1 EXEMPLE DE REALISATION DE MODULE	186
ANNEXE G: EXEMPLE DE REALISATION DE CHASSIS TYPE A	187
G.1 CHASSIS TYPE A	187
G.1.1 Construction de châssis type A	187
G.1.2 Fond de panier du châssis type A	187
G.2 EXEMPLE DE REALISATION DE CHASSIS TYPE A	187
G.3 POSSIBILITES POUR MONTER DES CARTES A L'ARRIERE	192
ANNEXE H: EXEMPLES DE REALISATION DE CHASSIS ET DE MODULE TYPE W	193
H.1 CHASSIS TYPE W	193
H.1.1 Construction du châssis type W	193
H.1.2 Exemple de réalisation de châssis type W	193
H.2 REALISATION DU MODULE POUR LES CHASSIS TYPE W	193
ANNEXE I: ALIMENTATIONS STANDARDS	197
I.1 ALIMENTATION A EFFICACITE ELEVEE	197
I.1.1 Généralités	197
I.1.2 Efficacité	197
I.1.3 Gamme de températures ambiantes	197

A.1.1 ECL Connections and Signal Level Details	171
A.1.2 ECL Timing Details	173
A.1.3 Retry Period	173
A.1.4 Response Times	173
A.1.5 Terminators	173
A.1.6 GA Logic Generating Circuit Requirements	173
A.1.7 Differential Die Temperatures	173
A.1.8 Module Distribution in Crate Segments	175
ANNEX B: FRONT PANEL INTERCONNECTIONS FOR ECL	176
B.1 SIGNAL AMPLITUDE AND LEVELS	176
B.2 CABLES	176
B.3 CONNECTORS	176
B.4 DRIVERS, RECEIVERS AND TERMINATORS	177
ANNEX C: CABLE SEGMENT IMPLEMENTATION	178
C.1 ELECTRICAL SPECIFICATION FOR CABLE SEGMENT	179
C.2 ECL CABLE SEGMENT IMPLEMENTATION.	179
ANNEX D: IMPLEMENTATION EXAMPLES OF MASTER REQUIREMENTS	182
D.1 MASTER ARBITRATION CIRCUITRY	182
ANNEX E: FASTBUS SEGMENT INTERCONNECT TYPE S-1	183
E.1 GENERAL FEATURES OF SEGMENT INTERCONNECT TYPE S-1	183
E.1.1 Type	183
E.1.2 Format	184
E.1.3 Cable Segment	184
E.1.4 Group Address Field	184
E.1.5 Route Table Implementation	184
E.1.6 CSR#0 - ID, Status and Control	185
E.1.7 NTA Register	185
E.2 FRONT PANEL FEATURES	185
ANNEX F: MODULE IMPLEMENTATION	186
F.1 TYPICAL MODULE IMPLEMENTATIONS	186
ANNEX G: EXAMPLES OF TYPE A CRATE IMPLEMENTATION	187
G.1 TYPE A CRATE	187
G.1.1 Type A Crate Construction	187
G.1.2 Type A Crate Backplane	187
G.2 EXAMPLE OF TYPE A CRATE IMPLEMENTATION	187
G.3 MOUNTING PROVISION FOR REAR-MOUNTED CIRCUIT BOARDS	192
ANNEX H: EXAMPLES OF TYPE W CRATE AND TYPE W MODULE ASSEMBLY	193
H.1 TYPE W CRATE	193
H.1.1 Type W Crate Construction	193
H.1.2 Example of Type W Crate Implementation	193
H.2 MODULE IMPLEMENTATION FOR TYPE W CRATES	193
ANNEX I: TYPICAL POWER SUPPLIES	197
I.1 HIGH-EFFICIENCY POWER SUPPLY	197
I.1.1 General	197
I.1.2 Efficiency	197
I.1.3 Ambient Temperature Range	197

I.1.4	Entrée	197
I.1.5	Sorties	198
I.1.6	Stabilisation à distance	198
I.1.7	Régulation et stabilité	198
I.1.8	Coefficient de température	198
I.1.9	Bruit et oscillation résiduelle	199
I.1.10	Temps de récupération et transitoires de marche et d'arrêt	199
I.1.11	Bruit par transmission et rayonnement	199
I.1.12	Contacts de sortie	199
I.1.13	Commandes de réglage des tensions	199
I.1.14	Protection	200
I.1.15	Surveillance	200
I.1.16	Essais aux limites	200
I.1.17	Contrôle extérieur du déclenchement du disjoncteur	201
I.1.18	Sortie secteur commandée	201
I.1.19	Panneau avant	201
I.1.20	Montage en châssis	201
I.1.21	Refroidissement	201
I.2	ALIMENTATION A FAIBLE BRUIT	202
I.2.1	Généralités	202
I.2.2	Efficacité	202
I.2.3	Gamme de températures ambiantes	202
I.2.4	Entrée	202
I.2.5	Sorties	202
I.2.6	Stabilisation à distance	202
I.2.7	Régulation et stabilité	202
I.2.8	Coefficient de température	202
I.2.9	Bruit et oscillation résiduelle	202
I.2.10	Temps de récupération et transitoires de marche et d'arrêt	202
I.2.11	Bruit par transmission et rayonnement	202
I.2.12	Contacts de sortie	202
I.2.13	Commandes de réglage des tensions	203
I.2.14	Protection	203
I.2.15	Surveillance	203
I.2.16	Essais aux limites	203
I.2.17	Contrôle extérieur du déclenchement du disjoncteur	203
I.2.18	Sortie secteur commandée	203
I.2.19	Panneau avant	203
I.2.20	Montage en châssis	203
I.2.21	Refroidissement	203
ANNEXE J:	PROCEDURES DE PRISE EN COMPTE DES ETATS NON NULS	204
J.1	ERREURS AU MOMENT DE L'ADRESSAGE	204
J.1.1	Déclenchement du temporisateur au moment de l'adressage	204
J.1.2	Erreur de parité au moment de l'adressage	204
J.1.3	SS=1 au moment de l'adressage - Réseau occupé	204
J.1.4	SS=2 au moment de l'adressage - Panne de réseau	204
J.1.5	SS=3 au moment de l'adressage - Abandon du réseau	205
J.1.6	Réponses d'un SI: SS=1, SS=2 ou SS=3 - Généralités	205
J.1.7	Pistage de la route prise par une opération	205
J.1.8	SS=4 au moment de l'adressage - Réserve	206
J.1.9	SS=5 au moment de l'adressage - Réserve	206
J.1.10	SS=6 au moment de l'adressage - Réserve	206
J.1.11	SS=7 au moment de l'adressage - IA non valable, accepté	206
J.2	DECLENCHEMENT DU TEMPORISATEUR AU MOMENT DES DONNEES	206
J.3	REPONSES D'ETAT DE L'ESCLAVE	206
J.3.1	SS=0 - Action valable	206

I.1.4 Input	197
I.1.5 Output	198
I.1.6 Remote Sense	198
I.1.7 Regulation and Stability	198
I.1.8 Temperature Coefficient	198
I.1.9 Noise and Ripple	199
I.1.10 Recovery Time and Turn-On and Turn-Off Transients	199
I.1.11 Conducted and Radiated Noise	199
I.1.12 Output Terminals	199
I.1.13 Voltage Adjustment Controls	199
I.1.14 Protection	200
I.1.15 Monitoring	200
I.1.16 Margining	200
I.1.17 External Breaker Trip Control	201
I.1.18 Switched ac Outlet	201
I.1.19 Front Panel	201
I.1.20 Rack Mounting	201
I.1.21 Cooling	201
I.2 LOW NOISE POWER SUPPLY	202
I.2.1 General	202
I.2.2 Efficiency	202
I.2.3 Ambient Temperature Range	202
I.2.4 Input	202
I.2.5 Output	202
I.2.6 Remote Sense	202
I.2.7 Regulation and Stability	202
I.2.8 Temperature Coefficient	202
I.2.9 Noise and Ripple	202
I.2.10 Recovery Time and Turn-on and Turn-off Transients	202
I.2.11 Conducted and Radiated Noise	202
I.2.12 Output Terminals	202
I.2.13 Voltage Adjustment Controls	203
I.2.14 Protection	203
I.2.15 Monitoring	203
I.2.16 Margining	203
I.2.17 External Breaker Trip Control	203
I.2.18 Switched ac Outlet	203
I.2.19 Front Panel	203
I.2.20 Rack Mounting	203
I.2.21 Cooling	203
ANNEX J: NON-ZERO STATUS HANDLING PROCEDURES	204
J.1 ADDRESS-TIME ERRORS	204
J.1.1 Timeout at Address Time	204
J.1.2 Parity Error at Address Time	204
J.1.3 SS=1 at Address Time - Network Busy	204
J.1.4 SS=2 at Address Time - Network Failure	204
J.1.5 SS=3 at Address Time - Network Abort	205
J.1.6 SS=1, SS=2 or SS=3 SI responses - General	205
J.1.7 Tracing the Route Taken by an Operation	205
J.1.8 SS=4 at Address Time - Reserved	206
J.1.9 SS=5 at Address Time - Reserved	206
J.1.10 SS=6 at Address Time - Reserved	206
J.1.11 SS=7 at Address Time - Invalid IA, Accepted	206
J.2 TIMEOUT AT DATA TIME	206
J.3 SLAVE STATUS RESPONSES	206
J.3.1 SS=0 - Valid Action	206

J.3.2 SS=1 - Occupé	207
J.3.3 SS=2 - Fin de bloc	207
J.3.4 SS=3 - Défini par l'utilisateur	207
J.3.5 SS=4 - Réserve	207
J.3.6 SS=5 - Réserve	207
J.3.7 SS=6 - Erreur de données (rejeté)	207
J.3.8 SS=7 - Erreur de données (accepté)	207
J.4 REPOSE DU CALCULATEUR HOTE A UN MESSAGE D'ERREUR	208
J.5 ERREURS DANS LES TRANSMISSIONS DE OU VERS LES FIFO ET LES PORTS E/S	208
J.5.1 Introduction	208
J.5.2 Erreurs pendant les opérations de lecture	209
J.5.3 Erreurs pendant les opérations d'écriture	209
ANNEXE K: COMPOSANTS	211
K.1 CONNECTEURS	211
K.1.1 Connecteurs du module	211
K.1.2 Connecteurs de segment-châssis et connecteurs auxiliaires de châssis	211
ANNEXE L: Prescriptions pour la construction du système	213
L.1 CONNEXION DES ALIMENTATIONS	213
L.2 REALISATION DU CIRCUIT IMPRIME	213
L.2.1 Matière du circuit	213
L.2.2 Procédure de soudage	213
L.3 CONSTRUCTION DE LA CARTE DE FOND DE PANNIER	213
L.3.1 Revêtement de protection de la carte de fond de panier	213
L.3.2 Contacts du connecteur de segment	213
FIGURES	9
TABLES	10
INDEX	214

J.3.2 SS=1 - Busy	207
J.3.3 SS=2 - End of Block	207
J.3.4 SS=3 - User Defined	207
J.3.5 SS=4 - Reserved	207
J.3.6 SS=5 - Reserved	207
J.3.7 SS=6 - Data Error (Reject)	207
J.3.8 SS=7 - Data Error (Accept)	207
J.4 HOST RESPONSE TO ERROR MESSAGES	208
J.5 ERRORS IN TRANSFERS TO OR FROM FIFOs AND I/O PORTS	208
J.5.1 Introduction	208
J.5.2 Errors during Read Operations	209
J.5.3 Errors during Write Operations	209
ANNEX K: COMPONENTS	211
K.1 CONNECTORS	211
K.1.1 Module Connectors	211
K.1.2 Crate Segment Connectors and Crate Auxiliary Connectors	211
ANNEX L: Construction and system requirements	213
L.1 POWER INTERCONNECTIONS	213
L.2 CIRCUIT BOARD CONSTRUCTION	213
L.2.1 Board material	213
L.2.2 Soldering procedure	213
L.3 CRATE BACKPLANE CONSTRUCTION	213
L.3.1 Backplane protective coating	213
L.3.2 Segment connector pins	213
FIGURES	9
TABLES	10
INDEX	214

FIGURES

FIGURE 1.	ELEMENTS DE BASE DU FASTBUS	13
FIGURE 2.	TOPOLOGIE D'UN SYSTEME FASTBUS	15
FIGURE 3.	DIALOGUE DE BASE D'UNE OPERATION DE LECTURE (VU PAR LE MAITRE)	18
FIGURE 4.	TRANSFERT DE BLOC EN ECRITURE (VU PAR LE MAITRE)	21
FIGURE 5.	OPERATION A VERROUILLAGE D'ADRESSE	22
FIGURE 6.	FORMAT DE L'ADRESSE LOGIQUE	49
FIGURE 7.	FORMATS DE L'ADRESSE GEOGRAPHIQUE	51
FIGURE 8.	SELECTION D'UN ESCLAVE PAR ADRESSAGE GEOGRAPHIQUE	52
FIGURE 9.	CHAMPS DE L'ADRESSE DE DIFFUSION	53
FIGURE 10.	EXEMPLE DE ROUTAGE D'UNE DIFFUSION	54
FIGURE 11.	CYCLE D'ADRESSAGE LOGIQUE	64
FIGURE 12.	CYCLE D'ADRESSAGE GEOGRAPHIQUE, EG POSITIONNE PAR LE MAITRE .	66
FIGURE 13.	CYCLE D'ADRESSAGE GEOGRAPHIQUE, EG POSITIONNE PAR LA LOGIQUE ANCILLAIRE	68
FIGURE 14.	LECTURE-MODIFICATION-ECRITURE	70
FIGURE 15.	LECTURE D'UNE DONNEE ISOLEE	71
FIGURE 16.	ECRITURE EN TRANSFERT DE BLOC AVEC DIALOGUE	72
FIGURE 17.	LOGIQUE DE CONTROLE DE L'ARBITRAGE DANS UN MAITRE	82
FIGURE 18.	LOGIQUE D'ARBITRAGE DANS UN MAITRE	82
FIGURE 19.	ARBITRAGE DE DEUX MAITRES	83
FIGURE 20.	ARBITRAGE DE TROIS MAITRES	83
FIGURE 21.	NOTION DE COTE PROCHE ET DE COTE LOINTAIN DANS UN SI	120
FIGURE 22.	CONFLIT POUR L'USAGE D'UN SI	123
FIGURE 23.	PLAN D'ENSEMBLE D'UN MODULE	146
FIGURE 24.	PLAN DU CONTOUR DU CIRCUIT IMPRIME	147
FIGURE 25.	DETAILS DE LA CARTE DU MODULE	148
FIGURE 26.	DIMENSIONS DES CONNECTEURS DE SEGMENT ET AUXILIAIRE A DEUX RANGS DU MODULE	150
FIGURE 27.	DIMENSIONS DU CONNECTEUR AUXILIAIRE A TROIS RANGS DU MODULE	152
FIGURE 28.	DESIGNATIONS DES CONTACTS DES CONNECTEURS DE SEGMENT ET AUXILIAIRE ET IMPLANTATION SUR LE CIRCUIT	154
FIGURE 29.	POSITION RELATIVE DU PANNEAU AVANT ET DE LA CARTE DU MODULE	155
FIGURE 30.	DETAILS DES CONTACTS DU FOND DE PANIER	159
FIGURE 31.	IMPLANTATION DES CONTACTS SUR LE FOND DE PANIER DU CHASSIS	160
FIGURE 32.	GUIDES DU CONNECTEUR	161
FIGURE 33.	CABLAGE DE LA GUIRLANDE DU FOND DE PANIER	162
FIGURE 34.	CABLAGE DES CONTACTS D'ADRESSAGE GEOGRAPHIQUE DU FOND DE PANIER	163
FIGURE 35.	CIRCUIT IMPRIME A MONTER A L'ARRIERE DU FOND DE PANIER . .	164
FIGURE 36.	SCHEMA D'IMPLANTATION D'UN EMETTEUR/RECEPTEUR DE BUS EN ECL	172
FIGURE 37.	ETATS LOGIQUES SUR UN SEGMENT-CABLE	180
FIGURE 38.	SCHEMA D'UN CIRCUIT D'ATTAQUE DE SEGMENT-CABLE	181
FIGURE 39.	EXEMPLE D'UN CIRCUIT HYBRIDE D'ATTAQUE D'UN SEGMENT-CABLE .	181
FIGURE 40.	EXEMPLE DE LOGIQUE D'ARBITRAGE	182
FIGURE 41.	MODULES FASTBUS	186
FIGURE 42.	CHASSIS TYPE A, VUE DE FACE	188
FIGURE 43.	CHASSIS TYPE A, VUE DE DESSUS	189
FIGURE 44.	CHASSIS TYPE A, VUE DE COTE	190
FIGURE 45.	EXEMPLE DE REALISATION DE CHASSIS TYPE A	191
FIGURE 46.	EXEMPLE DE REALISATION DE CHASSIS TYPE W	194
FIGURE 47.	MONTAGE D'UN MODULE POUR LES CHASSIS TYPE W	195

FIGURES

FIGURE 1.	BASIC FASTBUS ELEMENTS	13
FIGURE 2.	EXAMPLE OF FASTBUS SYSTEM TOPOLOGY	15
FIGURE 3.	BASIC HANDSHAKE READ OPERATION (AS SEEN BY MASTER)	18
FIGURE 4.	WRITE BLOCK TRANSFER (AS SEEN BY MASTER)	21
FIGURE 5.	ADDRESS LOCKED OPERATION: READ-MODIFY-WRITE (AS SEEN BY MASTER)	22
FIGURE 6.	LOGICAL ADDRESS FORMAT	49
FIGURE 7.	GEOGRAPHICAL ADDRESS FORMATS	51
FIGURE 8.	SLAVE SELECTION VIA GEOGRAPHICAL ADDRESSING	52
FIGURE 9.	BROADCAST ADDRESS FIELD	53
FIGURE 10.	BROADCAST ROUTING EXAMPLE	54
FIGURE 11.	LOGICAL ADDRESS CYCLE	64
FIGURE 12.	GEOGRAPHICAL ADDRESS CYCLE, EG ASSERTED BY MASTER	66
FIGURE 13.	GEOGRAPHICAL ADDRESS CYCLE, EG ASSERTED BY ANCILLARY LOGIC	68
FIGURE 14.	READ-MODIFY-WRITE	70
FIGURE 15.	RANDOM DATA READ	71
FIGURE 16.	BLOCK TRANSFER HANDSHAKE WRITE	72
FIGURE 17.	ARBITRATION CONTROL LOGIC IN A MASTER	82
FIGURE 18.	ARBITRATION LOGIC IN A MASTER	82
FIGURE 19.	ARBITRATION FOR TWO MASTERS SHOWING WORST-CASE DELAYS	83
FIGURE 20.	ARBITRATION FOR THREE MASTERS SHOWING WORST-CASE DELAYS	83
FIGURE 21.	NEAR-SIDE AND FAR-SIDE CONCEPT FOR THE SI	120
FIGURE 22.	CONTENTION FOR USE OF AN SI	123
FIGURE 23.	MODULE OUTLINE	146
FIGURE 24.	MODULE CIRCUIT BOARD OUTLINE	147
FIGURE 25.	MODULE CIRCUIT BOARD DETAILS	148
FIGURE 26.	DIMENSIONAL INFORMATION FOR MODULE SEGMENT CONNECTOR AND TWO-ROW MODULE AUXILIARY CONNECTOR	150
FIGURE 27.	DIMENSIONAL INFORMATION FOR THREE-ROW MODULE AUXILIARY CONNECTOR	152
FIGURE 28.	SEGMENT AND AUXILIARY CONNECTOR CONTACT DESIGNATIONS AND CORRESPONDING CIRCUIT BOARD FOOTPRINTS	154
FIGURE 29.	MODULE FRONT PANEL IN RELATION TO MODULE CIRCUIT BOARD	155
FIGURE 30.	BACKPLANE PIN DETAILS	159
FIGURE 31.	CRATE BACKPLANE PIN LOCATIONS	160
FIGURE 32.	CONNECTOR GUIDES	161
FIGURE 33.	BACKPLANE DAISY CHAIN WIRING	162
FIGURE 34.	BACKPLANE GEOGRAPHICAL ADDRESSING PIN WIRING	163
FIGURE 35.	CIRCUIT BOARD FOR MOUNTING AT REAR OF BACKPLANE	164
FIGURE 36.	TYPICAL ECL DRIVER-RECEIVER LAYOUT	172
FIGURE 37.	CABLE SEGMENT LOGIC STATES	180
FIGURE 38.	SCHEMATIC DIAGRAM OF CABLE SEGMENT DRIVER	181
FIGURE 39.	EXAMPLE OF CABLE SEGMENT DRIVER	181
FIGURE 40.	EXAMPLE OF ARBITRATION LOGIC	182
FIGURE 41.	FASTBUS MODULES	186
FIGURE 42.	CRATE, TYPE A, FRONT VIEW	188
FIGURE 43.	CRATE, TYPE A, TOP VIEW	189
FIGURE 44.	CRATE, TYPE A, SIDE VIEW	190
FIGURE 45.	TYPICAL TYPE A CRATE IMPLEMENTATION	191
FIGURE 46.	TYPICAL TYPE W CRATE IMPLEMENTATION	194
FIGURE 47.	MODULE ASSEMBLY FOR TYPE W CRATE	195

TABLES

TABLE I - LES SIGNAUX FASTBUS	16
TABLE II - CONTROLE D'UNE DIFFUSION PAR LE MAITRE	55
TABLE III - CODAGE DES FONCTIONS POUR UNE DIFFUSION, REPOSE DE L'ESCLAVE	57
TABLE IV - CADENCEMENT DU DIALOGUE D'UN CYCLE	60
TABLE V - DIFFERENTS TYPES D'ADRESSES	69
TABLE VI - REPOSE SS AU MOMENT DE L'ADRESSAGE AVEC AK(u)	69
TABLE VII - INTERPRETATION DE MS DANS LES CYCLES DE DONNEES	73
TABLE VIIIa - REPOSE SS DE L'ESCLAVE AU MOMENT DES DONNEES AVEC DK(t)	75
TABLE VIIIb - REPOSE SS ET ACTIONS DE L'ESCLAVE A DK(t)	75
TABLE IX - LIGNES D'ARBITRAGE DU FASTBUS	80
TABLE X - FONCTIONS DE POSITIONNEMENT ET D'EFFACEMENT SELECTIFS DES CSR	98
TABLE XI - REGISTRES DE CONTROLE ET D'ETAT	99
TABLE XIIa - AFFECTATION DES BITS DU REGISTRE CSR#0	102
TABLE XIIb - DEFINITION DES BITS DE CSR#0	103
TABLE XIIIa - AFFECTATION DES BITS DU REGISTRE CSR#2	106
TABLE XIIIb - DEFINITION DES BITS DE CSR#2	107
TABLE XIV - REGISTRE DE CONTROLE DES TEMPORISATEURS	110
TABLE XVa - ATTRIBUTION DES ADRESSES DE L'ESPACE CSR PARAMETRES	113
TABLE XVb - DEFINITION DES TERMES UTILISES DANS LA TABLE XVa	114
TABLE XVI - EFFACEMENT DES BITS DES CSR	115
TABLE XVIIa - AFFECTATION DES BITS DANS CSR#0 D'UN SI	125
TABLE XVIIb - DEFINITION DES BITS DE CSR#0	126
TABLE XVIII - EFFETS DE DIFFERENTES ACTIONS SUR LES BITS D'UN SI	130
TABLE XIX - REPOSE DU SI AUX ADRESSES	137
TABLE XX - AFFECTATION DES CONTACTS DU CONNECTEUR DU SEGMENT-CHASSIS	151
TABLE XXI - SIGNAUX DU SEGMENT-CABLE	167
TABLE XXIIa - AFFECTATION DES CONTACTS DU CONNECTEUR DU SEGMENT-CABLE	168
TABLE XXIIb - UTILISATION RECOMMANDEE DU CONNECTEUR AUXILIAIRE POUR UNE REALISATION D'UN SEGMENT-CABLE	170
TABLE A.1 - GAMMES DE RESISTANCE POUR DES FILS DE CUIVRE DIVISES	172
TABLE A.11 - CARACTERISTIQUES TEMPORELLES POUR UNE REALISATION EN ECL	174

TABLES

TABLE I - FASTBUS SIGNALS	16
TABLE II - MASTER'S CONTROL OF BROADCAST	55
TABLE III - FUNCTION ENCODING FOR BROADCAST, SLAVE RESPONSE	57
TABLE IV - HANDSHAKED CYCLE TIMING SEQUENCE	60
TABLE V - ADDRESS TYPE SPECIFICATION	69
TABLE VI - ADDRESS TIME SS RESPONSE WITH AK(u)	69
TABLE VII - MS INTERPRETATION FOR DATA CYCLES	73
TABLE VIIIa - SLAVE DATA TIME SS RESPONSES WITH DK(t)	75
TABLE VIIIb - SLAVE SS RESPONSES AND ACTIONS AT DK(t)	75
TABLE IX - FASTBUS ARBITRATION LINES	80
TABLE X - CSR SELECTIVE SET/CLEAR FUNCTION IMPLEMENTATION	98
TABLE XI - CONTROL/STATUS REGISTERS	99
TABLE XIIa - CSR REGISTER 0 BIT ASSIGNMENTS	102
TABLE XIIb - DEFINITION OF CSR#0 BITS	103
TABLE XIIIa - CSR REGISTER 2 BIT ASSIGNMENTS	106
TABLE XIIIb - DEFINITION OF CSR#2 BITS	107
TABLE XIV - TIMER CONTROL REGISTER	110
TABLE XVa - CSR PARAMETER SPACE ADDRESS ALLOCATION	113
TABLE XVb - DEFINITION OF TERMS USED IN TABLE XVa	114
TABLE XVI - CLEARING OF CSR BITS	115
TABLE XVIIa - CSR#0 BIT ASSIGNMENTS IN AN SI	125
TABLE XVIIb - DEFINITION OF CSR#0 BITS	126
TABLE XVIII - EFFECT OF VARIOUS ACTIONS ON BITS IN SIs	130
TABLE XIX - SI RESPONSE TO ADDRESSES	137
TABLE XX - SEGMENT CONNECTOR CONTACT ASSIGNMENTS	151
TABLE XXI - CABLE SEGMENT SIGNALS	167
TABLE XXIIa - CABLE SEGMENT CONNECTOR CONTACT ASSIGNMENTS	168
TABLE XXIIb - RECOMMENDED UTILIZATION OF AUXILIARY CONNECTOR FOR CABLE SEGMENT IMPLEMENTATION	170
TABLE A.I - RESISTANCE RANGES FOR STRANDED COPPER WIRE	172
TABLE A.II - CHARACTERISTIC TIMES FOR ECL IMPLEMENTATION	174

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

CEI 935 FASTBUS

SYSTEME MODULAIRE D'ACQUISITION RAPIDE DE DONNEES

PREAMBULE

1. Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
2. Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
3. Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
4. La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Comité d'Etudes N° 45 de la CEI: Instrumentation nucléaire.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapports de vote
45(BC)182	45(BC)186, 186A

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications Nos. 113-7 (1981): Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.
- 169-10 (1983): Connecteurs pour fréquences radioélectriques, Dixième partie: Connecteurs coaxiaux pour fréquences radioélectriques avec diamètre intérieur du conducteur extérieur de 3 mm (0,12 in) à accouplement par encliquetage - Impédance caractéristique 50 Ω (type SMB).
- 297-1 (1982): Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.
- 516 (1975): Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC.
- 547 (1976): Tiroirs et châssis de 19 pouces basés sur le système NIM (pour appareils d'électronique nucléaire).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 935 FASTBUS

MODULAR HIGH SPEED DATA ACQUISITION SYSTEM

FOREWORD

1. The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
2. They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
3. In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
4. The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by IEC Technical Committee No. 45: Nuclear Instrumentation.

The text of this standard is based on the following documents:

Six Months' Rule	Reports on Voting
45(CO)182	45(CO)186, 186A

Full information on the voting for the approval of this standard can be found in the Voting Reports indicated in the above table.

The following IEC publications are quoted in this standard:

Publications Nos. 113-7 (1981): Diagrams, charts, tables, Part 7: Preparation of logic diagrams.

169-10 (1983): Radio-frequency connectors, Part 10: RF coaxial connectors with inner diameters of outer conductor 3 mm (0.12 in) with snap-on coupling - Characteristic impedance 50 Ω (Type SMB).

297-1 (1982): Dimensions of mechanical structures of the 482.6 mm (19 in) series, Part 1: Panels and racks.

516 (1975): A modular instrumentation system for data handling; CAMAC system.

547 (1976): Modular plug-in unit and standard 19-inch rack mounting unit based on NIM standard (for electronic nuclear instruments).

CEI 935 FASTBUS**SYSTEME MODULAIRE D'ACQUISITION RAPIDE DE DONNEES****SECTION 1: OBJET, DOMAINE D'APPLICATION ET INTRODUCTION GENERALE**

Cette section décrit l'objet et le domaine d'application de la présente norme ainsi qu'une introduction générale.

1.1 OBJET ET DOMAINE D'APPLICATION

Cette norme définit un système modulaire de bus de données, destiné à l'acquisition et au traitement des données, ainsi qu'aux contrôles. Elle donne les spécifications mécaniques et électriques, celles des signaux et du protocole qui sont suffisantes pour assurer la compatibilité entre des éléments dont la conception et la production proviennent de différentes sources. Cette norme s'applique à des systèmes constitués d'appareils électroniques modulaires qui traitent ou transfèrent des données ou des signaux, normalement associés à des calculateurs ou d'autres processeurs automatiques de données. Cette norme s'applique à l'instrumentation et aux systèmes de contrôle nucléaires mais peut également être utilisée pour d'autres applications.

1.2 INTRODUCTION GENERALE

Un système FASTBUS est constitué de multiples segments de bus qui peuvent fonctionner indépendamment mais sont reliés entre eux pour se transmettre des données et autres informations. FASTBUS peut fonctionner d'une manière asynchrone en utilisant un protocole relationnel pour accepter d'une manière fiable des appareils de vitesses différentes sans connaître au préalable leur vitesse. Il peut aussi fonctionner en mode synchrone sans dialogue d'échange pour transférer des blocs de données à la vitesse maximale.

Les systèmes complexes tels que FASTBUS sont plus facilement compris si les spécifications sont accompagnées d'une description plus générale qui présente en perspective les détails des différentes parties du système. Ainsi, cette section présente un survol des principales caractéristiques et des principaux modes de fonctionnement du FASTBUS. La plupart des sections suivantes contiennent, outre les parties obligatoires de la norme, des descriptions sur l'utilisation des caractéristiques définies. La section 2 contient les définitions des termes qui ont un sens particulier dans le système FASTBUS. On définit les symboles utilisés dans les schémas pour décrire les différents éléments d'un système FASTBUS et on donne une liste des abréviations couramment utilisées. Les sections restantes précisent les spécifications du système FASTBUS. Elles sont suivies par une série d'annexes qui donnent des informations descriptives concernant certaines caractéristiques du FASTBUS. Les mots en majuscules sont utilisés dans cette section pour indiquer des mots qui ont un sens particulier en FASTBUS.

La plupart des caractéristiques du FASTBUS résultent de considérations sur les besoins des systèmes actuels d'acquisition de données. Le besoin d'une grande vitesse est satisfait en permettant le fonctionnement en parallèle de nombreux processeurs qui peuvent communiquer aussi bien entre eux qu'avec les systèmes d'acquisition et de contrôle. Le protocole de communication utilisé par les processeurs et ces systèmes possède un large champ d'adresses et de

IEC 935 FASTBUS
MODULAR HIGH SPEED DATA ACQUISITION SYSTEM

SECTION 1: OBJECT, SCOPE AND INTRODUCTORY OVERVIEW

This section includes the object and scope of this standard together with an introductory overview.

1.1 OBJECT AND SCOPE

This standard defines a modular data-bus system for data acquisition, data processing and control. Mechanical, signal, electrical and protocol specifications are given that are sufficient to assure compatibility between units from different sources of design and production. This standard applies to systems consisting of modular electronic instrument units that process or transfer data or signals, normally in association with computers or other automatic data processors. This standard applies to nuclear instrumentation and control systems but can also be used for other applications.

1.2 INTRODUCTORY OVERVIEW

A FASTBUS system consists of multiple bus segments which can operate independently, but link together for passing data and other information. FASTBUS can operate asynchronously using a handshake protocol to reliably accommodate different speed devices without prior knowledge of their speed. It can also operate synchronously without handshake for transfer of data blocks at maximum speed.

Complex systems such as FASTBUS are more easily understood if the specifications are accompanied by general descriptive material which places the details of the various parts of the system in perspective. Hence, this section presents an overview of the principal characteristics and operations of FASTBUS. Most of the ensuing sections contain, in addition to the mandatory parts of the specification, descriptions of the usage of the features being specified. Section 2 contains the definitions of words that have a special meaning for FASTBUS systems. The symbols used in diagrams to designate various parts of a FASTBUS system are defined and a list of commonly used abbreviations is given. The remaining sections lay down the specifications for the FASTBUS system. This is followed by a series of annexes which give more descriptive information concerning some FASTBUS features. Capitalized words are used in this section to indicate words that have a special meaning for FASTBUS.

Most FASTBUS design features stem from a consideration of the requirements of contemporary data acquisition systems. The need for high speed is met by providing for parallel operation of many processors which can communicate with each other as well as with data acquisition and control devices. The communication protocol used by processors and devices has a large data and address field and is defined in an implementation-independent manner so as to be able

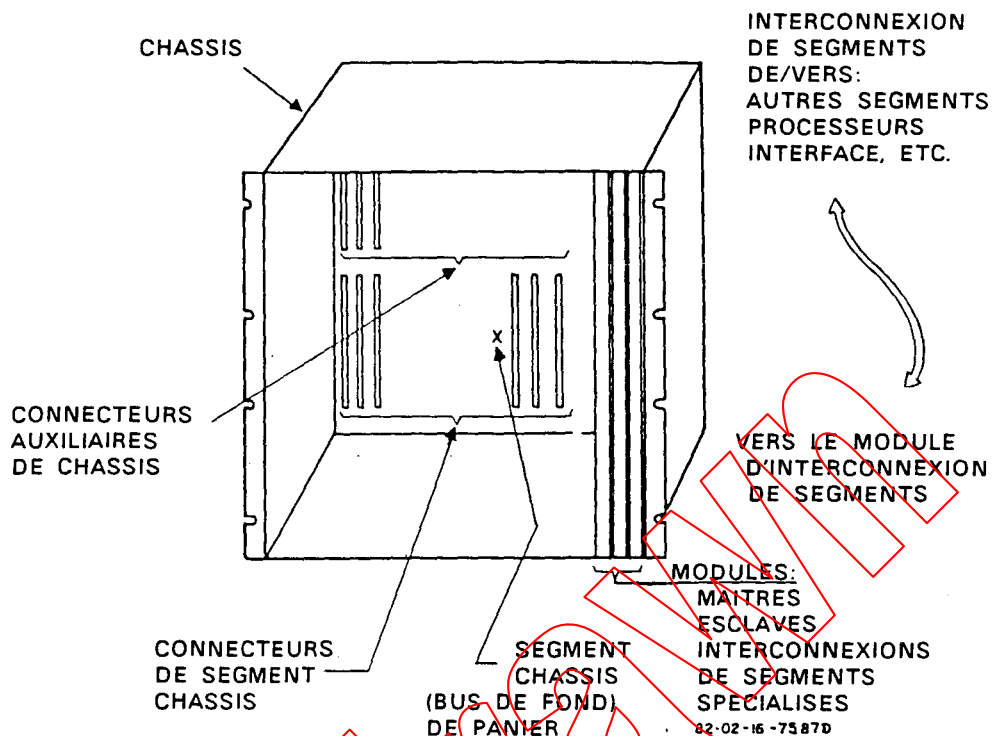


Figure 1 - ELEMENTS DE BASE DU FASTBUS

données, et il est défini d'une manière indépendante de la réalisation pour qu'il soit possible de profiter des avantages des progrès technologiques. La souplesse nécessaire est obtenue par une structure modulaire qui permet facilement de nombreuses options dans la configuration du système.

Les systèmes d'instrumentation modulaire se distinguent par la méthode utilisée pour interconnecter les dispositifs qui forment le système. Les aspects mécaniques, électriques et logiques de la connexion doivent être spécifiés. Les connexions électriques sont réalisées par un ensemble de lignes de signaux appelé SEGMENT. Bien que les DISPOSITIFS FASTBUS puissent être simplement connectés par un SEGMENT-CABLE, une telle organisation peut pénaliser la vitesse. La situation la plus normale est que la fonction désirée en un certain endroit soit obtenue par un certain nombre de MODULES regroupés dans un CHASSIS pour pouvoir se partager un bus commun de fond de panier (figure 1). Ce bus appelé SEGMENT-CHASSIS ou SEGMENT forme, comme le SEGMENT-CABLE, un élément logique du système FASTBUS.

Utilisant le protocole FASTBUS, un SEGMENT fonctionne comme un bus autonome, interconnectant un ou plusieurs DISPOSITIFS MAITRES avec un certain nombre de DISPOSITIFS ESCLAVES. Toutes les opérations sur le bus impliquent des rapports MAITRE-ESCLAVE entre l'initiateur, qui doit être un MAITRE, et le répondeur qui doit être un ESCLAVE. Un MAITRE est capable de demander et d'obtenir le contrôle du SEGMENT auquel il est connecté pour pouvoir communiquer avec un ESCLAVE. Si la communication se fait avec un autre MAITRE, alors, pour la durée de l'opération, le MAITRE qui répond se comporte comme un ESCLAVE. Un ESCLAVE ne peut gagner la maîtrise du bus mais peut émettre une demande de service qu'un MAITRE sur le même SEGMENT peut utiliser pour initialiser une procédure qui servira la demande. Les MAITRES possèdent un mécanisme d'interruption plus souple car ils peuvent gagner la maîtrise du bus et écrire un message d'interruption dans un dispositif de gestion des interruptions.

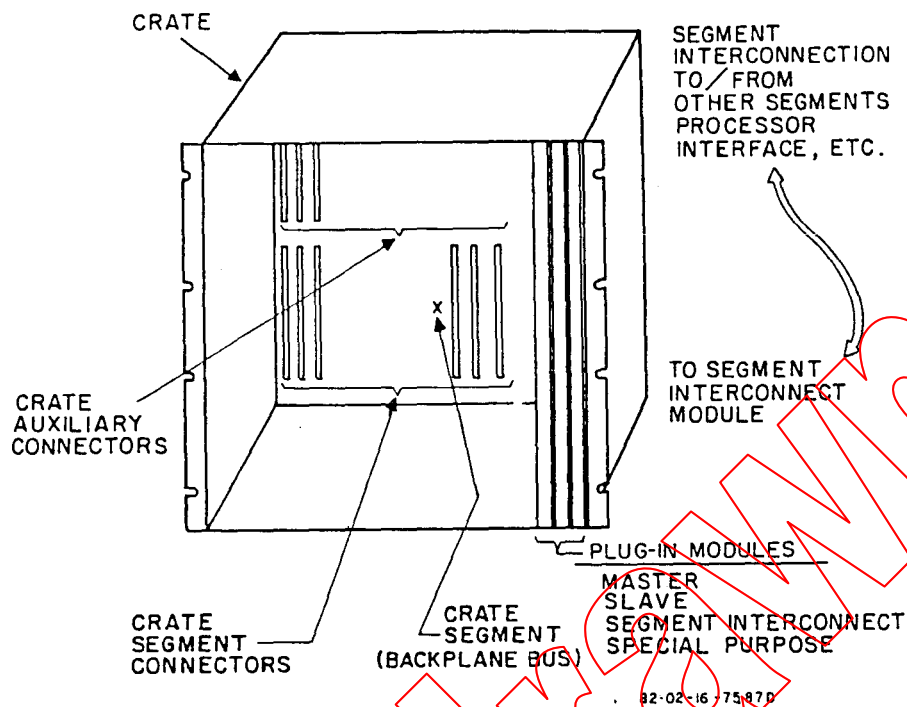


Figure 1 - BASIC FASTBUS ELEMENTS

to take advantage of advances in technology. The need for flexibility is met by a modular design which readily permits many options in system configuration.

Modular instrumentation systems are distinguished by the method used to interconnect the devices that form the system. Mechanical, electrical and logical aspects of the connection need to be specified. The electrical connections are made by a set of signal lines called a SEGMENT. While FASTBUS DEVICES can be simply connected by CABLE SEGMENTS, such an arrangement may incur speed penalties. The more usual situation is that the required functionality at a given location is attained by a number of MODULES grouped together in a CRATE in order to share a common backplane bus (figure 1). This bus, called a CRATE SEGMENT or SEGMENT, like the CABLE SEGMENT, forms a logical element of a FASTBUS system.

Using the FASTBUS protocol, a SEGMENT functions as an autonomous bus interconnecting one or more MASTER DEVICES with a number of SLAVE DEVICES. All bus operations involve a MASTER-SLAVE relationship between the initiator, which must be a MASTER, and the responder, which must be a SLAVE. A MASTER is capable of requesting and obtaining control of the SEGMENT to which it is connected in order to communicate with a SLAVE. If the communication is with another MASTER then, for the duration of the operation, the responding MASTER acts as a SLAVE. A SLAVE cannot gain bus Mastership but can make a Service Request that a MASTER on the same SEGMENT can use to initiate a procedure to service the request. MASTERS have a more versatile interrupt mechanism in that they can gain bus Mastership and write an interrupt message to an interrupt service device. With multiple MASTERS on a SEGMENT, techniques must be provided to resolve concurrent requests for use of the bus. Each MASTER is assigned

Avec plusieurs MAITRES sur un SEGMENT, on doit disposer de mécanismes pour régler les demandes concurrentes pour utiliser le bus. A chaque MAITRE est affecté un niveau d'arbitrage à utiliser pendant les cycles d'arbitrage. En réponse aux signaux de cadencement provenant du contrôleur de la séquence d'arbitrage du SEGMENT, les circuits de chaque MAITRE déterminent auquel des MAITRES candidats la prochaine maîtrise du bus sera accordée. Il n'y a pas habituellement de pénalisation en temps associée à cette procédure d'arbitrage puisque le prochain MAITRE peut être choisi avant que le MAITRE courant n'ait terminé son opération.

Plusieurs MAITRES sur un seul SEGMENT se partagent un bus commun. La concurrence pour l'utilisation de ce bus peut réduire le débit tel qu'il est vu par un MAITRE particulier à cause du temps qu'il perd en attendant d'obtenir la maîtrise d'un bus occupé. Puisque les SEGMENTS fonctionnent indépendamment, la dispersion des MAITRES dans différents SEGMENTS peut réduire les problèmes de conflit et accroître le débit si l'information nécessaire à chaque MAITRE peut être localisée sur son SEGMENT.

Un MAITRE sur un SEGMENT doit être également capable de communiquer rapidement avec un ESCLAVE dans un autre SEGMENT. Cette possibilité est offerte par les INTERCONNEXIONS DE SEGMENTS (SI) qui réunissent temporairement des SEGMENTS indépendants (figure 2, page 15). Tous les SEGMENTS à travers lesquels passe l'opération doivent être disponibles en même temps pour pouvoir exécuter une opération intersegment. Les mécanismes d'arbitrage, ainsi que les circuits dans chaque SI, étendent la solution des problèmes de conflit de bus à l'extérieur, comme à l'intérieur, du SEGMENT du MAITRE. Puisqu'un SEGMENT peut être connecté à chaque SEGMENT d'un ensemble de SEGMENTS différents, la configuration du système peut être organisée pour optimiser les chemins de données critiques en temps.

Le moyen par lequel une paire de SI sur des SEGMENTS différents communiquent entre eux n'est pas spécifié, ce qui permet de choisir la technique la plus adaptée à une application donnée. Une solution puissante, qui est décrite dans l'annexe E, utilise un SEGMENT-CABLE pour cette connexion. Des DISPOSITIFS autres que des SI peuvent également être connectés au SEGMENT-CABLE. De tels DISPOSITIFS suivent également le protocole FASTBUS et nécessitent des interrupteurs pour l'ADRESSAGE GEOGRAPHIQUE qui dépend de la position et doivent posséder une alimentation.

D'autres techniques pour la connexion des SEGMENTS impliquent l'utilisation d'INTERCONNEXIONS TAMPONNEES et d'EXTENSIONS DE SEGMENTS. L'INTERCONNEXION TAMPONNEE est un dispositif qui mémorise l'opération FASTBUS et la traite ensuite, rompant ainsi le synchronisme entre le MAITRE et l'ESCLAVE. Le concept de SEGMENT D'EXTENSION permet à un certain nombre de SEGMENTS de partager la même ADRESSE DE GROUPE. Ce partage s'effectue en utilisant une EXTENSION DE SEGMENT dont la simplicité, comparée à l'INTERCONNEXION DE SEGMENT, est obtenue au prix d'une certaine réduction de la souplesse dans la topologie du système et dans le fonctionnement des membres des SEGMENTS D'EXTENSION.

Bien que la plupart des MAITRES, sinon tous, aient des possibilités de calculs, la conception du système FASTBUS permet également la connexion de gros ou de mini-calculateurs au système. Une telle connexion est faite par une INTERFACE-CALCULATEUR qui obtient l'accès au système FASTBUS soit par un SEGMENT-CABLE, soit par un SEGMENT-CHASSIS (figure 2, page 15). Les nécessités du système imposent que chaque système contienne un calculateur qui ait une connaissance complète de la structure du système. En particulier, il doit être capable d'accéder à tous les SEGMENTS du système et doit savoir comment les

an Arbitration Level to use during Arbitration Cycles. In response to timing signals from the SEGMENT Arbitration Timing Controller, circuitry in each MASTER determines which of the contending MASTERS will next be granted bus Mastership. No time penalty is usually associated with this arbitration procedure since the next MASTER can be selected before the current MASTER completes its operation.

Multiple MASTERS on a single SEGMENT share a common bus. Contention for use of this bus may reduce throughput as seen by a given MASTER because of the time it spends waiting to gain Mastership of a busy bus. Since SEGMENTS operate independently, distributing the MASTERS among several SEGMENTS can reduce the contention problem and increase throughput to the extent that the information needed by each MASTER can be localized on its SEGMENT.

A MASTER on one SEGMENT must also be able to quickly communicate with a SLAVE on another SEGMENT. This ability is provided by SEGMENT INTERCONNECTS (SIs) which temporarily link independent SEGMENTS (figure 2, page 15). All SEGMENTS through which the operation passes must be available at the same time in order to complete an intersegment operation. The arbitration mechanism, along with circuitry in each SI, extends the resolution of bus contention problems to off- as well as on-SEGMENT MASTERS. Since one SEGMENT can be linked to any of a number of different SEGMENTS, system configurations can be implemented that optimize time-critical data paths.

The means by which a pair of SIs on different SEGMENTS communicate with each other is not specified, thus allowing the technique the most suitable for a given application to be chosen. A powerful technique, which is specified in annex F, makes use of a CABLE SEGMENT for this connection. DEVICES other than SIs may be connected to a CABLE SEGMENT. Such DEVICES also follow the FASTBUS protocol and require switches for position-dependent GEOGRAPHICAL ADDRESSING and must be provided with power.

Other techniques for linking SEGMENTS involve the use of BUFFERED INTERCONNECTS and SEGMENT EXTENDERS. The BUFFERED INTERCONNECT is a device which stores and forwards FASTBUS operations, thus breaking the synchronism between MASTER and SLAVE. The EXTENDED SEGMENT concept allows a number of SEGMENTS to share the same GROUP ADDRESS. This sharing is accomplished by the use of SEGMENT EXTENDERS whose simplicity, as compared to SEGMENT INTERCONNECTS, is obtained at the price of somewhat reduced flexibility in system topology and operations for members of the EXTENDED SEGMENT.

While most, if not all, MASTERS will have some processing ability, the FASTBUS system design also envisages the connection of large and small computers to the system. Such a connection is made by a PROCESSOR INTERFACE which gains entry to the FASTBUS system through either a CABLE SEGMENT or a CRATE SEGMENT (figure 2, page 15). System requirements dictate that each system contain one processor which has complete knowledge of the structure of the system. In particular, it must be able to access every SEGMENT of the system and know how the SEGMENTS are to be interconnected. This processor, called

SEGMENTS sont interconnectés. Ce calculateur, appelé l'HOTE, initialise le système en indiquant à chaque face de chaque SI quelles sont les opérations qu'elle doit transmettre sur son autre SEGMENT. En utilisant l'ADRESSAGE GEOGRAPHIQUE, l'HOTE peut déterminer la situation physique et le type de chaque DISPOSITIF dans le système et, si nécessaire, affecter une ADRESSE LOGIQUE au DISPOSITIF. L'ADRESSE LOGIQUE permet à un DISPOSITIF d'utiliser un champ d'ADRESSE INTERNE adapté à ses besoins et qui est indépendant de sa position à l'intérieur d'un SEGMENT.

Les principales caractéristiques et possibilités du FASTBUS peuvent être résumées comme suit:

- Vitesse limitée seulement par les temps de propagation et les temps de transit dans la logique (nominalement meilleur que 10 MHz pour l'ECL)
- Large champ d'adresses et de données (32 bits)
- Bus segmenté pour permettre des traitements parallèles
- Possibilités de communication à travers tout le système
- Transfert de bloc avec ou sans dialogue
- Protocole uniforme à travers tout le système
- Dispositif d'interruption et d'arbitrage.

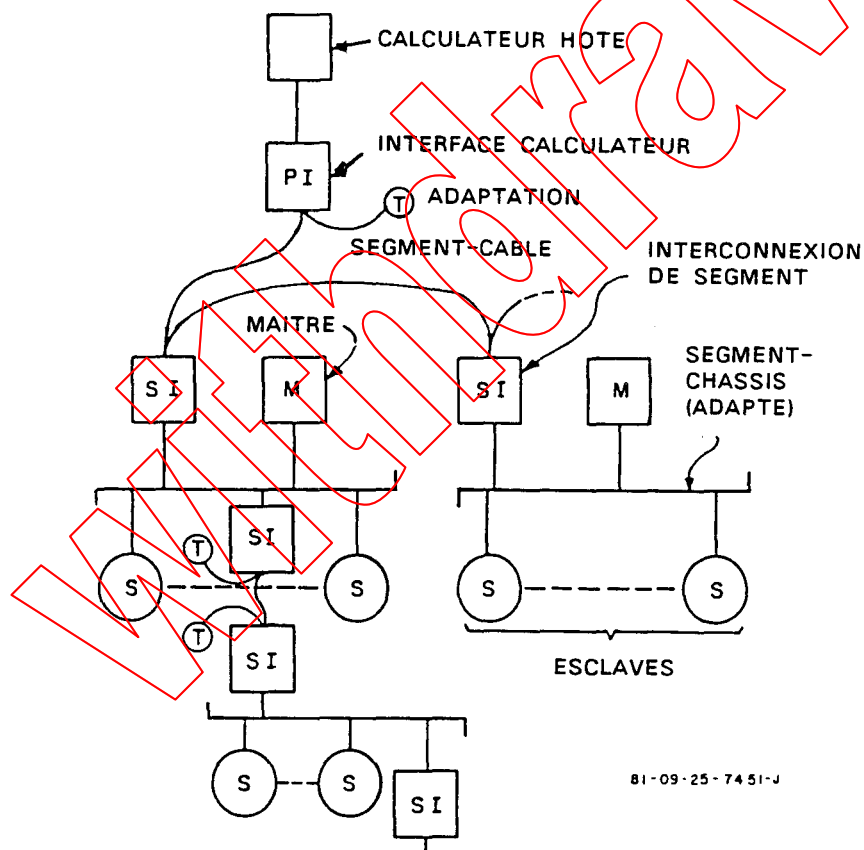


Figure 2 - TOPOLOGIE D'UN SYSTEME FASTBUS

1.2.1 Fonctionnement du FASTBUS

Les opérations FASTBUS définies dans la section 5 utilisent un bus multilignes dont l'affectation aux signaux est indiquée sur la TABLE I, page 16. Un SEGMENT-CABLE est constitué de l'ensemble des 60 premières lignes du

the HOST, initializes the system by telling each side of each SI what operations it is to pass on to its other SEGMENT. By using GEOGRAPHICAL ADDRESSING, the HOST can ascertain the physical location and type of each DEVICE in the system and, as needed, assign LOGICAL ADDRESSES to the DEVICES. LOGICAL ADDRESSES allow a DEVICE to use an INTERNAL ADDRESS field matched to its needs which is independent of position within a SEGMENT.

The principal characteristics and capabilities of FASTBUS can be summarized as follows:

- Speed limited only by propagation and logic delays (typically better than 10 MHz for ECL)
- Large Address and Data Fields (32 bits)
- Segmented Bus to allow parallel processing
- System-wide communication capability
- Block transfers with or without handshake
- Uniform system-wide protocol
- Interrupt and arbitration features.

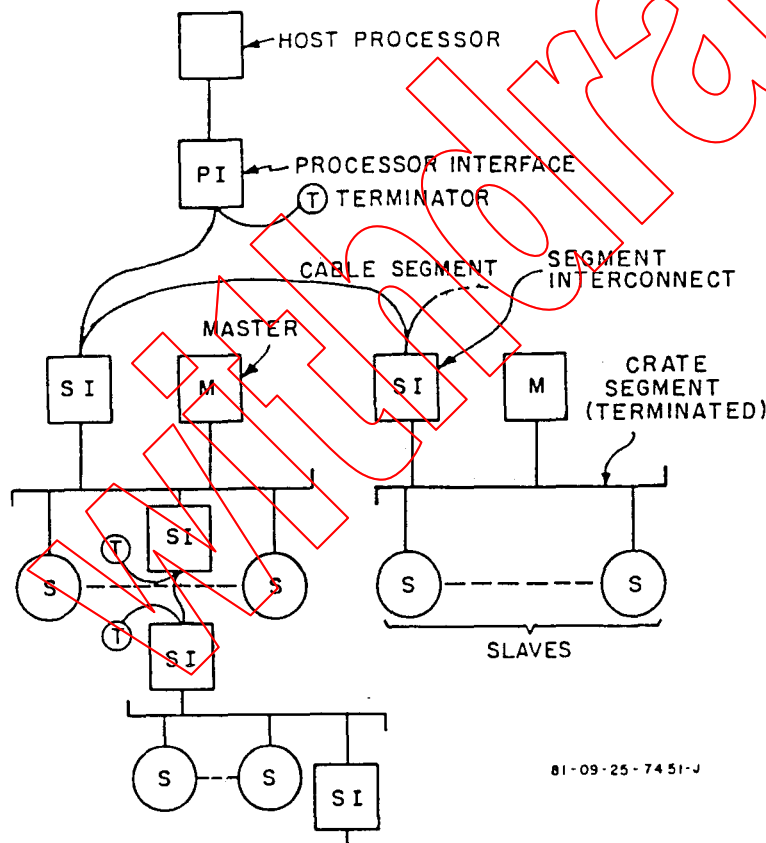


Figure 2 - EXAMPLE OF FASTBUS SYSTEM TOPOLOGY

1.2.1 FASTBUS Operations

The FASTBUS Operations defined in Section 5 make use of a multiline bus whose signal assignments are as indicated in TABLE I, page 16. A CABLE SEGMENT consists of the group of 60 lines at the top of the list while a CRATE SEGMENT

tableau, tandis qu'un SEGMENT-CHASSIS inclut, en plus, les autres lignes indiquées aussi bien que des lignes d'alimentation. Les signaux sont classés suivant leur utilisation telle qu'elle est indiquée sur la TABLE I.

TABLE I - SIGNAUX FASTBUS

Sigle	Nom du signal	Usage	Nombre	Commentaires
AS	Synchro d'adresse	T	1	Pour l'adressage et le compte rendu de l'état de la connexion
AK	Acceptation d'adresse	T	1	
EG	Mise en service géographique	C	1	
MS	Sélection de mode	C	3	Pour les données et le contrôle des transferts de données
RD	Lecture	C	1	
AD	Adresses/données	I	32	
PA	Parité	I	1	
PE	Mise en service (ES) Parité	I	1	
SS	Etat de l'Esclave	I	3	
DS	Synchro de données	T	1	
DK	Acceptation de données	T	1	
WT	Attente	A	1	
SR	Demande de service	A	1	
RB	Remise à zéro (Raz) du bus	A	1	
BH	Arrêt du bus	C	1	
AG	Octroi d'arbitrage	TA	1	Pour l'arbitrage du bus
AL	Niveau d'arbitrage	IA	6	
AR	Demande d'arbitrage	A	1	
AI	Blocage des demandes d'arbitrage	CA	1	
GK	Acceptation de l'octroi	TA	1	
			60	
TX	Ligne de transfert série	S	1	Pour le protocole série du FASTBUS
RX	Ligne de réception série	S	1	
GA	Contacts d'adresse géographique (codés en position non en bus) ¹	F	5	
TP	Contact T (non en bus) ¹	X	1	Seulement sur le SEGMENT-CHASSIS
DL	Guirlande de gauche	X	3	
DR	Guirlande de droite	X	3	
TR	Lignes adaptées à usage restreint	X	8	
UR	Lignes ouvertes à usage restreint	X	2	
FP	Contacts F (libres, non en bus)		4	
R	Réservés		5	

¹ Sur les SEGMENTS-CABLES des commutateurs sont utilisés à la place des contacts GA et T.

Voir page suivante la description des symboles utilisés.

includes, in addition, the other listed lines as well as power lines. Signals are classified according to use as indicated in TABLE I.

TABLE I - FASTBUS SIGNALS

Mnemonic	Signal Name	Use	Number	Comments
AS	Address Sync	T	1	For address and reporting status of connection
AK	Address Acknowledge	T	1	
EG	Enable Geographical	C	1	
MS	Mode Select	C	3	For data and control of data transfers
RD	Read	C	1	
AD	Address/Data	I	32	
PA	Parity	I	1	
PE	Parity Enable	I	1	
SS	Slave Status	I	3	
DS	Data Sync	T	1	
DK	Data Acknowledge	T	1	
WT	Wait	A	1	
SR	Service Request	A	1	
RB	Reset Bus	A	1	
BH	Bus Halted	C	1	
AG	Arbitration Grant	TA	1	For bus arbitration
AL	Arbitration Level	IA	6	
AR	Arbitration Request	A	1	
AI	Arbitration Request Inhibit	CA	1	
GK	Grant Acknowledge	TA	1	
			60	
TX	Serial Line Transmit	S	1	For FASTBUS Serial Protocol
RX	Serial Line Receive	S	1	
GA	Geographical Address Pins (position encoded, not bussed) ¹	F	5	CRATE SEGMENT only
TP	T Pin (not bussed) ¹	X	1	
DL	Daisy Chain Left	X	3	
DR	Daisy Chain Right	X	3	
TR	Terminated Restricted Use	X	8	
UR	Unterminated Restricted Use	X	2	
FP	F Pins (free use, not bussed)		4	
R	Reserved		5	

¹ On CABLE SEGMENTS switches are used instead of GA and T pins.

See the following page for the description of used symbols.

Description des symboles utilisés:

T	= horloge pour les cycles d'adresse et de données
C	= contrôle pour les cycles d'adresse et de données
I	= information pour les cycles d'adresse et de données
A	= asynchrone, cadencement sans liaison directe avec les transferts de données
TA	= cadencement du bus d'arbitrage
IA	= informations pour le bus d'arbitrage
CA	= contrôle pour le bus d'arbitrage
S	= données séries, cadencement indépendant du bus parallèle
F	= informations fixes, constantes
X	= usage spécial

La plupart des opérations FASTBUS commencent par un MAITRE demandeur auquel on a octroyé la maîtrise du bus. Le MAITRE sélectionne alors un ESCLAVE par un cycle d'adresse primaire et continue par un certain nombre de cycles de transfert de données, après quoi il relâche le bus.

Un cycle d'adresse primaire est démarré par le MAITRE qui place l'adresse de l'ESCLAVE sur les 32 lignes Adresses/Données (AD) suivi par la synchro adresse (AS). Le positionnement du mot adresse organise un passage, à travers les INTERCONNEXIONS DE SEGMENTS si nécessaire, entre le MAITRE et l'ESCLAVE. Lorsque l'ESCLAVE reconnaît son adresse, il répond par le signal d'acceptation d'adresse (AK). Le protocole demande que AS et AK restent positionnés jusqu'à ce que l'opération soit terminée. Le verrouillage AS/AK sert à ce que les autres dispositifs ignorent l'activité du bus, ce qui permet au couple en communication d'utiliser n'importe quel protocole que tous deux comprennent aussi longtemps que le verrouillage AS/AK n'est pas rompu. Cependant, pour faciliter la construction de DISPOSITIFS compatibles, un protocole standard a été défini pour les opérations les plus utilisées.

Dès la réception de la réponse AK provenant de l'ESCLAVE, le MAITRE enlève les informations d'adresse des lignes AD et utilise ces lignes pour des données pendant les cycles de transfert de données suivants. Après que le verrouillage AS/AK a été réalisé entre le MAITRE et l'ESCLAVE, une opération de lecture peut être initialisée par le MAITRE en positionnant les lignes de lecture (RD) et de synchro de données (DS) comme sur la figure 3, page 18. L'ESCLAVE répond en plaçant les données sur les lignes AD et envoie DK qui est utilisé par le MAITRE pour mémoriser les données. Pour une opération d'écriture, le MAITRE positionne les données sur les lignes AD et ce positionnement est suivi par la synchro de données (DS). L'ESCLAVE répond en envoyant l'acceptation de données (DK). L'opération est terminée par le MAITRE qui enlève tous ses signaux du bus, y compris AS. L'ESCLAVE percevant le retrait de AS retire tous ses signaux du bus, y compris AK.

Puisque les cycles adresses et données se distinguent facilement, les trois lignes de sélection de mode, MS, sont utilisées par le MAITRE pour modifier le sens des informations d'adresse et, indépendamment, pour spécifier le type des données transférées. Dans un cycle d'adresse primaire, l'espace données ou contrôle peut être spécifié aussi bien que les modes simple ou multiple destination (DIFFUSION). Dans un cycle de données on peut spécifier une donnée isolée, une adresse secondaire, ou un transfert de bloc avec ou sans dialogue (pipe-line) de synchro.

De même, les trois lignes d'information d'état de l'esclave, SS, sont utilisées pour indiquer le succès ou la raison de l'échec d'un cycle d'adresse

Description of used symbols

T = Timing for address and data cycles
C = Control for address and data cycles
I = Information for address and data cycles
A = Asynchronous - timing not directly related to data transfers

TA = Timing for Arbitration bus
IA = Information for Arbitration bus
CA = Control for Arbitration bus
S = Serial data, timing independent of parallel bus
F = Fixed information - constant
X = Special Purpose

Most FASTBUS operations begin with a MASTER requesting and being granted bus Mastership. The MASTER then selects a SLAVE by a primary address cycle and follows this by any number of data transfer cycles after which the bus is released.

A primary address cycle is started by the MASTER asserting the SLAVE's address on the 32 Address/Data (AD) lines followed by Address Sync (AS). This assertion of the address word sets up a path, through SEGMENT INTERCONNECTS if necessary, between MASTER and SLAVE. When the SLAVE recognizes its address, it responds with the Address Acknowledge signal (AK). The protocol requires that AS and AK remain asserted until the operation is completed. This AS/AK lock serves to cause all other devices to ignore bus activity thus allowing the communicating pair to employ any protocol they both understand as long as the AS/AK lock is not broken. In order to facilitate the construction of compatible DEVICES, however, standard protocols for most useful operations have been specified.

On receipt of the AK response from the SLAVE, the MASTER removes the address information from the AD lines and uses these lines for data during the ensuing data transfer cycles. After the AS/AK lock between MASTER and SLAVE has thus been established, a Read operation can be initiated by the MASTER asserting the Read (RD) and Data Sync (DS) lines as in figure 3, page 18. The SLAVE responds by placing data on the AD lines and issuing DK which is used by the MASTER to latch the data. For a Write operation, the MASTER asserts data on the AD lines and follows this assertion by the Data Sync (DS). The SLAVE responds by issuing a Data Acknowledge (DK). The operation is terminated by the MASTER removing all its signals, including AS, from the bus. The SLAVE, sensing the removal of AS, removes all its signals including AK.

Since Address and Data Cycles are easily distinguishable, the three Mode Select lines, MS, are used by the MASTER to modify the meaning of the address information and to independently specify the type of data transfer. In a primary address cycle, control or data space can be specified as well as single or multiple listener (BROADCAST) mode. In a data cycle, random data, secondary address, or handshake or pipelined (non-handshake) block transfer can be specified.

Similarly, the three Slave Status information lines, SS, are used to indicate the success or reason for failure of an Address or a Data Cycle.

ou de donnée. Des difficultés d'adressage peuvent se produire dans les INTERCONNEXIONS DE SEGMENTS car le SI peut lui-même ne pas répondre (panne de réseau), ne pas obtenir l'accès au SEGMENT côté lointain (réseau occupé) ou en être éliminé par une transaction de priorité supérieure (réseau perdu). Les blocages de bus, provoqués par une adresse inexistante dans le SEGMENT destination, sont évités par des temporisateurs dans le MAITRE et dans les SI qui positionnent l'adresse sur le SEGMENT destination.

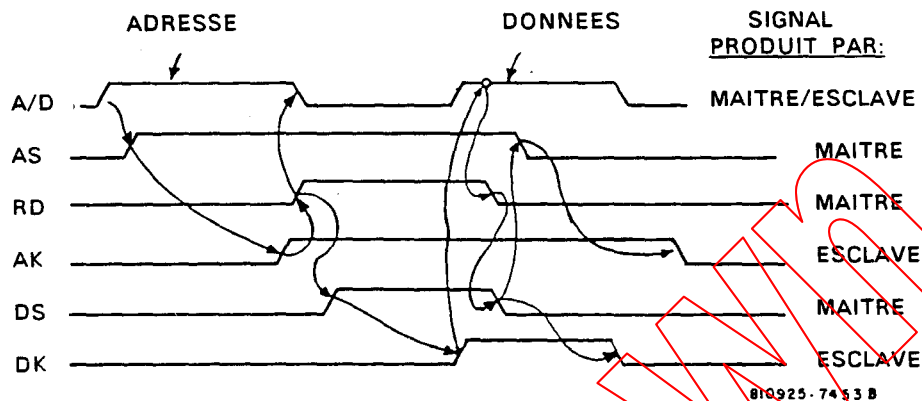


Figure 3 - DIALOGUE DE BASE D'UNE OPERATION DE LECTURE (VU PAR LE MAITRE)

Pendant un cycle de données, en plus de pouvoir indiquer soit qu'il ne peut pas accepter plus de données soit qu'il n'en a plus à envoyer, l'ESCLAVE peut également signaler qu'il est actuellement occupé ou qu'il a détecté l'une des différentes classes d'erreurs.

Les transferts de données FASTBUS peuvent utiliser un contrôle de parité et des systèmes recommandés sont disponibles pour récupérer les erreurs. Dans une opération d'écriture, un ESCLAVE répond normalement aux erreurs de transmission en ignorant les données erronées et en signalant au MAITRE qu'une erreur s'est produite. Le MAITRE peut alors réessayer l'opération. La récupération des erreurs dans les opérations de lecture est plus compliquée. Habituellement, l'ESCLAVE est inconscient de l'erreur et peut incrémenter son pointeur d'adresse interne, ou peut accéder à un FIFO ou un registre en lecture-effacement; ainsi les données peuvent ne plus être disponibles pour un réessai. Pour aider à la récupération des erreurs en lecture, on peut réaliser un REGISTRE DE SAUVEGARDE. Le REGISTRE DE SAUVEGARDE contient toujours une copie de la dernière donnée transférée de ou vers l'ESCLAVE. Ainsi en accédant au REGISTRE DE SAUVEGARDE, un MAITRE peut réaccéder à une donnée après une erreur de lecture.

1.2.2 Interconnexion de segments

Une INTERCONNEXION de SEGMENTS surveille l'activité sur les deux SEGMENTS auxquels elle est connectée, attendant l'apparition d'une adresse qui soit dans l'ensemble des adresses qu'elle a été programmée à reconnaître. Elle répond à une adresse reconnue positionnée sur un des SEGMENTS (côté proche) en demandant l'usage de l'autre SEGMENT (côté lointain) et en positionnant l'adresse donnée sur ce SEGMENT lorsqu'elle en gagne le contrôle. Les deux SEGMENTS restent liés ensemble jusqu'à ce que l'opération soit terminée. L'adresse positionnée sur le côté lointain peut, à son tour, être reconnue

Addressing difficulties can occur at SEGMENT INTERCONNECTS because the SI does not respond (Network Failure) or cannot gain access to its Far-side SEGMENT (Network Busy) or gets preempted by a higher priority operation (Network Abort). Bus lockup caused by unused addresses on the destination SEGMENT are avoided by timers in the MASTER and in the SI which places the address on the destination SEGMENT.

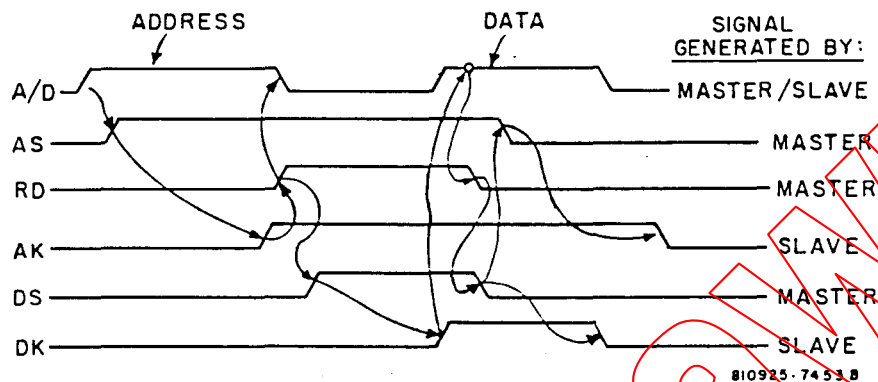


Figure 3 - BASIC HANDSHAKE READ OPERATION (AS SEEN BY MASTER)

During a Data Cycle, in addition to being able to indicate that it can either accept no more data or has no more data to send, a SLAVE can also signal that it is currently busy or that it has detected one of several classes of error.

FASTBUS data transfers may employ parity checking and recommended techniques are provided for recovering from errors. In Write operations SLAVES normally respond to transmission errors by ignoring bad data and signaling the MASTER that an error has occurred. The MASTER may then retry the operation. Error recovery in Read operations is more complex. The SLAVE is usually unaware of the error and may increment its internal address pointer, or may be accessing a FIFO or read-and-clear register; therefore, the data may not be available for a retry. In order to assist in read error recovery, a PROTECTIVE BUFFER may be implemented. The PROTECTIVE BUFFER always contains a copy of the data last transferred to or from the SLAVE. Hence by accessing the optional PROTECTIVE BUFFER, a MASTER may reaccess data after a Read error.

1.2.2 Segment Interconnects

A SEGMENT INTERCONNECT monitors the activity on the two SEGMENTS it connects, waiting for an address to appear which is in the set of addresses it has been programmed to recognize. It responds to a recognized address asserted on one of the SEGMENTS (Near-side) by requesting use of the other SEGMENT (Far-side) and asserting the given address on that SEGMENT when it gains control. The two SEGMENTS remain locked together until the operation is complete. The address asserted on the Far-side may, in turn, be recognized by another SEGMENT INTERCONNECT and may be passed to yet another SEGMENT. An

par une autre INTERCONNEXION de SEGMENTS et peut être transmise à nouveau sur un autre SEGMENT. Un nombre arbitraire de SEGMENTS peuvent être ainsi reliés suivant les besoins pour une opération donnée. L'adresse contient toutes les informations nécessaires pour diriger les SI appropriés pour réaliser les connexions correctes.

Pour pouvoir utiliser l'adresse afin de fournir les informations de routage d'une manière pratique, la totalité de l'espace adresse disponible pour le système est divisée entre les SEGMENTS d'une manière telle que les bits les plus significatifs de l'adresse spécifient quel SEGMENT est adressé. Cette partie des poids forts de l'adresse est appelée le champ d'ADRESSE de GROUPE (GP). Plus d'une ADRESSE de GROUPE peut être affectée à un SEGMENT pour s'adapter aux SEGMENTS qui contiennent des DISPOSITIFS utilisant une grande quantité d'espace adresse. Les DISPOSITIFS sur un SEGMENT se distinguent par l'ADRESSE du MODULE qui est adjacente au champ GP et qui peut comprendre certains des bits de poids faible du champ GP. La combinaison des champs d'ADRESSE de GROUPE et de MODULE forme l'ADRESSE du DISPOSITIF qui sert à localiser un DISPOSITIF n'importe où dans le système. Les bits restant (de poids faible) de l'adresse, le CHAMP d'ADRESSE INTERNE, servent à spécifier un élément ou une fonction à l'intérieur d'un DISPOSITIF. Grâce à un type spécial de cycle de données appelé cycle d'adresse secondaire, le nombre des différents éléments ou fonctions qui sont accessibles à l'intérieur d'un DISPOSITIF n'est pas limité par le nombre autorisé par le CHAMP d'ADRESSE INTERNE.

Une réalisation simple d'un SI consiste à utiliser les bits de poids fort de l'adresse pour adresser une mémoire interne qui contient une liste indiquant les adresses qui doivent être transmises. Lorsque le système est initialisé, chaque mémoire de SI est chargée avec la configuration nécessaire pour acheminer correctement toutes les opérations permises.

Avec ce schéma il n'y a pas de restriction sur le type des interconnexions qui peuvent être réalisées entre les SEGMENTS. Par exemple, ils peuvent être connectés en structure arborescente avec un gros calculateur comme tronc et les DISPOSITIFS d'acquisition comme feuilles. Si un besoin de trafic important entre deux SEGMENTS intermédiaires éloignés cause une charge excessive sur les SEGMENTS intermédiaires, les deux SEGMENTS peuvent être reliés directement par une INTERCONNEXION de SEGMENTS qui court-circuite les SEGMENTS intermédiaires. Aucun changement d'adresse des DISPOSITIFS n'est nécessaire à cause de cette addition et une fois que les tables de routage dans les SI ont été réinitialisées pour utiliser la nouvelle route, les précédentes difficultés de trafic dans les SEGMENTS intermédiaires disparaîtront. Les structures en arbres, en étoiles ou en anneaux peuvent être réalisées par ce schéma.

Lorsqu'un MAITRE initialise une opération FASTBUS, il démarre toujours un temporisateur interne de réponse réglé sur une durée maximale appropriée au SEGMENT sur lequel il réside. Si l'opération doit passer à travers un ou plusieurs SI, on doit attirer l'attention du MAITRE sur le fait qu'un retard additionnel sera rencontré avant que la réponse ne soit reçue. Chaque SI qui transfère une opération positionne ATTENTE (WT) sur le SEGMENT d'où l'opération lui arrive et démarre un temporisateur adapté au SEGMENT sur lequel l'opération est transmise. Le signal WT provoque l'arrêt du temporisateur du MAITRE (et le SI se comporte comme un MAITRE sur le SEGMENT auquel il passe l'opération). Le temporisateur est réinitialisé lorsque le signal WT est supprimé. De cette manière une opération peut aller son chemin à travers un système sans que se produisent des dépassements de temps sauf si, bien sur, on atteint un SEGMENT qui ne donne ni réponse normale, ni ne positionne le signal WT. Un temporisateur long est utilisé dans chaque MAITRE pour détecter des situations bloquées qui

arbitrary number of SEGMENTS can be linked as needed for a given operation. The address contains all the information needed to direct the appropriate SIs to form the correct connections.

In order to use the address to provide the routing information in a practical way, the total address space available to the system is divided among the SEGMENTS in such a way that the most significant bits of the address specify which SEGMENT is addressed. This high-order part of the address is called the GROUP ADDRESS (GP) field. More than one GROUP ADDRESS may be assigned to a SEGMENT to accommodate SEGMENTS containing DEVICES using large amounts of address space. DEVICES on a SEGMENT are distinguished by the MODULE ADDRESS which is adjacent to the GP field and may include some of the low-order GP field bits. The combined GROUP and MODULE ADDRESS fields form the DEVICE ADDRESS which serves to locate a DEVICE anywhere in the system. The remaining (low-order) bits in the address, the INTERNAL ADDRESS FIELD, serve to specify a part or function within the DEVICE. Because of a special type of Data Cycle called the Secondary Address Cycle, the number of different parts or functions within a DEVICE that can be accessed is not limited to the number allowed by the INTERNAL ADDRESS FIELD.

One simple implementation of the SI uses the high-order address bits to address an internal memory which contains a pattern indicating which addresses are to be passed. When the system is initialized, each SI memory is loaded with the patterns needed to route all permitted operations correctly.

With this scheme, there are no restrictions on the kinds of interconnections which may be made between SEGMENTS. For example, they may be connected in a tree structure with a large computer at the trunk and data acquisition DEVICES as the leaves. If a high traffic demand between two widely separated SEGMENTS causes excessive tie-up of the intermediate SEGMENTS, the two SEGMENTS can be directly linked by a SEGMENT INTERCONNECT thus bypassing the intermediate SEGMENTS. No DEVICE address changes are required because of this addition, and once the route tables in the SIs are reinitialized to make use of the new route, the interfering traffic will disappear from the formerly intermediate SEGMENTS. Tree, star, and ring structures can all be accommodated by this scheme.

When a MASTER initiates a FASTBUS operation, it always starts an internal Response Timer set to time out at a time appropriate for the SEGMENT on which it resides. If the operation has to pass through one or more SIs, the MASTER must be made aware that additional delays will be encountered before a response is received. Any SI passing an operation asserts WAIT (WT) on the SEGMENT from which the operation arrived and starts a timer suitable for the SEGMENT to which the operation is passed. The WT signal causes a MASTER (and the SI acts as a MASTER on the SEGMENT to which it passes an operation) to stop its timer. The timer is reinitialized when the WT signal is removed. In this way an operation can work its way through a system without causing timeouts to occur unless, of course, a SEGMENT is reached which neither gives a normal response nor asserts the WT signal. A Long Timer in each MASTER is used to detect deadlock situations that arise, for example, when conflicting requests are placed upon

arrivent, par exemple, lorsque des demandes concurrentes sont effectuées sur des ressources. A l'échéance d'un temporisateur long, le MAITRE doit attendre pendant une période aléatoire avant d'essayer à nouveau d'exécuter l'opération.

1.2.3 Registres de contrôle et d'état

Certains registres et certaines fonctions d'un DISPOSITIF ont besoin d'être séparés, dans l'espace adresse, des registres normaux des données pour fournir une protection contre un accès accidentel et ne pas interférer avec l'allocation d'adresse de la partie normale des données du DISPOSITIF. Par exemple, deux DISPOSITIFS mémoire doivent pouvoir avoir leurs adresses fixées de telle manière que les mémoires soient adjacentes dans l'espace adresse, permettant de les utiliser comme une grande mémoire. Cependant, ils peuvent contenir des registres de contrôle et d'état associés à la protection mémoire ou à une détection et correction d'erreur et ces registres doivent également être accessibles. En plus, il est souhaitable que les DISPOSITIFS possèdent des registres d'état et d'information élémentaire à des adresses standard pour qu'ils puissent être facilement accédés par des programmes standard communs.

La méthode choisie pour réaliser ceci est de sélectionner l'espace des registres de contrôle et d'état (CSR) dans un cycle d'adresse primaire par un codage particulier des lignes MS. Ce cycle est suivi par un cycle d'adresse secondaire pour sélectionner un registre dans l'espace CSR, et par un cycle de données pour écrire ou lire dans les registres. L'adressage secondaire fournit une adresse sur 32 bits à utiliser dans un DISPOSITIF, ce qui donne un espace adresse suffisant pour qu'il puisse être attribué d'une manière standard sans crainte d'en manquer. Des positions standard dans des registres CSR particuliers sont définies pour tous les contrôles courants et les bits d'états. Les DISPOSITIFS doivent contenir un identificateur unique pour ce type de DISPOSITIF qui est utilisé pendant l'initialisation du système. Cet identificateur est localisé dans le registre d'état CSR#0 pour qu'un DISPOSITIF simple, sans décodeur d'adresse, puisse répondre correctement pour un coût additionnel très faible.

1.2.4 Adressage géographique

La forme la plus générale d'adressage des DISPOSITIFS est l'ADRESSAGE LOGIQUE dans lequel l'adresse d'un DISPOSITIF est indépendante de sa position physique dans le système. Cependant, le FASTBUS n'a besoin que de l'ADRESSAGE GEOGRAPHIQUE dans lequel un DISPOSITIF est atteint en adressant sa position physique sur un SEGMENT. Ainsi, il est toujours possible de déterminer la position d'un DISPOSITIF pour son enregistrement ou pour un test. L'ADRESSAGE GEOGRAPHIQUE doit être utilisé pour initialiser un système dont les registres adresse sont chargés par le logiciel. Lorsqu'un tel système est mis sous tension, les registres qui doivent contenir l'ADRESSE du DISPOSITIF sont positionnés au hasard. L'ADRESSAGE GEOGRAPHIQUE est utilisé pour adresser les DISPOSITIFS de manière à charger leurs registres d'adresse avec la bonne valeur. Les 256 premières adresses de chaque SEGMENT sont réservées pour un usage particulier dont les 32 premières sont utilisées pour réaliser l'ADRESSAGE GEOGRAPHIQUE. Il y a cinq contacts codés (GA0-GA4) sur chaque position de DISPOSITIF d'un SEGMENT-CHASSIS. Ces contacts sont codés de telle manière que 0 identifie la position du DISPOSITIF le plus à droite quand le châssis est vu de l'avant et que les nombres codés croissent de une unité pour chaque position de MODULE en allant sur la gauche. Lorsqu'une ADRESSE GEOGRAPHIQUE est sur le bus (0 à 31), la ligne de contrôle de la mise en service de l'adressage géographique (EG) est positionnée soit par la logique ancillaire

resources. After a Long Timer timeout, a MASTER waits for a random Retry Period before again trying to complete the Operation.

1.2.3 Control and Status Registers

Certain registers and functions in DEVICES need to be separated in address space from the normal data registers in a way which provides some protection from accidental access and which does not interfere with the allocation of addresses to the normal data portions of the DEVICES. For example, two memory DEVICES should be able to have their addresses set so that the memories are adjacent in address space, allowing them to be used as one larger memory. However, they may contain control registers and status registers associated with memory protection or error detection and correction, and these registers must also be accessible. Furthermore, it is desirable that DEVICES have basic status and information registers in standard locations so that they can be readily accessed by standard shared programs.

The method chosen to accomplish this is to select control/status register (CSR) space in a primary address cycle by suitable coding of the MS lines. This is followed by a secondary address cycle to select a register in CSR space, and a data cycle to transfer to or from the registers. Secondary addressing provides a full 32-bit address for use within a DEVICE, which is enough address space so that it can easily be allocated in standard ways without fear of a shortage. Standard locations in dedicated CSR registers are specified for all the usual control and status bits. DEVICES are required to contain an identifier unique to the DEVICE type that is used during system initialization. This identifier is located in status register CSR#0 so that even simple DEVICES with no address decoders can respond correctly with little added cost.

1.2.4 Geographical Addressing

The most general form of DEVICE addressing is LOGICAL ADDRESSING in which the address of the DEVICE is independent of its physical location in the system. However, FASTBUS only requires that GEOGRAPHICAL ADDRESSING, in which a DEVICE is accessed by addressing its physical location on a SEGMENT, be implemented. Hence it is always possible to determine the location of DEVICES for use as a record or check. GEOGRAPHICAL ADDRESSING must be used to initialize a system having address registers set by software. When such a system is powered up, the registers that will contain the DEVICE ADDRESS information are randomly set. GEOGRAPHICAL ADDRESSING is used to address the DEVICES in order to load their address registers with the proper contents. The first 256 addresses on any SEGMENT are reserved for special purposes and the first 32 of these are used to implement GEOGRAPHICAL ADDRESSING. There are five coded pins (GA0-GA4) at each DEVICE position of a CRATE SEGMENT. These pins are coded so that 0 identifies the rightmost DEVICE position when the crate is viewed from the front and the number coded increases by one for each MODULE position moved to the left. When a GEOGRAPHICAL ADDRESS (0 to 31) is on the bus, the Enable Geographical Address (EG) control line is asserted either by ancillary logic on the segment or by the current MASTER. When EG is asserted during a Primary Address Cycle, DEVICES compare their coded pins with the five low-order address

sur le SEGMENT soit par le MAITRE courant. Lorsque EG est positionné pendant un cycle d'adressage primaire, les DISPOSITIFS comparent leurs contacts codés avec les cinq bits de plus faible poids de l'adresse sur les lignes AD et répondent s'ils trouvent une concordance. Tous les DISPOSITIFS doivent disposer de cette possibilité mais n'ont pas besoin de réaliser l'ADRESSAGE LOGIQUE.

Le mécanisme d'ADRESSAGE GEOGRAPHIQUE peut être utilisé pour accéder aux registres d'information et de contrôle d'un DISPOSITIF non initialisé, on peut ainsi utiliser une procédure automatique pour l'initialiser. La logique de reconnaissance de l'adresse logique normale d'un DISPOSITIF est hors service tant que le DISPOSITIF n'a pas été initialisé.

Les DISPOSITIFS sur un SEGMENT-CABLE utilisent des commutateurs pour réaliser l'ADRESSAGE GEOGRAPHIQUE.

1.2.5 Transfert de blocs et en pipe-line

Un transfert de bloc consiste en un cycle d'adresse suivi d'un nombre quelconque de cycles de données du même type c'est-à-dire tous en lecture ou tous en écriture. La connexion entre le MAITRE et l'ESCLAVE est obtenue comme décrit ci-dessus avec un dialogue de synchronisation complet au début et à la fin de l'opération. La vitesse est accélérée en utilisant les deux transitions de la paire de signaux synchro/acceptation des données (DS/DK) qui fournit toujours la protection due au dialogue complet pour le transfert des données si on le désire. La figure 4 représente un transfert de bloc en écriture.

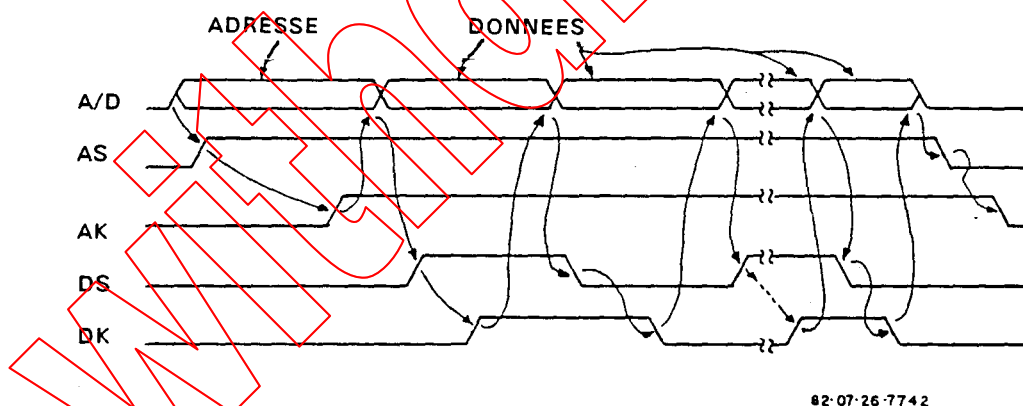


Figure 4 - TRANSFERT DE BLOC EN ECRITURE (VU PAR LE MAITRE)

Il est possible de réaliser un transfert de bloc sans dialogue dans les cycles de données, un transfert en pipe-line, entre des DISPOSITIFS qui peuvent suivre la même vitesse de transfert. Dans le cas d'une écriture, par exemple, après le dialogue initial du cycle d'adresse pour établir le verrouillage AS/AK, le MAITRE positionne seulement les mots d'information et les transitions de DS à la vitesse voulue. La réponse DK est ignorée pour le cadencement, mais sera utilisée pour compter le nombre de mots transférés et pour surveiller les réponses. En effet, DS devient un signal d'échantillonnage que l'ESCLAVE utilise pour trouver les mots de données dans une transmission synchrone. Dans le cas d'une lecture, le MAITRE fournit toujours DS en tant qu'horloge que l'ESCLAVE utilise pour régler sa vitesse de transfert mais les données sont accompagnées par DK que le MAITRE utilise comme signal d'échantillonnage.

bits on the AD lines and respond if a match is found. All DEVICES must have this capability but need not implement LOGICAL ADDRESSING.

The GEOGRAPHICAL ADDRESSING mechanism can be used to access the control and information registers in uninitialized DEVICES so that an automatic procedure can be used to initialize them. The normal logical address recognition logic in a DEVICE is disabled until the DEVICE has been initialized.

DEVICES on CABLE SEGMENTS use switches to implement the GEOGRAPHICAL ADDRESS.

1.2.5 Block and Pipelined Transfers

A block transfer consists of an address cycle followed by any number of data cycles of the same type, that is, all read or all write. The connection between MASTER and SLAVE is handled as described above with full handshaking at the beginning and end of an operation. Speed is enhanced by making use of both transitions of the Data Sync and Data Acknowledge signal pair (DS/DK) while still providing full handshake protection for the data transfers if desired. Figure 4 shows a Write Block Transfer.

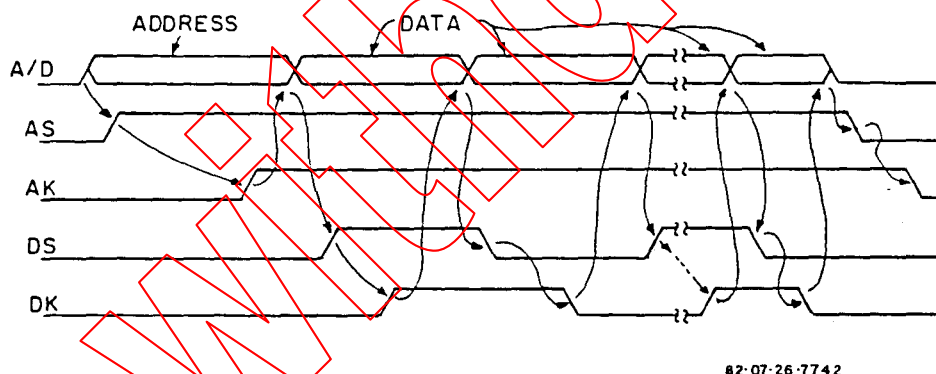


Figure 4 - WRITE BLOCK TRANSFER (AS SEEN BY MASTER)

It is possible to perform a block transfer without data cycle handshakes, a Pipelined Transfer, between DEVICES that can handle the same data rates. In the case of a write, for example, after the initial handshake address cycle to establish the AS/AK lock, the MASTER simply asserts data words and DS transitions at whatever rate is appropriate. DK responses are ignored for timing purposes, but should be used for counting the number of words transferred and for monitoring responses. In effect, DS becomes a strobe which the SLAVE uses to find the data words in a synchronous transmission. In the case of a read, the MASTER still provides DS as the clock which the SLAVE uses to determine the transfer rate but the data is accompanied by DK which the MASTER uses as the data strobe.

Les opérations protégées par dialogue nécessitent que les mots de données soient présents sur le bus pendant au moins deux temps de propagation du bus, puisque les informations se propagent vers la destination et que l'acceptation revient vers la source. Cependant, lorsque la réponse de dialogue n'est pas utilisée, plusieurs mots de données peuvent se propager à travers les lignes de transmission du bus en même temps et les données peuvent être transmises en profitant de la totalité de la bande passante du bus.

Dans la plupart des cas, les opérations utiliseront la protection du dialogue complet. Les cycles de données avec dialogue permettent aux deux partenaires de s'arrêter si nécessaire et permettent à chacun des partenaires de terminer une opération prématurément (dans le cas d'un tampon plein par exemple) avec les deux partenaires ayant une parfaite connaissance du nombre de mots qui furent transmis avec succès. Les opérations sans dialogue dans les cycles de données exigent que le MAITRE connaisse les capacités de l'ESCLAVE et la bande passante de la totalité de la liaison pour pouvoir choisir une vitesse d'horloge DS utilisable. Si cette opération ne pousse pas la vitesse près de sa limite, il est préférable d'utiliser le mode avec dialogue qui est plus fiable.

Si, pendant le cours d'un transfert de bloc, le MAITRE détecte (via la ligne de demande d'arbitrage) d'autres utilisateurs désirant le bus, il peut relâcher le bus et plus tard terminer le transfert du bloc.

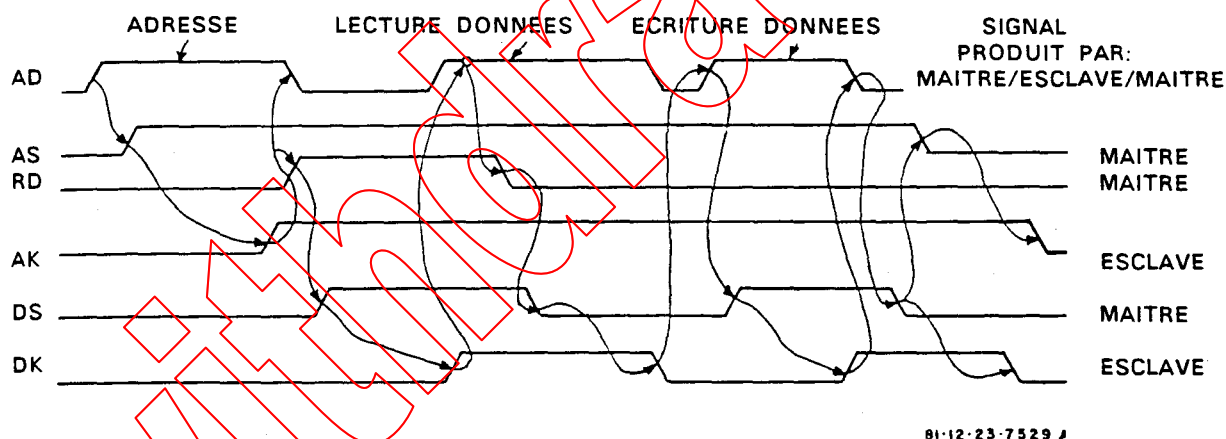


Figure 5 - OPERATION A VERROUILLAGE D'ADRESSE: LECTURE-MODIFICATION-ECRITURE (VUE PAR LE MAITRE)

1.2.6 Opérations à verrouillage d'adresse et d'arbitrage

Les opérations décrites ci-dessus peuvent être généralisées pour permettre la propagation des données dans les deux sens. Une opération à verrouillage d'adresse consiste en un cycle d'adresse primaire suivi par un nombre quelconque de cycles d'adresse secondaire et/ou de cycles de données. Par exemple, pendant un cycle lecture-modification-écriture, le MAITRE positionne une adresse, lit les données, renverse le sens de propagation du signal sur les lignes AD en enlevant le signal RD et réécrit les données modifiées dans l'ESCLAVE (voir figure 5). Une telle opération est ininterrompible par un autre processeur puisqu'elle est verrouillée pendant la durée totale par le verrouillage AS/AK et aucun autre dispositif ne peut utiliser le bus. Elle forme ainsi une espèce d'opération indivisible requise dans les systèmes de processeurs multiples pour coordonner l'utilisation des ressources partagées.

Handshake protected operations require each data word to be on the bus for at least two propagation delays, while the data flows to its destination and the acknowledge flows back to the source. When handshake response is not used, however, several data words could be flowing through the bus transmission lines at the same time and data can be transmitted at the full bandwidth of the bus.

In most cases, operations will use full handshake protection. The data cycle Handshake permits either party to pause, if necessary, and allows either party to terminate an operation early (in case a buffer overflows, for example) with both parties having full knowledge of how many words were successfully transmitted. Operations without data cycle Handshake require the MASTER to know the capabilities of the SLAVE and the bandwidth of the entire path in order to choose a workable DS clock rate. If the operation does not push this rate near its limit, it is better to use the more reliable Handshake mode.

If during the course of a Block Transfer the MASTER detects (via the Arbitration Request line) other users requesting the bus, it may relinquish the bus and later resume the Block Transfer.

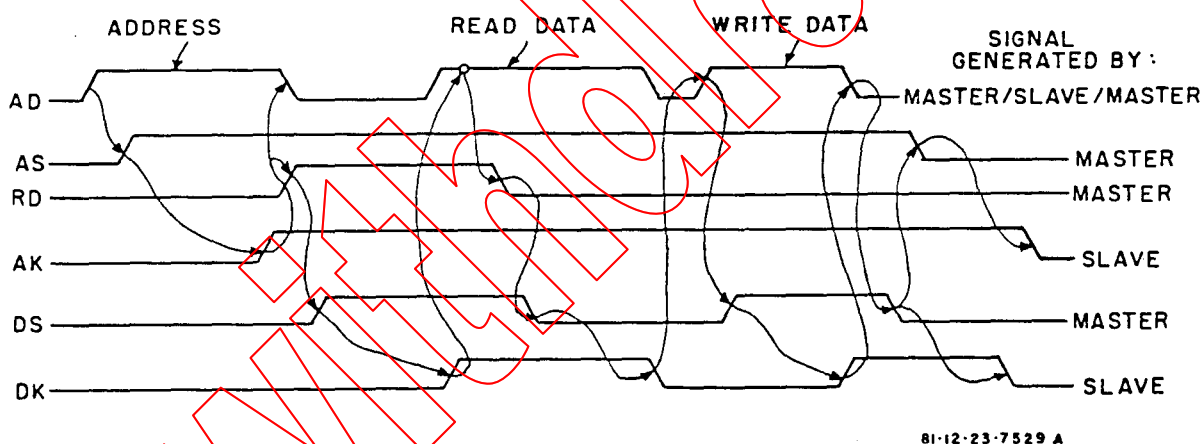


Figure 5 - ADDRESS LOCKED OPERATION: READ-MODIFY-WRITE (AS SEEN BY MASTER)

1.2.6 Address Locked and Arbitration Locked Operations

The operations described above can be generalized to allow data flow to reverse direction. An Address Locked Operation consists of a primary address cycle followed by any number of secondary address and/or data cycles. For example, during a Read-Modify-Write cycle, the MASTER asserts address information, reads data, reverses the signal direction on the AD lines by removing the RD signal, and writes the modified data back to the SLAVE (see figure 5) -Such an operation is uninterruptable by any other processor, since it is locked the whole time by the AS/AK lock and no other device can use the bus. It thus forms the kind of indivisible operation needed in multiple processor systems for coordinating use of shared resources.

Une opération ininterrompible peut être étendue encore plus loin aussi longtemps que le MAITRE et l'ESCLAVE sont d'accord sur la signification de chaque cycle du bus. Par exemple, le cycle d'adressage qui connecte le MAITRE et l'ESCLAVE peut être suivi par un cycle d'adresse secondaire suivi par un autre cycle de données.

Des opérations à verrouillage d'adresse peuvent inclure des transferts de bloc. Dans des opérations à verrouillage d'adresse, la direction du flux de données peut être changée entre des transferts de bloc ou entre des mots transférés individuellement.

Une opération verrouillée sur le bus encore plus générale est appelée une opération à verrouillage d'arbitrage; c'est une série d'opérations dirigées par un MAITRE vers différentes ADRESSES PRIMAIRES et qui ne peut pas être interrompue par un autre MAITRE car le MAITRE originel ne permet pas à un cycle d'arbitrage de prendre place. Cela peut être très utile pour synchroniser un ensemble d'ESCLAVES qui sont partagés entre différents processeurs, ainsi une séquence d'opérations peut être exécutée sans interférence avec les autres processeurs. Ce mécanisme marche même si les ESCLAVES sont sur différents SEGMENTS puisque l'INTERCONNEXION de SEGMENTS est conçue pour maintenir la connexion jusqu'à ce que le MAITRE relâche le bus pour un arbitrage.

1.2.7 Scrutation des données éparées

Dans de nombreux grands systèmes d'acquisition de données, tous les DISPOSITIFS n'acquièrent pas des données à chaque période intéressante. FASTBUS fournit un mécanisme - la scrutation des données éparées - qui permet la localisation rapide des DISPOSITIFS contenant des données valables. La fonction de scrutation des données éparées utilise le contact individuel T disponible sur chaque position de DISPOSITIF sur le fond de panier d'un SEGMENT-CHASSIS. Le contact T à la position n est connecté sur la ligne adresses/données n. Un MAITRE qui veut démarrer un cycle de scrutation des données éparées émet une commande de DIFFUSION vers tous les DISPOSITIFS voulus d'un SEGMENT en demandant à ceux qui ont des données de répondre sur leur contact T. Une lecture des lignes AD indique quels sont les DISPOSITIFS qui doivent être interrogés pour obtenir des données. Cette possibilité peut être disponible sur un SEGMENT-CABLE en utilisant des contacts amovibles ou des commutateurs.

1.2.8 Opérations de DIFFUSION

Dans une opération de DIFFUSION, un MAITRE peut se connecter à plus d'un ESCLAVE pendant un seul cycle d'ADRESSE PRIMAIRE. La DIFFUSION peut être utilisée pour différents objectifs tels que synchroniser des DISPOSITIFS ou remettre à zéro un ensemble de compteurs. Puisque plus d'un ESCLAVE peut être impliqué, aucun dialogue significatif n'est possible entre l'ESCLAVE et le MAITRE. Cependant, un DIALOGUE SYSTEME provenant de la logique ancillaire sur chaque SEGMENT de chaque route informe le MAITRE que sa commande s'est propagée vers tous les SEGMENTS auxquels elle était adressée. Le MAITRE positionne une adresse en même temps qu'un code MS pour indiquer qu'une adresse de DIFFUSION est appliquée. Le champ adresse est utilisé pour spécifier si la DIFFUSION doit être LOCALE sur un SEGMENT particulier ou GLOBALE soit sur tous les SEGMENTS d'une structure décrite par des informations dans les INTERCONNEXIONS de SEGMENTS, soit vers tous ceux qui suivent un SEGMENT particulier. En plus d'être capable de spécifier les SEGMENTS qui sont affectés par une DIFFUSION, le champ adresse peut être utilisé pour sélectionner soit une classe de DISPOSITIFS sur les SEGMENTS considérés ou une fonction à exécuter. Les fonctions

An uninterruptable operation can be extended even further as long as MASTER and SLAVE agree on the meaning of each bus cycle. For example, the address cycle that connects MASTER and SLAVE could be followed by a secondary address cycle followed by another data cycle.

Address Locked Operations may include Block Transfers. In Address Locked Operations, the direction of data flow may be changed between block transfers or between individual non-block transfer words.

A still more general locked operation on the bus is called an Arbitration Locked Operation; a sequence of operations by one MASTER directed to a number of different PRIMARY ADDRESSES which is not interruptable by any other MASTER because the originating MASTER does not allow bus arbitration to take place. This can be very useful for synchronizing a set of SLAVES which are shared by several processors, so that a sequence of operations can be performed without interference by other processors. This mechanism works even if the SLAVES are on different SEGMENTS, as the SEGMENT INTERCONNECT is designed to maintain any connection until the MASTER releases the bus for arbitration.

1.2.7 Sparse Data Scan

In many large data acquisition systems not all DEVICES acquire data in each period of interest. FASTBUS provides a mechanism - the Sparse Data Scan - that allows the rapid location of DEVICES containing valid data. The Sparse Data Scan feature makes use of the unbussed T pin located at each DEVICE position on the CRATE SEGMENT backplane. The T pin at position n is connected to Address/Data line n. A MASTER wishing to start a Sparse Data Scan issues a BROADCAST command to all appropriate DEVICES on a SEGMENT asking those with data to respond on their T pins. A read of the AD lines then indicates which DEVICES should be interrogated for data. This capability can be provided on a CABLE SEGMENT by using patch pins or switches.

1.2.8 BROADCAST Operations

In a BROADCAST Operation, a MASTER can connect to more than one SLAVE during a single PRIMARY ADDRESS cycle. BROADCASTS can be used for various purposes, such as synchronizing DEVICES or clearing a bank of counters. Since several SLAVES may be involved, no meaningful handshake between SLAVE and MASTER is possible. However, a SYSTEM HANDSHAKE from ancillary logic on each SEGMENT of any route informs the MASTER that its command has propagated to every SEGMENT to which it was addressed. The MASTER asserts an address along with an MS code to indicate that a BROADCAST address is being asserted. The Address Field is used to specify whether the BROADCAST is to be a LOCAL one to a specific SEGMENT or a GLOBAL one either to all SEGMENTS in a pattern controlled by information in the SEGMENT INTERCONNECTS or to all SEGMENTS beyond a specified one. In addition to being able to specify the SEGMENTS to be affected by a BROADCAST, the Address Field can be used to select either a class of DEVICE on the affected segments or a function to be carried out. Defined functions include the Sparse Data Scan, DEVICE T pin assertion (either unconditionally or only if the DEVICE

définies incluent la scrutation des données éparses, le positionnement par le DISPOSITIF des contacts T (soit sans condition ou seulement si un DISPOSITIF envoie une demande de service) et l'adressage par le positionnement d'un contact T par le MAITRE pour le cycle suivant.

Dans une INTERCONNEXION de SEGMENTS la partie de la table de routage qui correspond à l'ADRESSE de GROUPE zéro est utilisée pour acheminer les DIFFUSIONS globales. Plus d'une INTERCONNEXION de SEGMENTS peut identifier et transmettre un message de DIFFUSION puisqu'aucun dialogue individuel n'est retourné. La structure formée par le message de DIFFUSION en se propageant doit être en arbre simple sans connexions croisées. Cette règle doit être contrôlée par le programme d'initialisation.

Lorsqu'une adresse de DIFFUSION s'est propagée avec succès à travers le système, le DIALOGUE SYSTEME est produit par la logique ancillaire en coopération avec les INTERCONNEXIONS de SEGMENTS. Les cycles de données successifs utilisent le DIALOGUE SYSTEME. Ainsi n'importe quelle opération standard d'écriture ou de lecture peut être exécutée simultanément sur un ensemble de DISPOSITIFS par une DIFFUSION.

Une DIFFUSION peut prendre quelque temps pour démarrer puisqu'elle doit attendre le règlement de tous les conflits pour l'utilisation des SEGMENTS impliqués. Cependant, une fois que la connexion du système est réalisée la vitesse d'exécution des cycles de données est seulement limitée par les temps de propagation et le DIALOGUE SYSTEME.

1.2.9 Arbitrage pour la maîtrise du bus

L'un des points le plus important dans un système multiprocesseur est la méthode pour attribuer le contrôle d'un SEGMENT aux différents MAITRES qui peuvent être simultanément en compétition pour la maîtrise du bus. Une partie des circuits qui réalisent cet arbitrage réside sur chaque SEGMENT indépendant et est appelée le contrôleur de la séquence d'arbitrage (ATC).

Dix lignes du bus sont affectées à l'arbitrage de la priorité sur un SEGMENT. On affecte à chaque MAITRE un niveau d'arbitrage sur 6 bits. Le MAITRE qui désire gagner la maîtrise du bus positionne la ligne de demande d'arbitrage (AR). Si la ligne d'acceptation de l'octroi, GK, n'est pas positionnée, le contrôleur de séquence d'arbitrage démarre un cycle d'arbitrage en positionnant le signal d'octroi d'arbitrage AG. Les MAITRES demandeurs répondent en positionnant leurs niveaux d'arbitrage sur les six lignes de niveau d'arbitrage AL. Sur chaque ligne de niveau d'arbitrage un bit positionné surchargera un bit non positionné. Chaque demandeur compare en permanence son niveau d'arbitrage avec le code sur les lignes AL, bit par bit depuis les positions les plus significatives vers les moins significatives. Si un demandeur détecte un bit sur le bus qu'il ne positionne pas, il arrête de positionner tous ses bits de poids plus faible. Après une période déterminée par l'ATC, seul le niveau d'arbitrage le plus élevé reste positionné sur les lignes AL et chaque concurrent sait s'il a gagné ou perdu. Lorsque le contrôleur des séquences d'arbitrage a déterminé que le bus est complètement libre (AS=AK=WT=GK=0), il arrête de positionner AG et le MAITRE gagnant répond en positionnant GK et assume la maîtrise du bus. Le MAITRE continue à positionner GK jusqu'à ce qu'il veuille permettre un autre cycle d'arbitrage. C'est habituellement après le dernier cycle d'adresse de sa séquence d'opérations, ce qui permet de choisir le MAITRE suivant avant que le MAITRE actuel n'ait fini ses cycles de données.

is asserting a Service Request) and addressing by MASTER T pin assertion on the next cycle.

In SEGMENT INTERCONNECTS the route table entries corresponding to a GROUP ADDRESS of zero are used for routing Global BROADCASTS. More than one SEGMENT INTERCONNECT may recognize and pass a BROADCAST message since no individual Handshakes are returned. The pattern formed by a propagating BROADCAST message must be a simple tree with no cross connections. This rule has to be enforced by the initialization program.

When the BROADCAST address has propagated successfully throughout the system, the SYSTEM HANDSHAKE is generated by the ancillary logic in cooperation with the SEGMENT INTERCONNECTS. The succeeding Data Cycles make use of the SYSTEM HANDSHAKE. Thus, any kind of standard Write or Read Operation may be performed simultaneously on a set of DEVICES by a BROADCAST.

BROADCASTS may take some time to start, since they must wait for all conflicting use of the SEGMENTS involved to complete. Once the system connection is complete, however, speed of execution of the Data Cycles is limited only by SYSTEM HANDSHAKE and propagation delays.

1.2.9 Arbitration for Bus Mastership

One of the most important requirements of a multi-processor system is a method for allocating control of the SEGMENTS to the various MASTERS which may be contending for Bus Mastership simultaneously. Part of the circuitry to accomplish this, which resides on each independent SEGMENT, is called the Arbitration Timing Controller (ATC).

Ten bus lines are dedicated to SEGMENT priority arbitration. Each master is assigned a 6-bit Arbitration Level. Masters wishing to gain bus Mastership assert the Arbitration Request line (AR). If the Grant Acknowledge, GK, line is not asserted, the Arbitration Timing Controller starts an Arbitration Cycle by asserting the Arbitration Grant, AG, signal. Requesting Masters respond by asserting their arbitration levels on to the six Arbitration Level lines, AL. On each Arbitration Level line an asserted bit will override any non-asserted bits. Each requester continually compares its Arbitration Level with the code on the AL lines bit-by-bit from most to least significant positions. If a requester detects a bit on the bus which it is not asserting, it removes from the bus all of its own bits of lesser significance. After a time determined by the ATC, only the highest Arbitration Level remains asserted on the AL lines and each competitor knows if it has won or lost. When the Arbitration Timing Controller has determined that the bus is completely free ($AS=AK=WT=GK=0$), it stops asserting AG and the winning Master responds by asserting GK and assuming bus Mastership. The MASTER continues to assert GK until it is willing to allow another Arbitration Cycle. This is usually after the last Address Cycle of its sequence of operations thus allowing the next MASTER to be selected before the current MASTER has finished its Data Cycles.

Deux protocoles compatibles sont possibles avec le schéma d'arbitrage décrit. Dans l'un de ces protocoles, les demandes d'arbitrage sont faites sans tenir compte des autres demandes en attente ce qui conduit à la possibilité qu'un MAITRE de faible priorité se voit refuser la maîtrise du bus pour des périodes d'une durée intolérable; dans l'autre, le protocole "aux accès assurés", les demandes d'arbitrage ne sont faites que si la ligne d'interdiction des demandes d'arbitrage est fausse. Cette ligne est positionnée par l'ATC au démarrage d'un cycle d'arbitrage et n'est remise à zéro que lorsqu'il ne reste plus de demandes d'arbitrage. Ainsi, toutes les demandes d'arbitrage existantes à un instant donné sont satisfaites avant qu'une nouvelle demande puisse être faite. Des MAITRES utilisant les deux protocoles peuvent partager le même SEGMENT puisque les protocoles ne diffèrent que dans les conditions de positionnement de AR.

Sur les 64 codes de priorité possibles, zéro n'est pas utilisé car il peut être facilement confondu avec un bus vide. Les codes 1 à 31 sont disponibles pour être utilisés à l'intérieur d'un SEGMENT, et 32 à 63 sont utilisés pour les priorités "systèmes" qui doivent être attribuées une seule fois parmi tous les éléments interconnectés d'un système. Les priorités locales 1 à 31 doivent être attribuées une seule fois aux DISPOSITIFS à l'intérieur d'un même SEGMENT, mais sont réutilisables dans chacun des SEGMENTS. Lorsqu'une INTERCONNEXION de SEGMENTS connecte un MAITRE à un autre SEGMENT, le niveau utilisé pour l'arbitrage sur le second SEGMENT sera normalement celui du SI plutôt que celui du MAITRE d'origine. Cependant, si l'une des priorités systèmes était utilisée par le MAITRE d'origine, le SI propagerait cette priorité sur le second SEGMENT, ce qu'il est libre de faire puisque les priorités systèmes sont uniques à travers tout le système. Les priorités systèmes peuvent être utiles pour éviter des retards excessifs pour des DIFFUSIONS importantes et peuvent également aider à expédier des messages importants qui pourraient autrement souffrir des fluctuations de priorité dépendant de la formation des routes à travers le système.

Aucune interruption ou élimination de l'opération en cours n'est possible. Un MAITRE est libre de conserver le bus aussi longtemps qu'il le veut. S'il voit AR=1 tandis que AS-AK=1 il sait que d'autres MAITRES dans le système sont bloqués par l'opération courante. Le MAITRE contrôleur devrait normalement relâcher le bus dans un temps raisonnable pour pouvoir permettre aux autres MAITRES d'acquérir la maîtrise du bus. Il devrait permettre soit un cycle d'arbitrage soit qu'il s'écoule un temps aléatoire avant de redemander la maîtrise du bus. La solution générale au problème de concurrence et de blocage du FASTBUS est de laisser aller et de reprendre après un retard aléatoire.

1.2.10 Interruptions

Une interruption est une demande de la part d'un DISPOSITIF vers un processeur pour un service ou pour attirer l'attention. Puisque les interruptions peuvent avoir à traverser les frontières des SEGMENTS, et puisqu'elles doivent transporter de l'information, elles sont exécutées par des opérations normales du FASTBUS.

Le DISPOSITIF interrompant adresse une zone des registres de contrôle sensible aux interruptions dans l'interface du processeur et écrit sa propre adresse et éventuellement d'autres informations dans les registres. Le processeur possède alors toutes les informations nécessaires pour accéder au DISPOSITIF interrompant et le servir ultérieurement.