

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**



Numéro de référence
Reference number
CEI/IEC 61188-5-1:2002

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- Site web de la CEI (www.iec.ch)
- Catalogue des publications de la CEI

Le catalogue en ligne sur le site web de la CEI (www.iec.ch/catlg-f.htm) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- IEC Just Published

Ce résumé des dernières publications parues (www.iec.ch/JP.htm) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- Service clients

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- IEC Web Site (www.iec.ch)
- Catalogue of IEC publications

The on-line catalogue on the IEC web site (www.iec.ch/catlg-e.htm) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- IEC Just Published

This summary of recently issued publications (www.iec.ch/JP.htm) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- Customer Service Centre

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**

© IEC 2002 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

AVANT-PROPOS	10
1 Domaine d'application et objet.....	14
2 Références normatives	14
3 Termes et définitions.....	16
4 Exigences de conception.....	28
4.1 Généralités	28
4.1.1 Classification	30
4.1.2 Détermination des zones de report	30
4.2 Systèmes de dimensionnement	32
4.2.1 Tolérancement des composants	34
4.2.2 Tolérancement des pastilles	42
4.2.3 Réserves de fabrication.....	42
4.2.4 Tolérances d'assemblage.....	42
4.2.5 Analyse des dimensions et des tolérances.....	44
4.3 Possibilité de réalisation des conceptions.....	60
4.3.1 Zone de report pour montage en surface.....	62
4.3.2 Choix des composants standard.....	62
4.3.3 Développement du substrat du circuit.....	62
4.3.4 Considérations d'assemblage.....	62
4.3.5 Prévision des essais automatisés	62
4.3.6 Documentation du montage en surface.....	62
4.4 Contraintes d'environnement.....	62
4.4.1 Composants sensibles à l'humidité	62
4.4.2 Considérations d'environnement dans l'utilisation finale	64
4.5 Règles de conception.....	66
4.5.1 Espacement des composants.....	66
4.5.2 Assemblage des cartes à simple et double face.....	70
4.5.3 Conception du stencil de brasage.....	70
4.5.4 Hauteur de dépassement des composants pour nettoyage.....	70
4.5.5 Repères conventionnels	72
4.5.6 Conducteurs	78
4.5.7 Conseils relatifs aux trous de liaison.....	80
4.5.8 Réserves de fabrication normales.....	84
4.5.9 Mise en flan	88
4.6 Finitions des couches extérieures	94
4.6.1 Finitions des masques de brasage	94
4.6.2 Espacement du masque de brasage.....	94
4.6.3 Finition des zones de report	96
5 Validation de la qualité et de la fiabilité.....	96
5.1 Techniques de validation.....	96
6 Testabilité.....	98
6.1 Les cinq types d'essai	98
6.1.1 Essai de la carte nue.....	98
6.1.2 Essai sur la carte assemblée.....	100

CONTENTS

FOREWORD	11
1 Scope and object	15
2 Normative references	15
3 Terms and definitions	17
4 Design requirements	29
4.1 General	29
4.1.1 Classification	31
4.1.2 Land pattern determination	31
4.2 Dimensioning systems	33
4.2.1 Component tolerancing	35
4.2.2 Land tolerancing	43
4.2.3 Fabrication allowances	43
4.2.4 Assembly tolerancing	43
4.2.5 Dimension and tolerance analysis	45
4.3 Design producibility	61
4.3.1 SMT land pattern	63
4.3.2 Standard component selection	63
4.3.3 Circuit substrate development	63
4.3.4 Assembly considerations	63
4.3.5 Provision for automated test	63
4.3.6 Documentation for SMT	63
4.4 Environmental constraint	63
4.4.1 Moisture sensitive components	63
4.4.2 End-use environment considerations	65
4.5 Design rules	67
4.5.1 Component spacing	67
4.5.2 Single- and double-sided board assembly	71
4.5.3 Solder paste stencil	71
4.5.4 Component stand-off height for cleaning	71
4.5.5 Fiducial marks	73
4.5.6 Conductors	79
4.5.7 Via guidelines	81
4.5.8 Standard fabrication allowances	85
4.5.9 Panelization	89
4.6 Outer layer finishes	95
4.6.1 Solder-mask finishes	95
4.6.2 Solder-mask clearances	95
4.6.3 Land-pattern finishes	97
5 Quality and reliability validation	97
5.1 Validation techniques	97
6 Testability	99
6.1 Five types of testing	99
6.1.1 Bare-board test	99
6.1.2 Assembled board test	101

6.2	Accès aux nœuds	100
6.2.1	Philosophie d'essai	100
6.2.2	Stratégie d'essai pour les cartes nues	102
6.3	Accès total aux nœuds de la carte assemblée	102
6.3.1	Préparation des essais en circuit	104
6.3.2	Essais avec multi-sondes	104
6.4	Accès limité aux nœuds	104
6.5	Aucun accès aux nœuds	106
6.6	Impact des montages d'essai en coquille	106
6.7	Caractéristiques d'essai des cartes imprimées	106
6.7.1	Espacement des zones de report d'essai	106
6.7.2	Taille et forme des pastilles d'essai	106
6.7.3	Paramètres de conception en vue des essais	108
7	Types de structure de cartes imprimées	110
7.1	Considérations générales	114
7.1.1	Catégories	116
7.1.2	Différence de dilatation thermique	116
7.2	Matériaux organiques	116
7.3	Matériaux non organiques	116
7.4	Autres structures de cartes imprimées	116
7.4.1	Structures à plan support	116
7.4.2	Technologie des cartes imprimées à haute densité	116
7.4.3	Interconnexion par fil discret	118
7.4.4	Structures à âme intégrée	118
7.4.5	Structures à âme en métal porcelainisé	118
8	Considérations d'assemblage dans la technologie du montage en surface	118
8.1	Séquence du montage en surface	118
8.2	Préparation des substrats	120
8.2.1	Application d'adhésif	120
8.2.2	Adhésifs conducteurs	122
8.2.3	Application de la pâte de brasure	122
8.2.4	Pièces de brasure préformées	122
8.3	Pose des composants	122
8.3.1	Transfert des données des composants	122
8.4	Processus de brasage	124
8.4.1	Soudage à la vague	124
8.4.2	Brasage en phase vapeur	126
8.4.3	Refusion par infrarouges	128
8.4.4	Convection à l'air chaud	128
8.4.5	Brasage par refusion au laser	128
8.5	Nettoyage	128
8.6	Réparations et reprises	130
8.6.1	Réutilisation des composants enlevés	130
8.6.2	Effets de dissipation thermique	130
8.6.3	Influence du type de matériau des cartes imprimées	132
8.6.4	Influence de la pastille de cuivre et du montage du conducteur	132
8.6.5	Sélection d'équipements adéquats pour les retouches	132
8.6.6	Influence de la structure équipée et des processus de brasage	132

6.2	Nodal access	101
6.2.1	Test philosophy	101
6.2.2	Test strategy for bare boards	103
6.3	Full nodal access for assembled board	103
6.3.1	In-circuit test accommodation	105
6.3.2	Multi-probe testing	105
6.4	Limited nodal access	105
6.5	No nodal access	107
6.6	Clam-shell fixtures impact	107
6.7	Printed board test characteristics	107
6.7.1	Test land pattern spacing	107
6.7.2	Test land size and shape	107
6.7.3	Design for test parameters	109
7	Printed board structure types	111
7.1	General considerations	115
7.1.1	Categories	117
7.1.2	Thermal expansion mismatch	117
7.2	Organic base material	117
7.3	Non-organic base materials	117
7.4	Alternative PB structures	117
7.4.1	Supporting-plane PB structures	117
7.4.2	High-density PB technology	117
7.4.3	Discrete-wire interconnect	119
7.4.4	Constraining core structures	119
7.4.5	Porcelainized metal (metal core) structures	119
8	Assembly considerations for surface-mount technology (SMT)	119
8.1	SMT assembly process sequence	119
8.2	Substrate preparation	121
8.2.1	Adhesive application	121
8.2.2	Conductive adhesive	123
8.2.3	Solder paste application	123
8.2.4	Solder preforms	123
8.3	Component placement	123
8.3.1	Component data transfer	123
8.4	Soldering processes	125
8.4.1	Wave soldering	125
8.4.2	Vapour-phase soldering	127
8.4.3	IR reflow	129
8.4.4	Hot air/gas convection	129
8.4.5	Laser reflow soldering	129
8.5	Cleaning	129
8.6	Repair/rework	131
8.6.1	Re-use of removed components	131
8.6.2	Heatsink effects	131
8.6.3	Dependence on printed board material type	133
8.6.4	Dependence on copper land and conductor layout	133
8.6.5	Selection of suitable rework equipment	133
8.6.6	Dependence on assembly structure and soldering processes	133

Annexe A (informative) Impressions d'essai – Evaluation du processus	134
Annexe B (informative) Abréviations	140
Figure 1 – Exemple de tolérancement par profil	32
Figure 2 – Exemple de dimensionnement du condensateur 3216 pour un cordon de brasure optimal	36
Figure 3 – Dimensionnement par profil d'un SOIC à sorties en aile de mouette	38
Figure 4 – Pas d'un composant à sorties multiples	48
Figure 5 – Condition de zone de délimitation du périmètre	58
Figure 6 – Orientation des composants pour le soudage à la vague	66
Figure 7 – Alignement de composants similaires	68
Figure 8 – Repères de flans et locaux	72
Figure 9 – Repères conventionnels locaux et globaux	74
Figure 10 – Emplacement des repères conventionnels sur une carte imprimée	74
Figure 11 – Zone dégagée autour des repères	76
Figure 12 – Géométries de montage en surface	78
Figure 13 – Trame d'essai de la capacité d'acheminement des conducteurs	80
Figure 14 – Relation entre la zone de report et trous de liaison	82
Figure 15 – Exemples de concepts de positionnement des trous de liaison	82
Figure 16 – Description des conducteurs	86
Figure 17 – Exemples de pastilles modifiées	88
Figure 18 – Flan classique en stratifié cuivre-verre	90
Figure 19 – Jeu entre conducteurs et rainure pour le rainurage en V	90
Figure 20 – Système à rupture (impression à fente guidée)	92
Figure 21 – Fentes guidées	92
Figure 22 – Fenêtre d'un masque de brasage groupé	94
Figure 23 – Fenêtres de masque de brasage à poche	96
Figure 24 – Limites de température des composants	98
Figure 25 – Concept de grille de trous de liaison d'essai	104
Figure 26 – Relation générale entre la taille des contacts de test et les ratés de sonde	108
Figure 27 – Distance entre sonde d'essai et composant	110
Figure 28 – Séquence typique de l'assemblage pour trous traversant et montage en surface	120
Figure 29 – Séquence typique du montage en surface sur une et deux faces	120
Figure A.1 – Description générale de l'impression de validation du processus et de ses interconnexions	134
Figure A.2 – Cliché photographique de la face primaire de la carte d'essai IPC-A-49	136
Tableau 1 – Eléments de l'analyse des tolérances pour les composants à puce	50
Tableau 2 – Sorties pour ruban plat en L et en aile de mouette (pas supérieur à 0,625 mm)	50
Tableau 3 – Sorties pour ruban plat en L et en aile de mouette (pas inférieur ou égal à 0,625 mm)	52
Tableau 4 – Sorties rondes ou aplaties (forgées)	52
Tableau 5 – Sorties en J	52
Tableau 6 – Composants à extrémité rectangulaire ou carrée (condensateurs et résistances céramique)	52
Tableau 7 – Broches à embout cylindrique (MELF)	54
Tableau 8 – Broches à base seule	54

Annex A (informative) Test patterns – Process evaluations	135
Annex B (informative) Abbreviations	141
Figure 1 – Profile tolerancing method.....	33
Figure 2 – Example of 3216 capacitor dimensioning for optimum solder fillet condition	37
Figure 3 – Profile dimensioning of gull-wing leaded SOIC.....	39
Figure 4 – Pitch for multiple leaded component.....	49
Figure 5 – Courtyard boundary area condition	59
Figure 6 – Component orientation for wave-solder applications	67
Figure 7 – Alignment of similar components	69
Figure 8 – Panel/local fiducials	73
Figure 9 – Local and global fiducials	75
Figure 10 – Fiducial locations on a printed board	75
Figure 11 – Fiducial clearance requirements	77
Figure 12 – Surface mounting geometries	79
Figure 13 – Conductor routing capability test pattern.....	81
Figure 14 – Land-pattern-to-via relationship	83
Figure 15 – Examples of via positioning concepts	83
Figure 16 – Conductor description	87
Figure 17 – Examples of modified landscapes	89
Figure 18 – Typical copper glass laminate panel	91
Figure 19 – Conductor clearance for V-groove scoring.....	91
Figure 20 – Breakaway (routed pattern) with routed slots.....	93
Figure 21 – Routed slots.....	93
Figure 22 – Gang solder mask window.....	95
Figure 23 – Pocket solder mask window	97
Figure 24 – Component temperature limits.....	99
Figure 25 – Test via grid concepts	105
Figure 26 – General relationship between test contact size and test probe misses.....	109
Figure 27 – Test probe feature distance from component.....	111
Figure 28 – Typical process flow for through-hole/surface-mount assembly.....	121
Figure 29 – Typical process flow for full surface-mount type 1b and 2b surface-mount technology.....	121
Figure A.1 – General description of process validation contact pattern and interconnect.....	135
Figure A.2 – Photomage of IPC-A-49 test board for primary side	137
Table 1 – Tolerance analysis elements for chip devices	51
Table 2 – Flat ribbon L and gull-wing leads (greater than 0,625 mm pitch).....	51
Table 3 – Flat ribbon L and gull-wing leads (less than or equal to 0,625 mm pitch)	53
Table 4 – Round or flattened (coined) leads	53
Table 5 – J leads	53
Table 6 – Rectangular or square-end components (ceramic capacitors and resistors)	53
Table 7 – Cylindrical end cap terminations (MELF).....	55
Table 8 – Bottom only terminations	55

Tableau 9 – Porte-puce sans sorties à broches crénelées	54
Tableau 10 – Joints bout-à-bout	54
Tableau 11 – Sorties pour ruban plat en L et en aile de mouette intérieures (condensateurs au tantale)	56
Tableau 12 – Sorties à téton plat	56
Tableau 13 – Environnements d'utilisation les plus défavorables pour les appareils électroniques à montage en surface, et essais accélérés recommandés pour les composants brasés en surface employés dans la plupart des catégories d'utilisation.....	64
Tableau 14 – Tolérances de largeur des conducteurs	86
Tableau 15 – Précision de positionnement des éléments	86
Tableau 16 – Comparaison des structures des cartes imprimées	110
Tableau 17 – Critères de choix des structures des cartes imprimées.....	114
Tableau 18 – Propriétés des matériaux des structures des cartes imprimées	114

Withdrawn

Table 9 – Leadless chip carrier with castellated terminations	55
Table 10 – Butt joints.....	55
Table 11 – Inward flat ribbon L and gull-wing leads (tantalum capacitors).....	57
Table 12 – Flat lug leads	57
Table 13 – Worst-case use environments for surface-mounted electronics and recommended accelerated testing for surface-mount solder attachments by most common use categories.....	65
Table 14 – Conductor width tolerances	87
Table 15 – Feature location accuracy.....	87
Table 16 – Printed board structure comparison	111
Table 17 – PB structure selection considerations	115
Table 18 – PB structure material properties	115

Withdrawn

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61188-5-1 a été établie par le comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/292/FDIS	91/318/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les directives ISO/CEI, Partie 3.

Les annexes A et B sont données uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –
DESIGN AND USE –****Part 5-1: Attachment (land/joint) considerations –
Generic requirements**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-5-1 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/292/FDIS	91/318/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 3.

Annexes A and B are for information only.

La CEI 61188-5 comporte les parties suivantes sous le titre général *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 5: Considérations sur les liaisons pistes-soudures*:

CEI 61188-5-1, Prescriptions génériques

CEI 61188-5-2, Composants discrets

CEI 61188-5-3, Composants à pattes bilatérales en aile de mouette

CEI 61188-5-4, Composants à pattes «J» bilatérales

CEI 61188-5-5, Composants à pattes quadrilatérales en aile de mouette

CEI 61188-5-6, Composants à pattes «J» quadrilatérales

CEI 61188-5-7, Composants (DIP) à broches bilatérales

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2004. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

Withdrawn

IEC 61188-5 consists of the following parts, under the general title *Printed boards and printed board assemblies – Design and use – Part 5: Attachment (land/joint) considerations*:

- IEC 61188-5-1, Generic requirements
- IEC 61188-5-2, Discrete components
- IEC 61188-5-3, Components with gull-wing leads, on two sides
- IEC 61188-5-4, Components with J leads, on two sides
- IEC 61188-5-5, Components with gull-wing leads, on four sides
- IEC 61188-5-6, Components with J leads, on four sides
- IEC 61188-5-7, Components with post (DIP) leads, on two sides

The committee has decided that the contents of this publication will remain unchanged until 2004. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

Withdrawn

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques

1 Domaine d'application et objet

La présente partie de la CEI 61188 donne des informations sur les géométries des zones de report utilisées pour la fixation en surface des composants électroniques. Son intention est d'indiquer la taille, la forme et la tolérance appropriées des zones de report de montage en surface afin de garantir une surface suffisante pour le filet de soudure et de permettre également les inspections, les essais et les reprises de ces soudures.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60097, *Systèmes de grille pour circuits imprimés*

CEI 60194, *Conception, fabrication et assemblage des cartes imprimées – Termes et définitions* (disponible en anglais seulement)

CEI 61188-1-1, *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 1-1: Prescriptions génériques – Considérations concernant la planéité d'ensembles électroniques*

CEI 61191-1, *Ensembles de cartes imprimées – Partie 1: Spécification générique – Exigences relatives aux ensembles électriques et électroniques brasés utilisant les techniques de montage en surface et associées*

CEI 61191-2, *Ensembles de cartes imprimées – Partie 2: Spécification intermédiaire – Exigences relatives à l'assemblage par brasage pour montage en surface*

CEI 61192-1, *Assemblages électroniques brasés – Partie 1: Exigences relatives à la qualité d'exécution – Généralités*¹⁾

CEI 61192-2, *Assemblages électroniques brasés – Partie 2: Exigences relatives à la qualité d'exécution – Montage en surface*¹⁾

CEI 61760-1, *Technique du montage en surface – Partie 1: Méthode de normalisation pour la spécification des composants montés en surface (CMS)*

CEI 62326 (toutes les parties), *Cartes imprimées*

¹⁾ A publier.

PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

Part 5-1: Attachment (land/joint) considerations – Generic requirements

1 Scope and object

This part of IEC 61188 provides information on land pattern geometries used for the surface attachment of electronic components. The intent of the information presented herein is to provide the appropriate size, shape and tolerance of surface-mount land patterns to insure sufficient area for the appropriate solder fillet, and also to allow for inspection, testing, and rework of those solder joints.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60097, *Grid systems for printed circuits*

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 61188-1-1, *Printed boards and printed board assemblies – Design and use – Part 1-1: Generic requirements – Flatness considerations for electronic assemblies*

IEC 61191-1, *Printed board assemblies – Part 1: Generic specification – Requirements for soldered electrical and electronic assemblies using surface mount and related assembly technologies*

IEC 61191-2, *Printed board assemblies – Part 2: Sectional specification – Requirements for surface mount soldered assemblies*

IEC 61192-1, *Soldered electronic assemblies – Part 1: Workmanship requirements – General* ¹⁾

IEC 61192-2, *Soldered electronic assemblies – Part 2: Workmanship requirements – Surface mounted assemblies* ¹⁾

IEC 61760-1, *Surface mounting technology – Part 1: Standard method for the specification of surface mounting components (SMDs)*

IEC 62326 (all parts), *Printed boards*

¹⁾ To be published.

3 Termes et définitions

Pour les besoins de la présente partie de la CEI 61188, les termes et définitions donnés en anglais seulement dans la CEI 60194¹⁾ et les suivantes s'appliquent.

3.1

ensemble

montage comprenant plusieurs pièces, sous-ensembles ou combinaisons de pièces

3.2

ensemble, double face

structure regroupant et reliant entre eux des composants montés sur les faces primaire et secondaire

3.3

ensemble, circuit imprimé multicouche (câblage)

circuit imprimé multicouche ou carte imprimée de câblage sur laquelle ont été ajoutés des composants et des pièces fabriqués séparément

3.4

ensemble, regroupement et interconnexion

terme générique désignant un ensemble possédant des composants électroniques montés soit sur l'une, soit sur les deux faces d'une structure de regroupement et d'interconnexion

3.5

ensemble, carte imprimée

assemblage de plusieurs ensembles de circuits imprimés ou ensembles de câblage imprimés, ou des deux

3.6

ensemble, circuit imprimé (câblage)

circuit imprimé ou carte imprimée de câblage sur laquelle ont été ajoutés des composants et des pièces fabriqués séparément

3.7

ensemble, simple face

structure de regroupement et d'interconnexion possédant des composants montés sur la seule face primaire

3.8

matériau de base

matériau isolant sur lequel peut être réalisée une impression conductrice (il peut être rigide ou souple ou les deux. Il peut s'agir d'une feuille diélectrique ou de métal isolé)

3.9

dimension de base

valeur numérique servant à décrire l'emplacement exact théorique d'un élément ou d'un trou (base sur laquelle sont établies les variations admissibles au moyen de tolérances sur d'autres dimensions figurant dans les notes ou de symboles de contrôle d'élément)

¹⁾ Certaines définitions de la CEI 60194 ont été traduites en français.

3 Terms and definitions

For the purposes of this part of IEC 61188, the terms and definitions given in English only in IEC 60194¹⁾ and the following apply.

3.1

assembly

number of parts, subassemblies or combinations thereof joined together

[IEC 60194]

3.2

assembly, double-sided

packaging and interconnecting structure with components mounted on both the primary and secondary sides

3.3

assembly, multilayer printed circuit (wiring)

multilayer printed circuit or printed wiring board on which separately manufactured components and parts have been added

3.4

assembly, packaging and interconnecting (P&IA)

generic term for an assembly that has electronic components mounted on either one or both sides of a packaging and interconnecting structure

3.5

assembly, printed board

assembly of several printed circuit assemblies or printed wiring assemblies, or both

3.6

assembly, printed circuit (wiring)

printed circuit or printed wiring board on which separately manufactured components and parts have been added

3.7

assembly, single-sided

packaging and interconnecting structure with components mounted only on the primary side

3.8

base material

insulating material upon which a conductive pattern may be formed (the base material may be rigid or flexible, or both. It may be a dielectric or insulated metal sheet)

[IEC 60194]

3.9

basic dimension

numerical value used to describe the theoretical exact location of a feature or hole (it is the basis from which permissible variations are established by tolerance on other dimensions in notes or by feature-control symbols)

[IEC 60194]

¹⁾ Certain definitions of IEC 60194 have been translated into French.

3.10

trou borgne

trou de liaison ne débouchant que sur une face de la carte imprimée

3.11

trou enterré

trou de liaison n'atteignant pas la surface de la carte imprimée

3.12

crénelage

indentation métallisée située à l'extrémité d'un porte-puce sans sorties, et servant à relier des surfaces ou des plans conducteurs à l'intérieur du porte-puce ou dessus

3.13

porte-puce

boîtier plat de semi-conducteur, de forme généralement carrée, à composants montés en surface, dont le logement ou la surface de montage de la puce représente une part importante de la taille du boîtier et dont les connexions externes sont généralement placées sur les quatre côtés du boîtier (il peut être avec ou sans sorties)

3.14

puce sur carte (COB) ou pastillage

technologie d'assemblage sur carte imprimée consistant à placer des puces de semi-conducteur sans boîtier et à les relier par fils ou autres techniques de fixation similaires. La densité du silicium en surface est généralement inférieure à celle de la carte imprimée

3.15

coefficient de dilatation thermique (CDT)

changement de dimension linéaire d'un matériau par unité de température (voir aussi «différence de dilatation thermique»)

3.16

composant

pièce individuelle ou combinaison de pièces assurant, une fois réunies, la ou les fonctions nominales (voir aussi «composant discret»)

3.17

site de montage des composants

emplacement d'une structure P&I constitué d'une zone de report et d'un réseau conducteur divergent menant à d'autres pastilles pour les essais, ou à des trous de liaison associés au montage d'un composant unique

3.18

impression conductrice

configuration ou forme du matériau conducteur sur un matériau de base. (Comprend les conducteurs, les pastilles, les trous de liaison, les dissipateurs thermiques et les composants passifs lorsque ces éléments forment partie intégrante du processus de fabrication de la carte imprimée)

3.10**blind via**

via extending only to one surface of a printed board

[IEC 60194]

3.11**buried via**

via that does not extend to the surface of a printed board

[IEC 60194]

3.12**castellation**

recessed metallized feature on the edge of a leadless chip carrier that is used to interconnect conducting surfaces or planes within or on the chip carrier

[IEC 60194]

3.13**chip carrier**

low-profile, usually square, surface-mount component semiconductor package whose die cavity or die mounting area is a large fraction of the package size and whose external connections are usually on all four sides of the package (it may be leaded or leadless)

[IEC 60194]

3.14**chip-on-board (COB)**

printed board assembly technology that places unpackaged semiconductor dice and interconnects them by wire bonding or similar attachment techniques. Silicon area density is usually less than of the printed board

[IEC 60194 modified]

3.15**coefficient of thermal expansion (CTE)**

linear dimensional change of a material per unit change in temperature (see also "thermal expansion mismatch")

[IEC 60194]

3.16**component**

individual part or combination of parts that, when together, perform a design function(s) (see also "discrete component" in IEC 60194)

[IEC 60194]

3.17**component mounting site**

location on a P&I structure that consists of a land pattern and conductor fan-out to additional lands for testing or vias that are associated with the mounting of a single component

3.18**conductive pattern**

configuration or design of the conductive material on a base material (this includes conductors, lands, vias, heatsinks and passive components when these are an integral part of the printed board manufacturing process)

[IEC 60194]

3.19

conducteur

chemin conducteur unique d'une impression conductrice

3.20

âme intégrée

plan support interne à une structure d'assemblage et d'interconnexion

3.21

périmètre

plus petite zone rectangulaire qui permet d'obtenir un espace électrique et mécanique minimal (excès de périmètre) autour de l'ensemble des corps des composants et des limites des zones de report

3.22

excès de périmètre

zone entre le rectangle entourant la zone de report et le composant, et la limite extérieure du périmètre. L'excès de périmètre peut être différent dans les axes x et y

3.23

périmètre de zone de fabrication

zone plus une réserve, respectant les exigences de fabrication, garantissant

- un montage sans défaut d'un appareillage de montage en surface;
- un fonctionnement correct du circuit, par exemple une fonction qui n'est pas affectée par des distances trop faibles entre des composants limitrophes;
- l'inspection de la fonction électrique et des joints de brasage et, si nécessaire, des retouches et des réparations

3.24

boîtier à deux rangées de broches (DIP)

boîtier à composant rectangulaire comportant, sur chacun des côtés longitudinaux du corps, une rangée de sorties formées perpendiculairement à un plan parallèle à la base du corps

3.25

technologie à pas fin (FPT)

technologie de montage en surface dans laquelle l'entre-axes des sorties des composants est inférieur à 0,625 mm (0,025 in)

3.26

convention de référence

caractéristique d'une carte imprimée servant à fournir des points mesurables communs à toutes les étapes du processus d'assemblage

3.27

boîtier plat

boîtier à composant rectangulaire comportant, sur chacun des côtés longitudinaux du corps, une rangée de sorties parallèles à la base du corps

3.19**conductor**

single conductive path in a conductive pattern

[IEC 60194]

3.20**constraining core**

supporting plane that is internal to a packaging and interconnecting structure

[IEC 60194]

3.21**courtyard**

smallest rectangular area that provides a minimum electrical and mechanical clearance (courtyard excess) around the combined component body and land pattern boundaries

3.22**courtyard excess**

area between the rectangle circumscribing the land pattern and the component, and the outer boundary of the courtyard. The courtyard excess may be different in the x and y direction

3.23**courtyard manufacturing zone**

courtyard area plus an allowance, as determined by manufacturing requirements, that will ensure

- a defect-free mounting of a surface-mounting device;
- a proper operation of the circuit, i.e. a function not impaired by too small distances of adjacent components;
- the inspection of the electrical function and of solder joints and, if required, rework and repair

3.24**dual in-line package (DIP)**

rectangular component package that has a row of leads extending from each of the longer sides of its body that are formed at right angles to a plane that is parallel to the base of its body

[IEC 60194]

3.25**fine-pitch technology (FPT)**

surface-mount assembly technology with component terminations on less than 0,625 mm (0,025 in) centres

[IEC 60194]

3.26**fiducial mark**

datum features of the PB used to provide common measurable points for assembly and inspection processes that require positional accuracy

3.27**flat pack**

rectangular component package that has a row of leads extending from each of the longer sides of its body that are parallel to the base of its body

[IEC 60194]

3.28

empreinte

(voir le terme préférable «zone de report»)

3.29

grille

réseau orthogonal formé de deux séries de lignes parallèles équidistantes, et servant à positionner des points sur une carte imprimée

3.30

circuit intégré (IC)

combinaison d'éléments de circuit associés et inséparables, formés en place et interconnectés dans ou sur un même matériau de base pour assurer une fonction de microcircuit

3.31

fil de liaison

connexion électrique discrète faisant partie du dessin original et servant de pont entre différentes parties de l'impression conductrice de base formée sur une carte imprimée (voir également «câble touffu»)

3.32

pastille

partie d'une impression conductrice servant généralement, mais pas exclusivement, à la connexion ou à la fixation de composants

3.33

zone de report

combinaison de pastilles servant à monter, à interconnecter et à tester un composant particulier

3.34

porte-puce sans sorties

porte-puce dont les connexions externes sont constituées de terminaisons métallisées faisant partie intégrante du corps du composant (voir aussi «porte-puce à sorties»)

3.35

porte-puce à sorties

porte-puce dont les connexions externes sont constituées de sorties disposées autour du boîtier du composant et dessous (voir aussi «porte-puce sans sorties»)

3.36

dessin modèle

document montrant les limites dimensionnelles ou les positions de grille applicables à l'une des pièces d'une carte imprimée (rigide ou souple), y compris la disposition des impressions ou éléments conducteurs ou non conducteurs, la taille, le type et la position des trous, ou toute autre information nécessaire pour décrire le produit à fabriquer

3.28**footprint**

(see preferred term "land pattern")

[IEC 60194]

3.29**grid**

orthogonal network of two sets of parallel equidistant lines that is used for locating points on a printed board

[IEC 60194]

3.30**integrated circuit (IC)**

combination of inseparable associated circuit elements that are formed in place and interconnected on or within a single base material to perform a microcircuit function

[IEC 60194]

3.31**jumper wire**

discrete electrical connection that is part of the original design and is used to bridge portions of the basic conductive pattern formed on a printed board (see also "haywire")

[IEC 60194]

3.32**land**

portion of a conductive pattern usually, but not exclusively, used for the connection and/or attachment of components

[IEC 60194]

3.33**land pattern**

combination of lands that is used for the mounting, interconnection and testing of a particular component

[IEC 60194]

3.34**leadless chip carrier**

chip carrier whose external connections consist of metallized terminations that are an integral part of the component body (see also "leaded chip carrier")

[IEC 60194]

3.35**leaded chip carrier**

chip carrier whose external connections consist of leads that are around and down the side of the package (see also "leadless chip carrier")

3.36**master drawing**

document that shows the dimensional limits or grid locations that are applicable to any and all parts of a product to be fabricated, including the arrangement of conductors and non-conductive patterns or elements; the size, type, and location of holes; and all other necessary information

[IEC 60194]

3.37

technologie du montage mixte

technologie de montage des composants mettant en œuvre à la fois le montage en trous et en surface sur la même structure d'assemblage et d'interconnexion

3.38

module

élément séparable d'un système d'assemblage

3.39

dimension nominale

dimension se situant entre les tailles maximale et minimale d'une caractéristique (les tolérances applicables à une dimension nominale déterminent les limites de variation de taille de la caractéristique)

3.40

structure d'assemblage et d'interconnexion

terme général désignant une combinaison entièrement traitée de matériaux de base, de plans support et d'âmes intégrées, et le câblage d'interconnexion assurant le montage et les liaisons entre les composants

3.41

trou métallisé

trou aux parois métallisées créant une connexion électrique entre les impressions conductrices internes, externes, ou les deux, d'une carte imprimée

3.42

face primaire

face d'une structure d'assemblage et d'interconnexion définie comme telle sur le dessin modèle (il s'agit généralement de la face contenant les composants les plus complexes ou les plus nombreux)

3.43

carte imprimée

terme général désignant les configurations de circuits et de câblages imprimés entièrement terminés (il regroupe les cartes simple face, double face et multicouche sur matériau de base rigide, souple, et flexorigide)

3.44

câblage imprimé

impression conductrice assurant des connexions point à point, mais ne formant pas de composants imprimés selon un agencement prédéterminé sur une base commune (voir aussi «circuit imprimé»)

3.45

concordance

degré de conformité de la position d'une impression (ou d'une de ses parties), d'un trou, ou d'une autre caractéristique par rapport à sa position prévue sur le produit

3.37**mixed mounting technology**

component mounting technology that uses both through-hole and surface-mounting technologies on the same packaging and interconnecting structure

3.38**module**

separable unit in a packaging scheme

[IEC 60194]

3.39**nominal dimension**

dimension that is between the maximum and minimum size of a feature (the tolerance on a nominal dimension gives the limits of variation of a feature size)

3.40**packaging and interconnection structure (P&IS)**

general term for a completely processed combination of base materials, supporting planes or constraining cores, and interconnection wiring that are used for the purpose of mounting and interconnecting components

[IEC 60194]

3.41**plated-through hole (PTH)**

hole with plating on its walls that makes an electrical connection between conductive patterns on internal layers, external layers, or both, of a printed board

[IEC 60194]

3.42**primary side**

side of a packaging and interconnecting structure that is so defined on the master drawing (it is usually the side that contains the most complex or the highest number of components)

[IEC 60194]

3.43**printed board (PB)**

general term for completely processed printed circuit and printed wiring configurations (this includes single-sided, double-sided and multilayer boards with rigid, flexible, and rigid-flex base materials)

[IEC 60194]

3.44**printed wiring**

conductive pattern that provides point-to-point connections but not printed components in a predetermined arrangement on a common base (see also "printed circuit")

[IEC 60194]

3.45**registration**

degree of conformity of the position of a pattern (or portion thereof), a hole, or other feature to its intended position on a product

[IEC 60194]

3.46

face secondaire

face de la structure d'assemblage et d'interconnexion opposée à la face primaire (équivalent à la «face brasée» de la technologie de montage en trous)

3.47

boîtier à une rangée de broches (SIP)

boîtier à composant à une seule rangée de sorties à broches ou à fils

3.48

charge statique

charge électrique accumulée à la surface d'un matériau

3.49

contrôle de l'électricité statique

technique mettant en œuvre des matériaux et des systèmes en vue d'éliminer ou de décharger l'électricité statique accumulée grâce à des chemins d'évacuation

3.50

trou renforcé

trou d'une carte imprimée dont les surfaces intérieures sont renforcées par métallisation ou par un autre procédé

3.51

plan renforcé

structure plane faisant partie d'une structure d'assemblage et d'interconnexion et assurant un soutien mécanique, une résistance aux contraintes thermomécaniques, une conduction thermique ou certaines caractéristiques électriques (il peut être interne ou externe à la structure d'assemblage et d'interconnexion) (voir aussi «âme intégrée»)

3.52

technologie du montage en surface

technologie dans laquelle la connexion électrique des composants se fait à la surface de l'impression conductrice d'une carte imprimée et non pas par des trous de liaison

3.53

trou masqué

trou de liaison borgne ou débouchant dont la surface exposée est entièrement recouverte, sur les deux faces, primaire et secondaire, de la structure d'assemblage et d'interconnexion, par un matériau de masquage, constitué par exemple d'un film polymère sec (masque de brasage), d'un tissu de verre préimprégné, etc., en vue de le protéger des solutions de traitement, de la soudure ou de la contamination

3.54

différence de dilatation thermique

différence absolue entre la dilatation thermique de deux composants ou matériaux (voir aussi «coefficient de dilatation thermique (CDT)»)

3.55

connexion traversante

connexion électrique entre les impressions conductrices des différentes couches d'une carte imprimée multicouche à base isolante, par exemple connexion inter-couches par trou métallisé ou fil de liaison serti

3.46**secondary side**

side of a packaging and interconnecting structure that is opposite the primary side (it is the same as the "solder side" on through-hole mounting technology)
[IEC 60194]

3.47**single in-line package (SIP)**

component package with one straight row of pins or wire leads
[IEC 60194]

3.48**static charge**

electrical charge that has accumulated or built up on the surface of a material

3.49**static electricity control**

technique where materials and systems are employed to eliminate/discharge static electricity build-up by providing continuous discharge paths

3.50**supported hole**

hole in a printed board that has its inside surfaces plated or otherwise reinforced
[IEC 60194]

3.51**supporting plane**

planar structure that is a part of a packaging and interconnecting structure in order to provide mechanical support, thermo-mechanical constraint, thermal conduction and/or electrical characteristics (it may be either internal or external to the packaging and interconnecting structure) (see also "constraining core")
[IEC 60194]

3.52**surface-mount technology (SMT)**

technology where electrical connection of components is made to the surface of a conductive pattern of a printed board and does not utilize component lead holes

3.53**tented via**

blind or through-hole via that has the exposed surface of the primary or secondary or both sides of a packaging and interconnecting structure fully covered by a masking material, such as a dry film polymer coating (solder mask), preimpregnated glass cloth (prepreg), etc., in order to prevent hole access by process solutions, solder, or contamination

3.54**thermal expansion mismatch**

absolute difference between the thermal expansion of two components or materials (see also "coefficient of thermal expansion (CTE)")
[IEC 60194]

3.55**through connection**

electrical connection between conductive patterns in different layers of a multilayer printed board, for example, a plated-through hole
[IEC 60194]

3.56

technologie à trous traversants

processus de montage des boîtiers de composants dans lequel les sorties passent par des trous traversants renforcés (métallisés) ou non renforcés (nus) percés dans le substrat d'interconnexion

3.57

élément d'outillage

élément physique servant exclusivement à positionner une carte imprimée ou un flan au cours de la fabrication, de l'assemblage ou des essais

3.58

trou de liaison

trou métallisé servant à la connexion entre couches, mais ne recevant ni sortie de composant ni matériau de renfort (voir aussi «trou borgne» et «trou enterré»)

4 Exigences de conception

4.1 Généralités

Bien que leur géométrie diffère dans de nombreux cas en fonction du type de brasure employé pour fixer la pièce électronique, les zones de report sont, chaque fois que possible, définies de façon à ne pas dépendre du processus de fixation employé. Les concepteurs pourront utiliser les informations présentées dans la présente norme pour établir des configurations normalisées, non seulement pour les concepts développés manuellement, mais aussi dans les systèmes de conception assistée par ordinateur. Que les composants soient montés sur une face de la carte ou sur les deux, qu'ils soient soudés à la vague, par refusion ou par une autre méthode, il est recommandé d'optimiser les dimensions des zones de report et des pièces afin d'obtenir une soudure satisfaisante et de répondre aux critères d'inspection.

Quoique les impressions soient définies dimensionnellement et étant donné qu'elles font partie de la géométrie des circuits de la carte, elles sont assujetties aux contraintes de réalisation et aux tolérances associées à la métallisation, à la gravure, à l'assemblage, et autres conditions. Les aspects de réalisation concernent également l'emploi de masques de soudure et la concordance nécessaire entre le masque de soudure et les impressions conductrices.

NOTE 1 Les dimensions utilisées dans la description des composants proviennent de normes développées par des organismes industriels et/ou de normalisation. Il convient que les concepteurs se réfèrent à ces normes pour des dimensions supplémentaires ou particulières des boîtiers de composants.

NOTE 2 Pour une description détaillée d'une carte imprimée et pour réaliser les meilleurs joints de brasage possible pour des dispositifs assemblés, l'ensemble des éléments de conception inclut, en plus de la définition des zones de report:

- masque de brasage;
- stencil de pâte à souder;
- espaces entre les composants limitrophes;
- espace entre le bas des composants et la surface du PCB, si nécessaire;
- zones d'accès interdit, si nécessaire;
- règles pour les applications d'adhésif.

L'ensemble des éléments de conception est communément défini comme conditions de montage. La présente norme définit les zones de report et inclut les recommandations pour les espaces entre les composants limitrophes et pour d'autres éléments de conception.

NOTE 3 Les zones de report et les autres éléments des conditions de montage, en particulier le périmètre, présents dans cette norme concernent le processus de brasage par fusion. Les mises au point pour les processus de soudage à la vague et les autres processus de brasage, si applicable, doivent être réalisées par les utilisateurs. Ceci peut aussi s'appliquer lorsque des alliages de brasage autres que ceux du type eutectique étain plomb sont utilisés.

NOTE 4 Cette norme suppose que les zones de report suivent le principe selon lequel, même dans le pire des cas, le chevauchement de la terminaison du composant et de la pastille de brasage correspondante sera complet.

NOTE 5 Les aspects de dissipation thermique n'ont pas été pris en compte dans cette norme.

NOTE 6 Les composants lourds (masse assez importante par pastille) nécessitent des pastilles larges. Dans certains cas, les pastilles décrites dans la norme peuvent ne pas être assez larges. Alors des mesures additionnelles peuvent être nécessaires.

3.56**through-hole technology (THT)**

assembly process for mounting component packages where leads are passed through supported (plated-through) or unsupported (bare) holes in an interconnection substrate

3.57**tooling feature**

physical feature that is used exclusively to position a printed board or panel during a fabrication, assembly or testing process (see also "locating edge", "locating edge marker", "locating notch", "locating slot", and "tooling hole")

[IEC 60194]

3.58**via**

plated-through hole that is used as an interlayer connection, but in which there is no intention to insert a component lead or other reinforcing material (see also "blind via" and "buried via")

[IEC 60194]

4 Design requirements**4.1 General**

Although, in many instances, the land pattern geometries can be different based on the type of soldering used to attach the electronic part, wherever possible land patterns are defined in such a manner that they are transparent to the attachment process being used. Designers can use the information contained herein to establish standard configurations not only for manual designs but also for computer-aided design systems. Whether parts are mounted on one or both sides of the board, subjected to wave, reflow, or other type of soldering, the land pattern and part dimensions should be optimized to insure proper solder joint and inspection criteria.

Although patterns are dimensionally defined and since they are a part of the printed board circuitry geometry, they are subject to the producibility levels and tolerances associated with plating, etching, assembly or other conditions. The producibility aspects also pertain to the use of solder mask and the registration required between the solder mask and the conductor patterns.

NOTE 1 The dimensions used for component descriptions have been extracted from standards developed by industrial and/or standards bodies. Designers should refer to these standards for additional or specific component package dimensions.

NOTE 2 For a comprehensive description of the given printed board and for achieving the best possible solder joints to the devices assembled, the whole set of design elements includes, beside the land pattern definition:

- solder mask;
- solder paste stencil;
- clearance between adjacent components;
- clearance between bottom of component and PCB surface, if relevant;
- keep-out areas, if relevant;
- suitable rules for adhesive applications.

The whole of design elements is commonly defined as mounting conditions. This standard defines land patterns and includes recommendations for clearances between adjacent components and for other design elements.

NOTE 3 The land patterns and other elements of the mounting conditions, particularly the courtyard, given in this standard are related to the reflow soldering process. Adjustments for wave or other soldering processes, if applicable, have to be carried out by the user. This may also be relevant when solder alloys other than eutectic tin lead solders are used.

NOTE 4 This standard assumes that the land pattern follows the principle that even under worst-case conditions, the overlap of the component termination and the corresponding soldering land will be complete.

NOTE 5 Heat dissipation aspects have not been taken into account in this standard.

NOTE 6 Heavier components (greater mass per land) require larger lands. In some cases, the lands shown in the standard may not be large enough; in these cases, consideration of additional measures may be necessary.

NOTE 7 Les pastilles peuvent être de forme rectangulaire avec des angles droits ou arrondis. Dans ce dernier cas, il convient que la surface du plus petit rectangle circonscrit soit égale à celle avec les angles droits.

NOTE 8 Les zones de report pour alliages de brasage sans plomb peuvent nécessiter des modifications afin d'optimiser le processus d'assemblage et la qualité des joints de brasage.

4.1.1 Classification

La norme sur les prescriptions de brasage (CEI 61191-1) reconnaît que les ensembles électriques et électroniques font l'objet de classifications déterminées par l'utilisation de l'objet final. Trois types d'objets finaux ont été établis afin de refléter les différences de réalisation, de prescriptions de performances fonctionnelles et de fréquence de vérification (inspection/essai). Il convient de reconnaître qu'il peut y avoir chevauchement entre deux types d'équipements.

Il appartient à l'utilisateur des ensembles de déterminer la famille de type à laquelle appartient le produit. Le contrat doit préciser le type requis et indiquer les éventuelles exceptions ou prescriptions supplémentaires concernant les paramètres.

TYPE A: produits électroniques généraux

Comprennent les produits de grande consommation, certains ordinateurs et périphériques informatiques, et les matériels destinés aux applications dans lesquelles la principale exigence est la fonction de l'ensemble complet.

TYPE B: produits électroniques à fonction particulière

Comprennent les matériels de communication, les machines professionnelles perfectionnées et les instruments pour lesquels sont exigées de hautes performances et une longue durée de vie et dont un fonctionnement ininterrompu est souhaité, sans être obligatoire. L'environnement de l'utilisation finale ne doit normalement pas être à l'origine de pannes.

TYPE C: produits électroniques à hautes performances

Comprennent tous les équipements pour lesquels un fonctionnement continu ou à la demande est obligatoire. Aucun temps d'arrêt ne peut être toléré, l'environnement d'utilisation peut être anormalement agressif, et l'équipement doit fonctionner lorsque cela est nécessaire. Les systèmes de sauvetage et autres systèmes critiques en font partie.

4.1.2 Détermination des zones de report

La présente norme expose deux façons de fournir des informations sur les zones de report.

- 1) Détails exacts reposant sur les spécifications en vigueur dans l'industrie pour les composants, les possibilités de fabrication des cartes et la précision de positionnement des composants. Ces zones de report sont limitées à un composant spécifique, et reçoivent un numéro d'identification.
- 2) Equations pouvant modifier les informations fournies afin d'obtenir une liaison soudée plus robuste lors de l'utilisation dans des situations particulières où les équipements de positionnement ou de fixation ont une précision supérieure ou inférieure à celle supposée lors de la détermination des détails de la zone de report (voir 4.1.2).

Trois variations de la géométrie des zones de report sont données pour chacune des familles de produit: dépassement de pastille maximal (niveau 1), moyen (niveau 2) et minimal (niveau 3).

Avant d'adopter la variation de zone de report minimale, il convient que l'utilisateur envisage de soumettre le produit à des essais de qualification reposant sur les conditions indiquées dans le tableau 14.

NOTE 7 The land form may be rectangular with straight or rounded corners. In the latter case, the area of the smallest circumscribed rectangle shall be equal to that of one with straight corners.

NOTE 8 Land patterns for lead-free solder alloys may need modifications for optimizing the assembly processes and the reliability of the solder joint.

4.1.1 Classification

The IEC standard on soldering requirements (IEC 61191-1) recognizes that electrical and electronic assemblies are subject to classifications by intended end-item use. Three general end-product types have been established to reflect differences in producibility, functional performance requirements, and verification (inspection/test) frequency. It should be recognized that there may be overlaps of equipment between types.

The user of the assemblies is responsible for determining the type family to which the product belongs. The contract shall specify the type required and indicate any exceptions or additional requirements to the parameters, where appropriate.

LEVEL A: General electronic products

Includes consumer products, some computer and computer peripherals, and hardware suitable for applications where the major requirement is function of the completed assembly.

LEVEL B: Dedicated service electronic products

Includes communications equipment, sophisticated business machines, and instruments where high performance and extended life is required, and for which uninterrupted service is desired but not mandatory. Typically the end-use environment would not cause failures.

LEVEL C: High-performance electronic products

Includes all equipment where continued performance or performance-on-demand is mandatory. Equipment downtime cannot be tolerated, end-use environment may be uncommonly harsh, and the equipment shall function when required, such as life support systems and other critical systems.

4.1.2 Land pattern determination

This standard discusses two methods of providing information on land patterns.

- 1) Exact details based on industry component specifications, board manufacturing and component placement accuracy capabilities. These land patterns are restricted to a specific component, and have an identifying land pattern number.
- 2) Equations can be used to alter the given information to achieve a more robust solder connection, when used in particular situations where the equipment for placement or attachment are more or less precise than the assumptions made when determining the land pattern details (see 4.1.2).

Three land pattern geometry variations are supplied for each of the device families: maximum land protrusion (Level 1), median land protrusion (Level 2) and minimum land protrusion (Level 3).

Before adopting the minimum land pattern variation the user should consider product qualification testing based on the conditions shown in table 14.

Niveau 1: Maximal – Pour les applications de produits à faible densité, la condition de zone de report maximale a été élaborée de façon à permettre le soudage à la vague d'appareils à puce sans sorties et à sorties en aile de mouette. Les géométries indiquées pour ces appareils, ainsi que pour ceux des familles à sorties rentrantes et en J, pourront également offrir un créneau de traitement plus large aux procédés de brasage par fusion.

Niveau 2: Moyen – Pour les produits à densité moyenne de composants, on peut envisager la géométrie moyenne de zone de report. Les impressions moyennes indiquées pour toutes les familles d'appareils donnent une fixation robuste avec les procédés par refusion et devraient convenir pour le soudage à la vague de puces sans sorties et à sorties en aile de mouette.

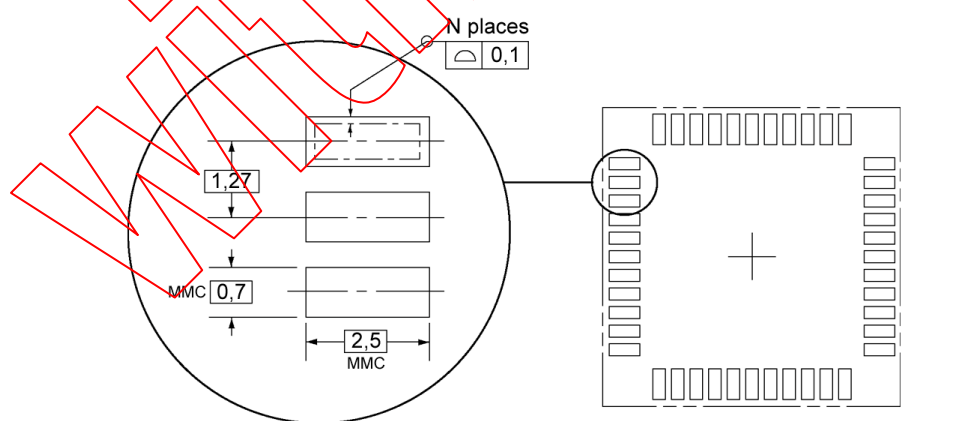
Niveau 3: Minimal – Pour les produits à forte densité de composants typiques des applications portables et mobiles, la géométrie de zone de report minimal peut être envisagée. Ce choix peut ne pas convenir à toutes les catégories d'utilisation.

L'utilisation de niveaux de performances (A, B, et C) est associée aux niveaux de densité des composants (1, 2, et 3) afin de justifier la condition d'un assemblage électronique. Par exemple, en associant les genres comme niveaux A1 ou B3 ou C2, ceci indiquerait les différentes combinaisons de performance et de densité des composants pour mieux comprendre l'environnement et les exigences de fabrication d'un assemblage particulier.

4.2 Systèmes de dimensionnement

Ce paragraphe expose un ensemble de critères dimensionnels relatifs aux composants, aux zones de report, à la précision des équipements de positionnement des composants et à la possibilité de réaliser un joint brasé d'une certaine taille, en rapport avec l'analyse de la fiabilité ou des performances d'un produit.

Ce système de dimensionnement emploie des tolérances de profil pour définir sans ambiguïté la plage des tailles entre les dimensions minimale et maximale des composants et des sorties. Cette tolérance de profil est destinée à contrôler à la fois la taille et la position de la pastille. La figure 1 illustre la méthode de tolérancement par profil.



IEC 1771/02

Figure 1 – Exemple de tolérancement par profil

L'utilisation d'un système de dimensionnement par profil impose une bonne compréhension des concepts. L'ensemble des prescriptions adopté fait appel, sauf modification, aux règles suivantes.

- Toutes les dimensions sont de base (nominales).
- Les limites de taille contrôlent également la forme.
- Une forme parfaite est exigée aux dimensions maximales.

Level 1: Maximum – For low-density product applications, the maximum land pattern condition has been developed to accommodate wave or flow solder of leadless chip devices and leaded gull-wing devices. The geometry furnished for these devices, as well as inward and J-formed lead contact device families, may provide a wider process window for reflow solder processes as well.

Level 2: Median – Products with a moderate level of component density may consider adapting the median land pattern geometry. The median land patterns furnished for all device families will provide a robust solder attachment condition for reflow solder processes and should provide a condition suitable for wave or reflow soldering of leadless chip and leaded gull-wing type devices.

Level 3: Minimum – High component density typical of portable and hand-held product applications may consider the minimum land pattern geometry variation. Selection of the minimum land pattern geometry may not be suitable for all product use categories.

The use of levels of performance (A, B, and C) is combined with that of component density levels (1, 2, and 3) in explaining the condition of an electronic assembly. As an example, combining the description as levels A1 or B3 or C2, would indicate the different combinations of performance and component density to aid in understanding the environment and the manufacturing requirements of a particular assembly.

4.2 Dimensioning systems

This subclause describes a set of dimensional criteria for components, land patterns, positional accuracy of the component placement capability and the opportunity to create a certain size solder joint commensurate with reliability or product performance analysis.

Profile tolerances are used in the dimensioning system to define the size range between maximum and minimum component/lead dimensions without ambiguity. The profile tolerance is intended to control both size and position of the land. Figure 1 shows the profile tolerancing method.

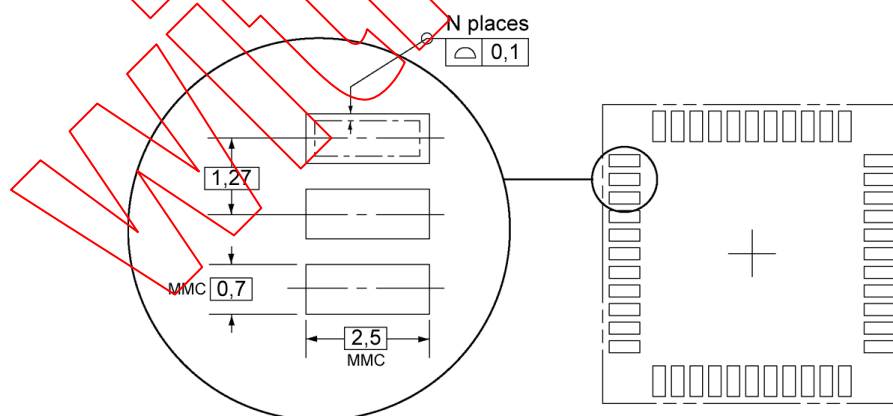


Figure 1 – Profile tolerancing method

The use of the profile dimensioning system requires an understanding of the concepts. The use of a set of requirements are adopted and invoke the following rules, unless otherwise modified.

- All dimensions are basic (nominal).
- Limits of size control form as well as size.
- Perfect form is required at maximum dimensions.

- d) Les points de référence et les tolérances de position s'appliquent aux dimensions maximales et dépendent de la taille de la caractéristique.
- e) Les dimensions de position ont pour origine les dimensions maximales.
- f) Les tolérances et leurs points de référence autres que la taille et la position s'appliquent quelle que soit la taille de la caractéristique (RFS).

Les concepts de dimensionnement utilisés dans ce système prennent comme objectif premier les exigences en matière d'assemblage et de fixation. Les spécifications (fiches techniques) des composants ou des dimensions des zones de report sur les cartes peuvent employer différents concepts de dimensionnement, mais le but reste de combiner tous les concepts en un système unique. Les utilisateurs sont encouragés à établir les relations appropriées entre leurs systèmes de dimensionnement et les concepts de dimensionnement et d'analyse par profil exposés dans la présente norme afin de faciliter l'adaptation de ces concepts en vue d'obtenir de bonnes performances du processus. A titre d'exemple, si la tolérance appliquée au positionnement est supérieure à celle de la machine utilisée en production, un seul changement dimensionnel dans la feuille de calcul du programme doit suffire pour modifier la zone de report.

4.2.1 Tolérancement des composants

Le dimensionnement et le tolérancement des composants électroniques incombent aux fabricants et aux comités d'étude de la CEI. Leurs concepts ont été convertis en un équivalent fonctionnel appliquant la méthode du tolérancement par profil, tous les composants apparaissant avec leurs dimensions de base comme limites dimensionnelles (taille maximale ou minimale). Les tolérances de profil sont unilatérales et leur description reflète la condition la plus propice à la formation d'un joint de brasure.

Le concept des évaluations dimensionnelles des composants repose sur l'évaluation des surfaces de leurs broches et sorties impliquées dans la formation d'un joint brasé acceptable. Les fabricants de composants indiquent généralement les dimensions de leurs pièces sous forme d'une dimension nominale, à laquelle ils appliquent ensuite une tolérance. Pour simplifier le système de dimensionnement, ces dimensions et leurs tolérances sont converties en une taille minimale et une taille maximale.

A titre d'exemple, le condensateur C3216 a pour dimension nominale fabriquée une longueur (L) de 3,2 mm. La tolérance indiquée par le fabricant est de $\pm 0,2$ mm. La dimension minimale de L est donc de 3,0 mm, avec une tolérance unilatérale de 0,4 mm, soit une dimension maximale de 3,4 mm.

La figure 2 montre les caractéristiques du 3216. La figure 2a montre les dimensions indiquées par le fabricant pour la longueur du condensateur. La figure 2b montre la longueur minimale du composant après conversion des dimensions dans le nouveau système à tolérancement par profil. La figure 2c montre la zone de report à sa taille minimale. Ces conditions donnent un cordon de fond optimal. Pour un cordon de talon optimal, les dimensions de base du composant sont à leur maximum, et la zone de report à son minimum.

- d) Datum references and position tolerances apply at maximum dimensions, and are dependent on feature size.
- e) Position dimensions originate from maximum dimensions.
- f) Tolerances and their datum references other than size and position apply regardless of feature size (RFS).

The dimensioning concepts used for this system of analysis consider the assembly/attachment requirements as their major goal. Specification (data) sheets for components or dimensions for land patterns on boards may use different dimensioning concepts; however, the goal is to combine all concepts into a single system. Users are encouraged to establish the appropriate relationship between their dimensioning system(s) and the profile dimensioning system and analysis concepts described herein to allow for ease of tailoring these concepts for robust process performance. As an example, if the tolerance used for positioning is larger than the machine tolerance used in production, a single dimensional change could modify the land pattern.

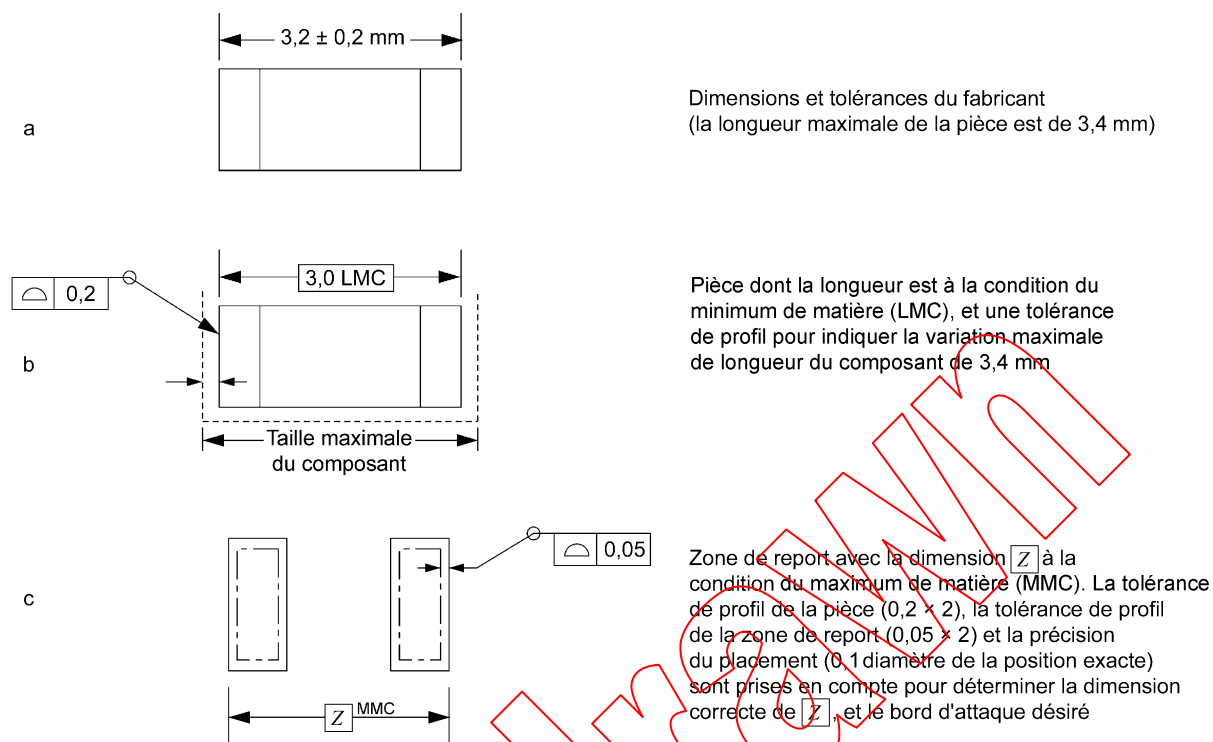
4.2.1 Component tolerancing

The component manufacturers and the IEC technical committees are responsible for the dimensioning and tolerancing of electronic components. Their concepts have been converted to a functional equivalent using the profile tolerancing method with all components shown with their basic dimensions as limit dimensions (maximum or minimum size). Profile tolerances are unilateral and are described to reflect the best condition for solder joint formation.

The concept for component dimension evaluations is based on evaluating the surfaces of the component termination and component lead that are involved in the formation of the acceptable solder joint. Component manufacturers usually provide dimensions for their parts with a nominal size and then put a tolerance on that nominal dimension. In order to facilitate the dimensioning system, these dimensions and their associated tolerances are converted to minimum and maximum size.

As an example, capacitor C3216 has a manufactured nominal dimension for its length (L) of 3,2 mm. The tolerance described by the manufacturer is $\pm 0,2$ mm. Thus, the minimum dimension of L is 3,0 mm with a unilateral tolerance of 0,4 mm, resulting in its maximum dimension being 3,4 mm.

Figure 2 shows the characteristics for the 3216 capacitor. Figure 2a shows the component manufacturer's dimensions for the length of the capacitor. Figure 2b shows the component length at its minimum size in the converted dimensions of the new system using profile tolerancing. Figure 2c shows the land pattern at its maximum size. These conditions provide for an optimum toe fillet. For optimum heel fillet, the component basic dimensions are at the maximum and the land pattern is at its minimum.



IEC 1772/02

Figure 2 – Exemple de dimensionnement du condensateur 3216 pour un cordon de brasure optimal

Des concepts similaires s'appliquent aux pièces à sorties pour montage en surface. Les caractéristiques dimensionnelles critiques indiquées sont celles qui ont trait à la formation du cordon de brasure de fond et de talon. Pour les composants à sorties en aile de mouette, les dimensions de base s'entendent entre les deux extrémités extérieures de la pièce pour la formation du cordon de brasure de fond, et à l'intérieur du rayon formé par les sorties opposées pour le cordon de talon.

Les dimensions extérieures des porte-puce avec ou même sans sorties sont généralement faciles à déterminer, dans la mesure où on peut se les procurer directement auprès du fabricant. Les dimensions intérieures (de talon à talon), qui ne sont indiquées ni dans les normes de l'industrie ni dans les spécifications du fabricant, sont plus difficiles à déterminer, non seulement en raison de la forme de la sortie, de la broche ou du crénelage, mais également parce qu'il faut les déduire en soustrayant la somme des dimensions des sorties (avec toutes leurs tolérances inhérentes) des dimensions hors-tout de la pièce.

La figure 3a montre le concept des dimensions et tolérances du fabricant pour un SOIC à aile de mouette. La figure 3b montre les dimensions converties à prendre en compte dans les prescriptions du système de montage global. La figure 3c montre les dimensions de la zone de report. Les dimensions de base définissent la longueur minimale, mesurée entre les deux extrémités extérieures. Les tolérances augmentent cette dimension jusqu'à la largeur maximale, réduisant les possibilités pour le cordon de fond.

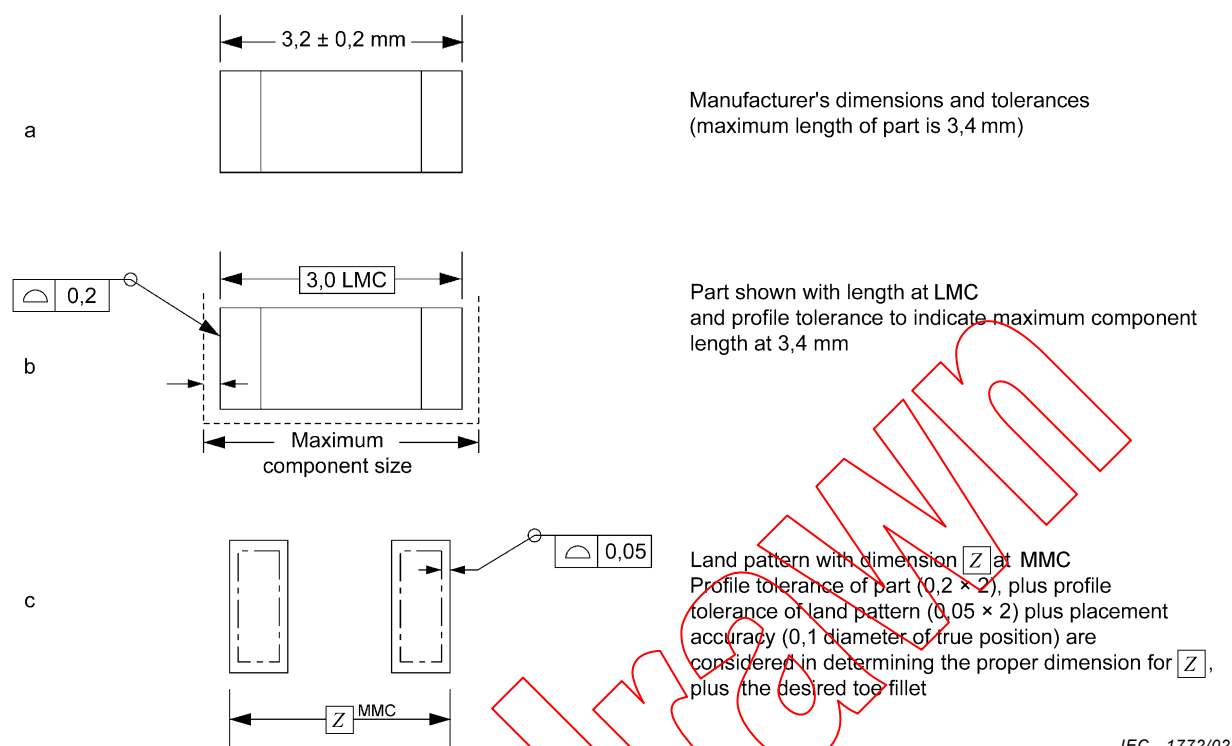


Figure 2 – Example of 3216 capacitor dimensioning for optimum solder fillet condition

Similar concepts are applied to leaded surface-mount parts. The critical dimensional characteristics identified are those that relate to the formation of the toe and heel solder fillet. For components with gull-wing leads, the basic dimensions apply across the outer extremities of the part for toe solder fillet formation; and within the inside of the formed radius of opposing leads for heel solder fillet formation.

The outer dimensions of leaded or even leadless chip carriers are usually easy to determine since these are readily available from the component manufacturer. The inner (heel-to-heel) dimensions are not provided in industry standards or manufacturers' specifications and are more difficult to determine, not only because of the form of the lead, termination, or castellation but also because the inner dimensions must be derived by subtracting the sum of the dimensions of the leads (with all their inherent tolerances) from the overall dimensions of the part.

Figure 3a shows the concept for the manufacturer's dimensions and tolerances for a gull-wing SOIC. Figure 3b shows the converted dimensions to be considered in the overall mounting system requirements. Figure 3c shows the land pattern dimensions. The basic dimensions define the minimum length as measured across the two outer extremities. Tolerances increase this dimension to the maximum width, reducing toe fillet opportunity.

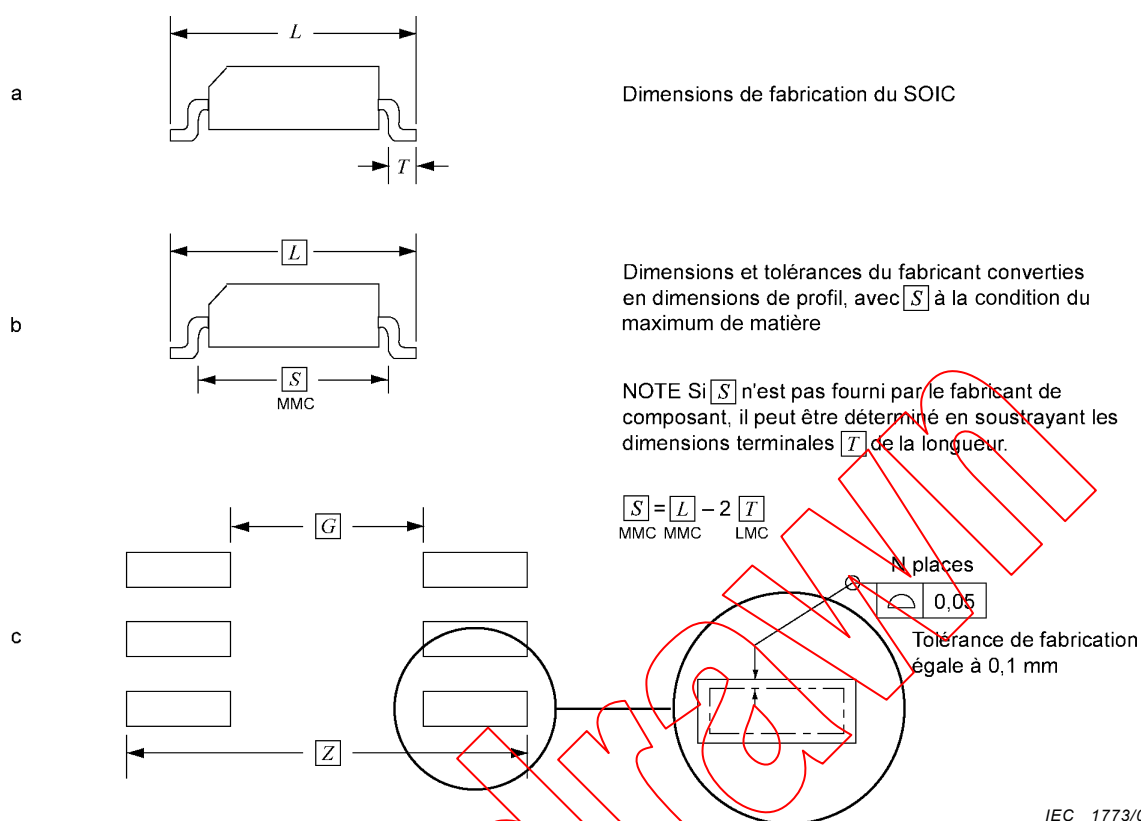


Figure 3 – Dimensionnement par profil d'un SOIC à sorties en aile de mouette

Les dimensions intérieures entre les cordons de talon des côtés opposés sont les plus importantes. On les obtient en

- établissant la largeur maximale du composant, mesurée de l'extrémité d'une sortie à l'autre (cette dimension, repérée L , est fournie par le fabricant);
- établissant la valeur minimale de longueur des sorties, mesurée entre les extrémités de l'empreinte (du talon au fond pour les sorties en aile de mouette) (cette dimension T est fournie par le fabricant);
- soustrayant deux fois la longueur minimale des sorties obtenue en (b) de la longueur hors-tout maximale du composant obtenue en (a) pour arriver à la longueur maximale à l'intérieur des sorties sur toute la longueur du composant (dimension intérieure entre cordons de talon opposés). En y ajoutant les tolérances des dimensions (a) et (b), on obtient la dimension minimale entre talons opposés, qui représente le cas le plus défavorable de l'analyse des tolérances.
- Trois ensembles de tolérances sont impliqués dans l'analyse exposée en c): les tolérances du composant complet, plus celles des sorties à chaque extrémité. Comme ces trois tolérances ne sont pas toutes envisagées dans leur cas le plus défavorable, une méthode recommandée pour déterminer l'impact statistique est de faire la somme des carrés des tolérances et de prendre la racine carrée de cette somme comme moyenne quadratique (eff.) de la différence de tolérances.

Par exemple,

$$\text{Cumul de la tolérance eff.} = \sqrt{(L_{\text{tol}})^2 + 2 (T_{\text{tol}})^2}$$

où

$$L_{\text{tol}} = L_{\text{max}} - L_{\text{min}}$$

$$T_{\text{tol}} = T_{\text{max}} - T_{\text{min}}$$

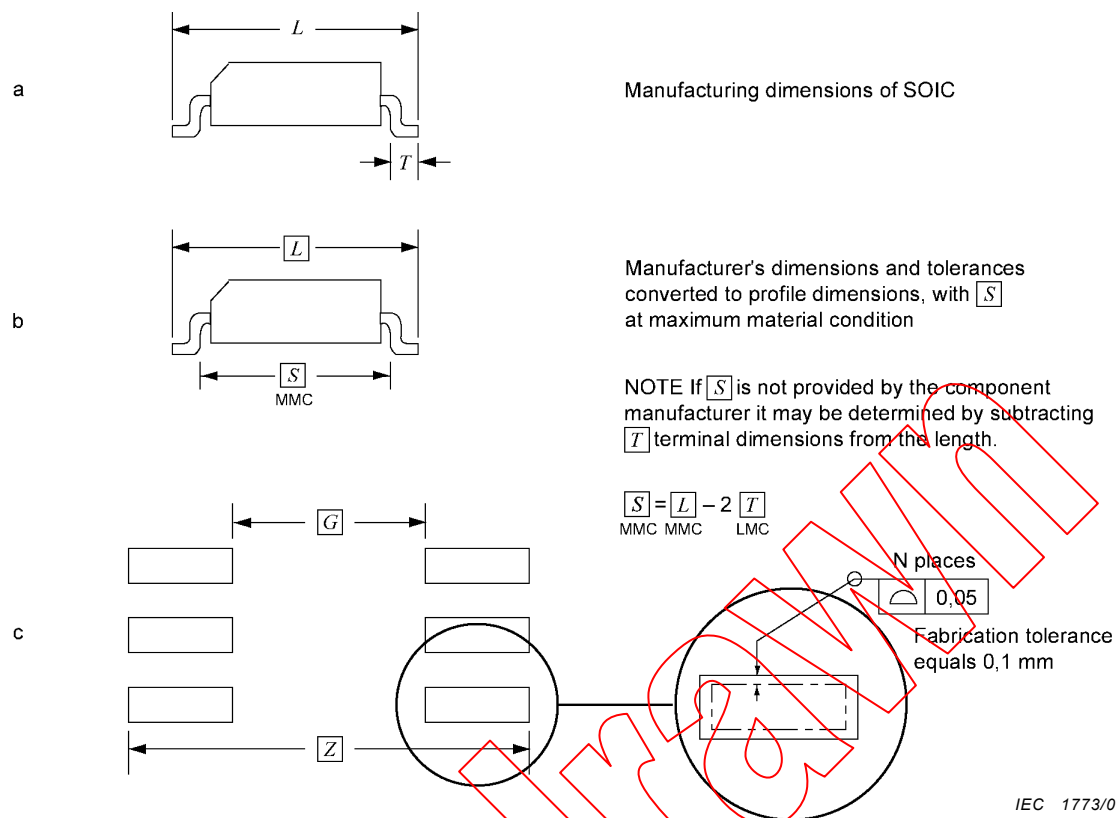


Figure 3 – Profile dimensioning of gull-wing leaded SOIC

The inner dimensions between heel fillets on opposing sides are the most important. Inner dimensions are derived by

- establishing the maximum width of the component as measured from lead termination to lead termination (this dimension is shown as L and is provided by the manufacturer);
- establishing the minimum amount of the lead length as measured across the footprint (from heel to toe for gull-wing leads) (this dimension is T and is provided by the manufacturer);
- subtracting twice the minimum lead length of (b) from the maximum overall component length of (a) to arrive at the maximum length inside the leads across the length of the component (the inner dimension between opposing heel fillets). Including the tolerances on dimensions (a) and (b) will yield the minimum dimension between opposing heels. This signifies worst-case tolerance analysis.
- Three sets of tolerances are involved in the analysis described in c): tolerances on the overall component, plus the tolerances for the lead on each end. Since not all three tolerances are considered at their worst case, a recommended method for determining the statistical impact is to summarize the squares of the tolerances and take the square-root of their sum as the r.m.s. (root-mean-square) tolerance difference.

For example,

$$\text{RMS tolerance accumulation} = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2}$$

where

$$L_{\text{tol}} = L_{\text{max}} - L_{\text{min}}$$

$$T_{\text{tol}} = T_{\text{max}} - T_{\text{min}}$$

Par exemple, le SOIC à 16 sorties a, pour les dimensions L (longueur du composant) et T (longueur des sorties), les limites suivantes:

$$L_{\min} = 5,8 \text{ mm}, L_{\max} = 6,2 \text{ mm}$$

$$L_{\text{tol}} = L_{\max} - L_{\min} = 6,2 - 5,8 = 0,4 \text{ mm}$$

$$T_{\min} = 0,4 \text{ mm}, T_{\max} = 1,27 \text{ mm}$$

$$T_{\text{tol}} = T_{\max} - T_{\min} = 1,27 - 0,4 = 0,87 \text{ mm}$$

Les calculs pour les dimensions S minimale et maximale sont par conséquent les suivants:

$$S_{\min} = L_{\min} - 2T_{\max} = 5,8 - 2(1,27) = 3,26 \text{ mm}$$

$$S_{\max} = L_{\max} - 2T_{\min} = 6,2 - 2(0,4) = 5,40 \text{ mm}$$

$$S_{\text{tol}} = S_{\max} - S_{\min} = 5,4 - 3,26 = 2,14 \text{ mm}$$

La différence entre $S_{\min}$ et $S_{\max}$ est de 2,14 mm, une plage de tolérances probablement supérieure à celle au sein de laquelle ces composants sont fabriqués. Ce scénario de cas le plus défavorable pour la plage de tolérances de S peut aussi être calculée en ajoutant les tolérances de longueur du composant et des deux sorties:

$$S_{\text{tol}} = L_{\text{tol}} + 2T_{\text{tol}} = 0,4 + 2(0,87) = 2,14 \text{ mm}$$

Pour parvenir à une plage de tolérances plus réaliste, on calcule la moyenne quadratique (eff.) à partir des tolérances des dimensions concernées (L et T):

$$S_{\text{tol}} (\text{eff.}) = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2} = \sqrt{0,4^2 + 2(0,87)^2} = 1,29 \text{ mm}$$

On ajoute $S_{\text{tol}} (\text{eff.})$ à $S_{\min}$ pour arriver à une dimension S maximale. Cette technique permet d'employer une valeur $S_{\max}$ plus réaliste dans les équations de zone de report permettant de calculer $G_{\min}$ (interstice minimal de la zone de report entre cordons de talon). Dans cet exemple, on utilise pour $S_{\max}$ le calcul suivant:

$$S_{\max} (\text{eff.}) = S_{\min} + S_{\text{tol}} (\text{eff.}) = 3,26 + 1,29 = 4,55 \text{ mm}$$

Pour déterminer la dimension $G_{\min}$ de la zone de report, on utilise $S_{\text{tol}} (\text{eff.})$ pour la tolérance du composant (soit $S_{\text{tol}} (\text{eff.}) = C$). Les calculs pour $G_{\min}$ sont les suivants:

$$G_{\min} = S_{\max} - 2J - \sqrt{C^2 + F^2 + P^2}$$

NOTE Voir le calcul de 4.2.4.

4.2.1.1 Calcul de la dimension Z

Il convient de constater qu'il y a plusieurs options pour déterminer les tolérances des composants (C), la réserve de fabrication (F) et la tolérance de placement (P). En déterminant les calculs de l'exemple de la figure 2 de la dimension Z , on remarquera que le composant 3216 a un $L_{\max}$ égal à 3,4 mm, et un $L_{\min}$ égal à 3,0 mm. En supposant que F soit égal à 0,1 mm et que P soit égal à 0,2 mm, les conditions suivantes seront utilisées pour déterminer la dimension Z :

$$Z_{\max} = L_{\min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$Z_{\max} = 3,0 + 2J_T + \sqrt{0,4^2 + 0,1^2 + 0,2^2}$$

As an example, the SOIC with 16 leads has the following limits for the L (component length) and T (terminal length) dimensions:

$$L_{\min} = 5,8 \text{ mm}, L_{\max} = 6,2 \text{ mm}$$

$$L_{\text{tol}} = L_{\max} - L_{\min} = 6,2 - 5,8 = 0,4 \text{ mm}$$

$$T_{\min} = 0,4 \text{ mm}, T_{\max} = 1,27 \text{ mm}$$

$$T_{\text{tol}} = T_{\max} - T_{\min} = 1,27 - 0,4 = 0,87 \text{ mm}$$

Therefore, the calculations for S minimum and maximum dimensions are as follows:

$$S_{\min} = L_{\min} - 2T_{\max} = 5,8 - 2(1,27) = 3,26 \text{ mm}$$

$$S_{\max} = L_{\max} - 2T_{\min} = 6,2 - 2(0,4) = 5,40 \text{ mm}$$

$$S_{\text{tol}} = S_{\max} - S_{\min} = 5,4 - 3,26 = 2,14 \text{ mm}$$

The difference between $S_{\min}$ and $S_{\max}$ is 2,14 mm, which is probably a larger tolerance range than the actual range within which these components are manufactured. This worst-case scenario for the tolerance range for S can also be calculated by adding the tolerances for the component length and the two terminals:

$$S_{\text{tol}} = L_{\text{tol}} + 2 T_{\text{tol}} = 0,4 + 2(0,87) = 2,14 \text{ mm}$$

In order to arrive at a more realistic tolerance range, the r.m.s. value is calculated using the tolerances on the dimensions involved (L and T):

$$S_{\text{tol}} (\text{r.m.s.}) = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2} = \sqrt{0,4^2 + 2(0,87)^2} = 1,29 \text{ mm}$$

$S_{\text{tol}} (\text{r.m.s.})$ is added to $S_{\min}$ to arrive at a maximum S dimension. This technique is used so that a more realistic $S_{\max}$ dimension is used in the land pattern equations for calculating $G_{\min}$ (minimum land pattern gap between heel fillets). In this example, the following calculation is used for $S_{\max}$:

$$S_{\max} (\text{r.m.s.}) = S_{\min} + S_{\text{tol}} (\text{r.m.s.}) = 3,26 + 1,29 = 4,55 \text{ mm}$$

To determine the $G_{\min}$ dimension for the land pattern, $S_{\text{tol}} (\text{r.m.s.})$ is used for the component tolerance (i.e., $S_{\text{tol}} (\text{r.m.s.}) = C$). The calculations for $G_{\min}$ are as follows:

$$G_{\min} = S_{\max} - 2J - \sqrt{C^2 + F^2 + P^2}$$

NOTE See calculation in 4.2.4.

4.2.1.1 Solving for dimension Z

It should be noted that there are various options to determine the tolerances for the component (C), the fabrication allowance (F), and the placement tolerance (P). In determining the calculations for the example in figure 2 for the dimension Z , one would note that the component 3216 has an $L_{\max}$ equal to 3,4 mm, and an $L_{\min}$ equal to 3,0 mm. With the assumption that F is equal to 0,1 mm and P is equal to 0,2 mm, the following conditions would be used for determining the Z dimension:

$$Z_{\max} = L_{\min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$Z_{\max} = 3,0 + 2J_T + \sqrt{0,4^2 + 0,1^2 + 0,2^2}$$

Dans l'exemple ci-dessus, il convient que les deux joints soient arrondis en un nombre entier. Normalement, une dimension Z totale de 4,6 serait acceptable pour une zone de report de niveau 2 en fournissant une largeur plus petite qu'une avancée de pastille de 0,5 mm à chaque terminaison du composant 3216.

4.2.2 Tolérancement des pastilles

Le tolérancement par profil s'applique aux pastilles d'une manière analogue à celle des composants. Toutes les tolérances de pastilles sont destinées à obtenir une impression avec une taille maximale des pastilles. Les tolérances unilatérales sont destinées à réduire la taille des pastilles et par conséquent la surface disponible pour la formation du joint de brasure. Pour faciliter l'accord avec les autres systèmes de dimensionnement, la zone de report est dimensionnée entre les extrémités extérieure et intérieure.

Le concept de dimensionnement de la présente norme emploie des dimensions de limitation et un tolérancement géométrique pour décrire les dimensions maximales et minimales permises de la zone de report. Lorsque les pastilles sont à leur taille maximale, on peut aboutir à un espace minimal permis entre elles. A l'inverse, lorsqu'elles sont à leur taille minimale, on peut arriver à la zone de report minimale acceptable nécessaire pour réaliser le dépassement de pastille minimal requis. Ces seuils permettent de vérifier la zone de report au calibre entre/n'entre pas. L'ensemble du concept de système de dimensionnement décrit dans la présente norme repose sur ces principes et s'étend aux dimensions de montage des composants, aux dimensions des zones de report, aux dimensions de positionnement, etc., de sorte que le respect des prescriptions peut être vérifié avec des jauges optiques à un moment quelconque du processus en vue d'assurer la conformité avec l'analyse des tolérances (voir tableau 14).

4.2.3 Réserves de fabrication

La figure 3 montre la zone de report d'un SOIC à sorties en aile de mouette destinée à accompagner les concepts de dimensionnement d'un composant à puce précédemment illustrés par la figure 2. La dimension de base L est mesurée entre les extrémités extérieures du composant.

Pour la zone de report, la dimension Z est à la taille maximale, tandis que les extrémités intérieures (dimension G) sont dimensionnées à la taille minimale. Les tolérances unilatérales ont diminué la dimension de base de Z tout en augmentant la dimension G . La zone de report se trouve ainsi réduite à la condition du minimum de matière (LMC). Les valeurs recherchées en production doivent donc être aussi proches que possible des dimensions de base Z et G aux conditions du maximum de matière (MMC). Ce concept est également valable pour la largeur (X) de la dimension de pastille spécifiée à la taille maximale.

La variation entre les dimensions Z , G et X est indiquée sous forme d'une réserve de fabrication (F). Cette réserve de fabrication (voir tableau 14) représente l'écart maximal entre la plus grande taille de zone de report (MMC) et la plus petite (LMC). Ceci ne prend pas en compte le mouvement des matériaux décrit dans le tableau 15, inclus dans les tolérances d'assemblage depuis que les machines ont la capacité de re-évaluer la position exacte des zones de report.

4.2.4 Tolérances d'assemblage

Un autre élément de l'équation est la variation d'assemblage désignée par la lettre P . Elle représente l'emplacement du composant par rapport à sa position vraie définie par conception. On utilise pour décrire cette variation le terme de diamètre de position vraie (DTP), nombre unique pouvant être employé dans l'analyse des tolérances dimensionnelles.

A titre d'exemple, pour établir les dimensions cibles de dépassement de talon de l'exemple de la figure 3, les conditions suivantes doivent se vérifier: