

4.5.14 - 240-Pin Unbuffered and Registered DDR2 SDRAM DIMM Family

Package -- MO-237, Variation A
Voltage Options -- 1.8 V (VDD/VDDQ)
Interface -- SSTL_18
Pin Assignments--Figs. 4.5.14-A & B
Pin Description--Fig. 4.5.14-C
Pin Summary --Fig. 4.5.14-D

Front Side (left 1 - 60)			Back Side (right 121-180)			Front Side (left 61 - 120)			Back Side (right 181-240)		
Pin #	x64 Non-Parity	x72 ECC	Pin #	x64 Non-Parity	x72 ECC	Pin #	x64 Non-Parity	x72 ECC	Pin #	x64 Non-Parity	x72 ECC
1	VREF	VREF	121	VSS	VSS	61	A4	A4	181	VDDQ	VDDQ
2	VSS	VSS	122	DQ4	DQ4	62	VDDQ	VDDQ	182	A3	A3
3	DQ0	DQ0	123	DQ5	DQ5	63	A2	A2	183	A1	A1
4	DQ1	DQ1306.011	124	VSS	VSS	64	VDD	VDD	184	VDD	VDD
5	VSS	VSS	125	DM0,DQS9	DM0,DQS9	KEY			KEY		
6	$\overline{\text{DQS0}}$	$\overline{\text{DQS0}}$	126	NC, $\overline{\text{DQS9}}$	NC, $\overline{\text{DQS9}}$	65	VSS	VSS	185	CK0	CK0
7	DQS0	DQS0	127	VSS	VSS	66	VSS	VSS	186	$\overline{\text{CK0}}$	$\overline{\text{CK0}}$
8	VSS	VSS	128	DQ6	DQ6	67	VDD	VDD	187	VDD	VDD
9	DQ2	DQ2	129	DQ7	DQ7	68	NC	NC	188	A0	A0
10	DQ3	DQ3	130	VSS	VSS	69	VDD	VDD	189	VDD	VDD
11	VSS	VSS	131	DQ12	DQ12	70	A10/AP	A10/AP	190	BA1	BA1
12	DQ8	DQ8	132	DQ13	DQ13	71	BA0	BA0	191	VDDQ	VDDQ
13	DQ9	DQ9	133	VSS	VSS	72	VDDQ	VDDQ	192	$\overline{\text{RAS}}$	$\overline{\text{RAS}}$
14	VSS	VSS	134	DM1,DQS10	DM1,DQS10	73	$\overline{\text{WE}}$	$\overline{\text{WE}}$	193	$\overline{\text{S0}}$	$\overline{\text{S0}}$
15	$\overline{\text{DQS1}}$	$\overline{\text{DQS1}}$	135	NC, $\overline{\text{DQS10}}$	NC, $\overline{\text{DQS10}}$	74	$\overline{\text{CAS}}$	$\overline{\text{CAS}}$	194	VDDQ	VDDQ
16	DQS1	DQS1	136	VSS	VSS	75	VDDQ	VDDQ	195	ODT0	ODT0
17	VSS	VSS	137	CK1,RFU ¹	CK1,RFU ¹	76	$\overline{\text{S1}}$	$\overline{\text{S1}}$	196	A13	A13
18	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$	138	$\overline{\text{CK1}}$,RFU ¹	$\overline{\text{CK1}}$,RFU ¹	77	ODT1	ODT1	197	VDD	VDD
19	NC	NC	139	VSS	VSS	78	VDDQ	VDDQ	198	VSS	VSS
20	VSS	VSS	140	DQ14	DQ14	79	VSS	VSS	199	DQ36	DQ36
21	DQ10	DQ10	141	DQ15	DQ15	80	DQ32	DQ32	200	DQ37	DQ37
22	DQ11	DQ11	142	VSS	VSS	81	DQ33	DQ33	201	VSS	VSS
23	VSS	VSS	143	DQ20	DQ20	82	VSS	VSS	202	DM4,DQS13	DM4,DQS13
24	DQ16	DQ16	144	DQ21	DQ21	83	$\overline{\text{DQS4}}$	$\overline{\text{DQS4}}$	203	NC, $\overline{\text{DQS13}}$	NC, $\overline{\text{DQS13}}$
25	DQ17	DQ17	145	VSS	VSS	84	DQS4	DQS4	204	VSS	VSS
26	VSS	VSS	146	DM2,DQS11	DM2,DQS11	85	VSS	VSS	205	DQ38	DQ38
27	$\overline{\text{DQS2}}$	$\overline{\text{DQS2}}$	147	NC, $\overline{\text{DQS11}}$	NC, $\overline{\text{DQS11}}$	86	DQ34	DQ34	206	DQ39	DQ39
28	DQS2	DQS2	148	VSS	VSS	87	DQ35	DQ35	207	VSS	VSS
29	VSS	VSS	149	DQ22	DQ22	88	VSS	VSS	208	DQ44	DQ44

Figure 4.5.14-A
240-Pin DDR II SDRAM DIMM Pin Assignment, Top Half