

SEMI G79-0200

総合的デジタルタイミング精度の仕様

本仕様は、Global Automated Test Equipment Committee で技術的に承認されたもので、North American Automated Test Equipment Committee が直接責任を負うものである。現版は 1999 年 9 月 3 日に North American Regional Standards Committee にて承認された。1999 年 11 月にまず SEMI On Line で入手可能になり、2000 年 2 月発行に至る。

1 目的

1.1 本規格の目的は、自動半導体試験装置 (ATE) のタイミング精度仕様に最低限必要な共通定義について説明することである。

2 範囲

2.1 本規格の適用範囲には、デジタル機能テストが可能なすべての自動半導体試験装置 (ATE) が含まれる。以下の項目は本規格の範囲外である。

- テスト機器エラー
- デバイス挿入エラー、及び
- タイミング精度を超える ATE の性能又は能力

2.2 本規格の総合的タイミング精度 (OTA) の定義は、自動半導体試験装置の比較を簡略化して、仕様の曖昧さを低減するのに役立つ。

2.3 本スタンダードは、その使用に関連した全ての安全問題を取り扱うことを意図していない。このスタンダードの使用者は、その責任において、適切な安全及び健康上の作業方法を確認し、また使用前に規制上の制限への適用性を判断するものである。

3 制限

3.1 以下の項目と関連するパラメータは、総合的デジタルタイミング精度の仕様の範囲外である。

- 最小ドライバパルス幅
- コンパレータ周波数帯域幅
- 入出力ラウンドトリップ遅延
- テスト機器エラー
- デバイス挿入エラー
- 時間測定ユニット精度、及び
- タイミング精度を超えた ATE の能力又は性能

4 参照スタンダード

なし

5 用語

5.1 略語と頭字語

5.1.1 ATE (automatic test equipment) — 自動半導体試験装置

5.1.2 DUT (device under test) — 被試験デバイス

5.1.3 NR (Non-return) — ノンリターン信号フォーマット

5.1.4 RTx (return to zero) — 0, 1, 又は補数に復帰する信号フォーマット

5.1.5 SBx (surround by zero) — 0, 1, 又は補数に囲まれる信号フォーマット

5.1.6 Z — ドライバオフ (高インピーダンス)

5.2 定義

5.2.1 デバイス挿入エラー (device insertion errors) — デバイス入力容量及び／又は終端に影響されるエラー。

5.2.2 エッジ (edge) — ATE 遅延生成リソースによって生成された時間遅延。

5.2.3 パフォーマンスボード (performance board) — テスターチャネルを被試験デバイスにインタフェースするプリント基板。

5.2.4 ピン (pin) — テスターチャネル。

5.2.5 基準負荷 A (reference load A) — 並列に接地された容量 2.5 pf (± 0.5 pf) と 500 Ω 抵抗。

5.2.6 基準負荷 B (reference load B) — 接地された 50 Ω 抵抗。

5.2.7 基準負荷 C (reference load C) —

- 低電位レベルに接続された 50 Ω (ドライバ z から高レベル及び高レベルから z への遷移に使用)。
- 高電位レベルに接続された 50 Ω (ドライバ z から低レベル及び低レベルから z への遷移に使用)。

5.2.8 ストローブ比較 (strobe compare) — 単一の時点で DUT 出力を検出すること。

5.2.9 テストサイクル (test cycle) — テストパターン実行周波数の逆数。

5.2.10 テスト機器エラー (test fixturing errors) — 信号配線長の不一致, インピーダンス不連続性, 集中定数容量/インダクタンス素子, 表皮効果または配線による高周波損失等に起因するエラー。

5.2.11 ウインドウ比較 (window compare) — 時間間隔中にDUTを継続的に検出する。

注 1:用語「入力」は, 本文書で記述される場合, 被試験デバイスを意味する。

6 試験方法

6.1 図 1 を参照のこと。

注 2:この総合的デジタルタイミング精度の仕様を補足する検証手順は, 現在 SEMI 原案として作成中である。

6.2 図 1 の説明 — この図は, 総合的タイミング精度とその要素となる構成部分をグラフィカルに説明するためのものである。総合的タイミング精度 (OTA) は 3 つの構成部分から成り, その定義としては入力エッジ

生成精度 (7.1.1 項を参照), 出力エッジ生成精度 (7.1.2 項を参照), 及び入力エッジと出力エッジ間のタイミング精度 (7.1.3 項を参照) のタイミングエラーの集合体である。ここで重要となるのは, 図 1 に示される OTA 仕様と関連のグラフィカル表示は, 単一マシンの一定期間における複数回の校正だけでなく, 複数のマシンのタイミング遅延エラーを対象範囲に取り込むことを目的としていることである。

6.2.1 複数ピンを使用する自動テストシステムを取り扱う場合, すべての入力ドライブ回路が共通の基準に対して正確に同じポイントにドライブエッジを生成することができるわけではないことが経験上明らかである。比較エッジを生成するときの出力比較回路についても同じである。したがって, これらのエッジは, 意図した生成点を基準としたある平均値の周りに (エラー) 分布する傾向がある。この原因の一部は, これらのエッジ生成要素を構成する電子回路に関連する固有の異常 (バラツキ) にある。エッジエラーの分布は, 図 1 に入力エッジ (7.1.1 項を参照) と出力エッジ (7.1.2 項を参照) の信号としてグラフィカルに示される。

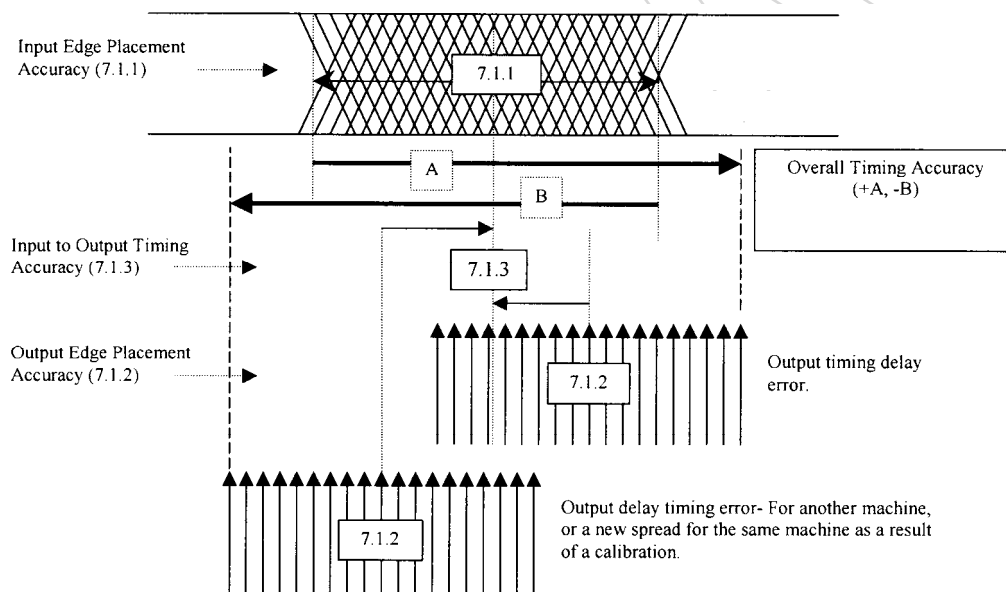


図1

総合的タイミング精度

6.2.2 入力エッジと出力エッジ間のタイミング精度 (7.1.3 項) は, 別の方法で記述することができる。このパラメータを, 本文書の 7.1.3 項で説明する定義に従って, 単純に特定マシンのドライブ遅延タイミングエラー分布と比較遅延タイミングエラー分布間の相対的な時間差 (ずれ) として考えることは容易である。しかし, 特定のマシンについて一度確立されたこのパラメータ

は, 必ずしも一定であるわけではない。たとえば, このパラメータは, 特定の時間におけるマシンの校正から, その同じマシンのその後の校正の結果, 全く別のものに变化する可能性がある。また, このパラメータは, マシンごとの精度パラメータと考えることができ, 種類が同じ任意の 2 台のマシン間で必ずしも同じ値を持つわけではない。