

SEMI G80-0200 (Reapproved 0612) TEST METHOD FOR THE ANALYSIS OF OVERALL DIGITAL TIMING ACCURACY FOR AUTOMATED TEST EQUIPMENT

自動試験装置の総合的デジタルタイミング精度を分析するための試験方法

NOTICE: This translation is a REFERENCE COPY ONLY. If differences should exist between the English version and a translation in any other language, the English version is the official and authoritative version.

免責事項： この SEMI スタンドアードは、投票により作成された英語版が正式なものであり、日本語版は日本の利用者各位の便宜のために作成したものです。万が一英語と日本語とに差異がある場合には英語版記載内容が優先されます。

SEMI スタンドアード日本語翻訳版をご利用にあたっての注釈を本文の末尾に記載しております(「すべきである」「しなければならない」について等)。

本スタンドアードは、Automated Test Equipment Global Technical Committee で技術的に承認されている。現版は 2011 年 12 月 24 日、global Audits and Reviews Subcommittee にて発行が承認された。2012 年 6 月に www.semiviews.org および www.semi.org で入手可能となる。初版は 2000 年 2 月発行。

注意：「Current」のステータスを維持するための条件が現時点で満たされていないため、このスタンドアードまたは安全ガイドラインは「Inactive」ステータスとなっています。「Inactive」のスタンドアードまたは安全ガイドラインは SEMI から入手可能であり、引き続き有効です。

注意: 本文書は、編集上の修正を伴い、再承認された。

1 目的

1.1 この手順は、それによって、任意のロジック集積回路 (IC) ATE システムの AC タイミング精度の仕様を構成するパラメータに関して評価できる標準のプロセスを定義する。

1.2 この手順は、ATE 比較の簡略化、仕様のあいまいさの抑制、ユーザ受け入れ手順の簡略化、ATE 性能監視の簡略化、および ATE サプライヤへの共通確認基準の提供に適用される。

2 範囲

2.1 この手順の目的は、デジタル機能テストが可能とするすべての半導体自動試験装置 (ATE) のタイミング精度仕様を分析することである。本文書の定義に関する節で定義されているように、分析の範囲には、総合的タイミング精度、および総合的タイミング精度の主要な構成要素が含まれる。

2.2 この手順には、ATE タイミング精度と関連した以下のパラメータの分析は含まれない。

- 最小ドライバパルス幅
- コンパレータ帯域幅
- 入出力往復遅延
- テスト機器エラー
- デバイス挿入エラー
- 時間測定ユニット (TMU) の精度
- AC タイミング精度を超えた ATE の能力または性能。

2.3 この手順を適用することによって、装置受け入れ時間を短縮することができるため、エンドユーザと ATE サプライヤの両者にとって時間の節約となる。

注意： このスタンダードおよび安全ガイドラインはその使用に関連した全ての安全上の問題を取り扱うことを意図していない。この文書の利用者は、その責任において、適切な安全および健康上実施すべき事項を決定し、また使用前に法規制やその他の制限への適用性を判断するものである。

3 制限

3.1 以下は、この手順に固有の制限である。

3.1.1 この手順で使用される各測定のスループットは、適切な場合には、各テストごとに一覧表示される。

3.1.2 検証方法には、環境条件の変化は含まれない。そのため、結果には環境限界での性能が反映されていない可能性がある。

3.1.2.1 実行時間には限界があるため、検証手順は網羅的分析結果を示すものではない。分析するデータポイントの数は、実行時間での AC タイミング精度パラメータの最小の代表的評価を提供するように意図される。

3.1.3 この方法は、AC タイミング精度の最小の代表的評価を提供する際、エッジ比較モードと非多重操作のみを使用する。

3.1.4 この方法を使用しても、デューティサイクル変化量が AC タイミング精度に与える影響は明らかにされない。

3.1.5 この方法は、網羅的分析は行わないため、実行中 (OTF: On-The-Fly) タイミング制御など複雑な AC タイミング機能として期待されるような包括的なテストを避ける。この方法は、妥当な時間内に有意義な結果が取得される等、データを実用的に収集し続ける目的で定義された。実行中タイミング制御の場合、この方法には、実行中タイミング制御のシステムを分析するときに比較目的の基準パラメータとして使用することができるルーチンが含まれる。したがって、最も基本的な AC タイミング結果のみが生じ、OTF タイミングは総合的タイミング精度 (OTA) の結果の一部としては含まれない。

3.1.6 この方法から取得される OTA 結果を解釈する際は、判断は慎重にする必要がある。

自己分析では、分離すべきエラーの構成要素をすべて考慮できるとは限らない。したがって、良い (準拠した) 方法から得られた結果は、潜在的に準拠しているものとして注意して見なければならない。他方で、不良の (準拠していない) 方法から得られた結果は、評価中のシステムはその精度に関して疑いがあり、おそらく準拠していないことの著しい徴候を示す。

4 参照スタンダードおよび文書

4.1 SEMI スタンダードおよび安全ガイドライン

SEMI G79 — Specification for Overall Digital Timing Accuracy

注意： 別途指示のない場合、引用された全ての文書は最新版を指す。

5 用語

5.1 略語および頭字語

5.1.1 I^1 — テスター出力ドライバの高レベル

5.1.2 0^2 — テスター出力ドライバの低レベル

5.1.3 ATE (automated test equipment) — 自動試験装置

5.1.4 DUT (device under test) — 被試験デバイス

¹ この慣例は普遍的なものではない。時には「H」が使用される。

² この慣例は普遍的なものではない。時には「L」が使用される。

5.1.5 H^3 — テスター入力コンパレータが高レベルを期待する

5.1.6 L^4 — テスター入力コンパレータが低レベルを期待する

5.1.7 n — 最高ピン／チャンネル番号, およびピン 1 — 最低ピン／チャンネル番号を参照する

5.1.8 NR (*non-return signal format*) — ノンリターン信号フォーマット

5.1.9 RTO (*return to one signal format*) — 1 信号フォーマットに復帰

5.1.10 RTZ (*return to zero signal format*) — 0 信号フォーマットに復帰

5.1.11 SBC (*surrounded by complement signal format*) — 補数信号フォーマットで囲まれる

5.1.12 Z — テスター出力ドライバ高インピーダンス (「off」) 状態

5.2 定義

5.2.1 デバイス挿入エラー (*device insertion errors*) — デバイス入力容量および／または終端によって影響されたエラー。

5.2.2 エッジ (*edge*) — ATE 遅延生成リソースによって生成された時間遅延。

5.2.3 高帯域幅オシロスコープ (*high bandwidth oscilloscope*) — 1 GHz を超える帯域幅, $500\ \Omega$ の入力インピーダンス, $2.5\text{ pF} \pm 0.5\text{ pF}$ の入力静電容量, および 0.125" 未満のアース線を有するプローブを使用する, 10 GHz を超える帯域幅を有するデジタル標本抽出オシロスコープ。

5.2.4 ピン (*pin*) — テスターチャンネル

5.2.5 パフォーマンスボード (*performance board*) — テスターチャンネルを被試験デバイスにインタフェースするのに使用するプリント基板。

5.2.6 テスト装置エラー (*test fixturing errors*) — 信号配線長の不一致, インピーダンス不連続性, 集中定数容量/インダクタンス素子, 表皮効果または配線による高周波損失等に起因するエラー。

5.2.7 ウィンドウ比較 (*window compare*) — 時間間隔中にデバイスを継続的に検出する。

5.2.8 *zero_reference_measurement* — 遅延が 0 秒である 0~3 V NR 信号の立ち上がりエッジの midpoint におけるオシロスコープ測定。これは, この方法を実施するユーザによって選択された任意の基準信号である。ユーザは, 便利な基準信号を自由に選ぶことができる。この基準信号によって, この手順のレベル 2 で説明されるテスト時にエッジ配置タイミング測定を行うための一貫した信号としての使用が可能となる。

6 方法の概要

6.1 この手順によって, ATE タイミング精度を分析するための, 階層的で, 一般的な方法が提供される。階層は, 仕様分析の 2 つのレベルをサポートする。広範囲の, 複合された最終結果は, レベル 1 の自己分析を目的に ATE を使用することによって利用可能である。

6.2 このレベルでは, 多量のデータを効率的に収集することができ, 総合的タイミング精度仕様への最終的な適合性が示される。しかし, この技術は, 特定の精度を有する構成要素の, 分離と詳細な分析を妨げる。したがって, 外部の計器を取り入れた分析の第 2 レベルが含まれる。第 1 レベルでは効率的で広範囲な分析が行われる。それに対して, 第 2 レベルでは, 効率は低下するが詳細な分析が行われる。

6.3 分析の結果は, 標準フォーマットで保存され, アプリケーションに特有のデータ削減にさらに容易に使用できる。最小フォーマット:

- テスト番号, チャンネル番号, 最小値, 最大値

³ この慣例は普遍的なものではない。時には「1」が使用される。

⁴ この慣例は普遍的なものではない。時には「0」が使用される。

6.3.1 検証手順の概要

6.3.1.1 レベル 1 ATE 自己分析

- 高効率
- 広範囲
- 適度のエラー可観測性
- ドライブ入力から比較出力までのテスト
 - 3 つの電圧
 - 2 つのピン方向
 - 503 のテストサイクル⁵
 - 503 のパルス幅
 - 12 の遷移⁶
 - 4 つのフォーマット
- 延長遅延テスト
- ドライブ Z 状態テスト
- 複数周期テスト

6.3.1.2 レベル 2 外部測定

- 自動化されておらず非効率
- 特定範囲
- 良好なエラー可観測性
 - ドライブ（入力）タイミングテスト
 - 比較（出力）タイミングテスト
 - ドライバ立ち上がり時間テスト
 - ドライブ（入力）タイミングサイクルジッターテスト
 - 高速クロックテスト

7 要求条件

7.1 受け入れテスト — テストプロセスを開始する前に、評価中の ATE は、メーカーまたはエンドユーザの代表によって十分に使用可能であることが証明されなければならない。

7.2 操作員の資格 — 評価中に ATE を操作する個人は、資格を有するか、またはこの装置を操作するための資格を別の方法で与えられていなければならない。さらに、本文書で取り上げた分析を実行する手順に精通していなければならない。

7.3 補助装置 — 次の装置が要求される。1 GHz を超える帯域幅、500 Ω の入力インピーダンス、2.5 pF $\pm$ 0.5 pF の入力静電容量、および 0.125 inch 未満のアース線を有するプローブを使用する、10 GHz を超える帯域幅を有するデジタル標本抽出オシロスコープ。この装置の要求条件ステップが満たされることは重

⁵ 図3を参照のこと。

⁶ 図2を参照のこと。

要である。この手順の様々なステップで取り上げた許容誤差は、この装置仕様の要求条件で規定された一般的な装置と整合性がとれるように選択された。

7.4 この手順— この方法のユーザは、この文書の全体を読むことを推奨される。

7.5 システム— テストシステムの利用は、連続的に利用可能であり、このタイミング分析手順を実行するのに必要な割り当て時間中は中断されることがない。

7.6 アプリケーションプログラム— この手順に取り上げたステップを実行するには、アプリケーションプログラムを記述する必要がある。そのプログラムは、テスターと補助装置との間における信頼性のある一貫した相互作用の手段として機能する。さらに、実行する際、そのプログラムは、この手順によってもたらされるタイミング分析の結論を最終的に導き出すデータ収集プロセスを容易にする。

7.7 方法— 主として本文書の第 10 項に記載されている推奨手順は一般的に記述されており、要求されるプログラムを作成するガイドとしての役割を果たす。プログラムは、評価中システムのテストアプリケーションソフトウェア言語で記述される。

7.8 ATE システムパフォーマンス (負荷) ボード— データを収集するには、2 つのパフォーマンス/負荷ボードが要求される。これらのパフォーマンスボードの 1 つに関して、隣接するテスターチャネルは、最小のおよび等しい長さの相互接続と共に短絡させておくことを推奨する。このボードは、レベル 1 および部分的にはレベル 2 のデータ収集プロセスを容易にする。第 2 ボードは、コンパレータ接続とのオープンドライバを持つ必要があり、レベル 2 のドライブ入力タイミングテストに使用される。図 1 と図 4 を参照のこと。

7.9 例外事項— この方法のユーザは、本文書に記述される手順を実行することが期待される。ユーザが本文書で推奨される手順から逸脱しなければならない場合、その逸脱についての適切な説明を付属書 3 に示される例外事項ページに入力することが期待される。

8 テスト条件

8.1 環境— この文書に取り上げた手順を、装置サプライヤによって規定された目的とする環境動作条件の範囲内で実行することは、1 つの要求条件である。装置サプライヤによって規定された動作温度に関する要求条件は、維持しなければならない。

8.2 オプションの実行— この手順のユーザは、公称値を除く環境 (温度) 極値でこの手順を繰り返してもよい。

8.3 暖機期間— 使用されるまたは評価中のすべての装置は、装置の安定化を目的にメーカーによって規定された要求条件に従って暖機することが重要である。

8.4 オプションのデータ収集— データは、装置を校正した直後に取得することができる。しかし、この手順のユーザは、その後の時間間隔で追加データの取得を望んでもよい。ただし、評価中のシステムを対象とした既知の好ましい校正ウィンドウ内に限る。

9 装置の準備

9.1 装置の構成— 評価中の装置は、その正常で目的とする動作が可能ないように構成しなければならない。追加の冷却や装置外板の取外しなどの特別な考慮を払う必要はない。

9.2 装置の校正— この手順を実行する前に、評価中の装置を完全に校正しておかなければならない。特別な校正を実施する必要はなく、装置は正常で目的とする動作が可能ないように構成する必要がある。

9.3 補助装置の校正— この手順におけるレベル 2 データの収集に使用される外部装置は、適切に校正されていることを確認しなければならない。

10 テスト方法の手順

10.1 手順は、レベル 1 テストとレベル 2 テストから成る。以下のテストに記述される分析中の ATE で利用可能でないいずれの ATE 能力も手順の適合には必要とされないが、表 1 と表 2 の検証結果内で記述する必要がある。

10.2 テストシステムはそれぞれ異なっている。そのため、この手順は一般的である。にもかかわらず、この手順をガイドとして特定のアプリケーションが作成されるとき、包括的な結果が提供される。要求条件に従って、手順を実行するとき、負荷ボードと手順の実施を目的に記述されたアプリケーションプログラムは適所になければならない。この手順は、この文書の第 7 節で概説される要求条件に従って実行する必要がある。これらの要求条件が満たされたとき、以下のステップはこのテスト方法を実行するための段階的なプロセスを構成する。

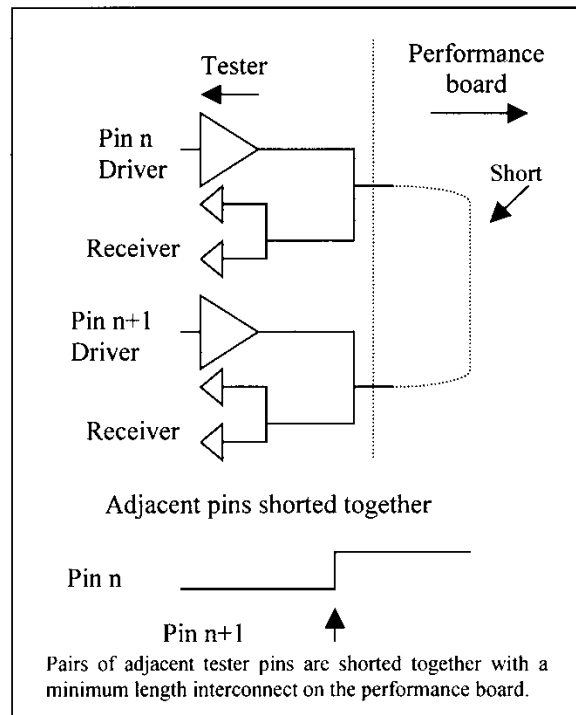


図 1
レベル 1 の検証

1. パフォーマンスボードをインストールする。
2. システムと補助装置に電源を投入して、安定化するまでの適切な時間を確保する。
3. レベル 1 に関する 10.3.1 項, 10.3.4 項, 10.3.5 項, 10.3.6 項, およびレベル 2 に関する 10.4.1 項, 10.4.2 項, 10.4.3 項, 10.4.4 項, 10.4.5 項, 10.4.6 項で取り上げた手順の実施を示す適切なアプリケーションプログラムをロードする。
4. 方法を実行して完了させる。アプリケーションプログラムによって、レベル 1 とレベル 2 のデータを取得して、後の分析のためにそれを格納することができる。
5. この手順には、規定された電圧ポイントまたは信号レベルで行われる様々な時間測定が必要である。システム間比較を行う場合、ユーザはこれらの値（電圧ポイント、または信号レベル）を維持して手順の結果を一定に保つことが奨励される。にもかかわらず、ユーザはこれらの測定ポイントまたはレベルを自由に調整して、分析中のその製品とシステムにとって重要である特定の集積回路技術の要求

条件に対応することができる。それが発生するとき、それらの手順の変化に関する文書を付属書 3 (例外事項ページ) に入力しておかなければならない。

6. 一貫した測定の方法が維持される場合、この手順から最良の結果が得られる。これは、信号エッジ上の特定の遷移ポイントを基準とした時間測定を行うときに重要である。この方法では、信号測定が特定の遷移ポイント、すなわち 50% で規定されるとき、遷移による異常が終了した後、オシロスコープに表示される 0% または 100% の定常状態レベルを基準としてエッジ上のこのポイントが確定されることが望ましいとされる。テストの基準チャンネル (最低チャンネル) は、測定ポイントの設定に使用した後、残されたテストチャンネルに対するその後の測定の基準として一貫して使用しなければならない。
7. データ分析 — 取り込まれたデータを分析してから、この方法の文書で提供される表 1 に適切なデータ入力を行う。
8. この方法の実行が完了したら、この文書の例外事項の節に、方法に関するすべての例外を記録する (付属書 3)。
9. 結果 — 表 2 へのデータ入力。表 2 に適切なデータ入力を行う。表 2 は、この方法の文書で提供されるとともに付属書 2 に記載される例で補足される。

10.2.1 レベル 1 の完了には、外部装置は必要とされないが、レベル 2 は外部装置の使用が要求される。ユーザは、すべての手作業によってこの手順を自由にインプリメントすることができる。他方では、ユーザは、レベル 2 でのデータ収集に対して自動化されたまたはロボットを使用したアプローチの適用を選択することができる。それでも、ユーザは、レベル 2 でのデータ収集にはアプリケーションプログラムによってもたらされるテストと外部装置の相互作用が必要であることに注意が必要である。

10.3 レベル 1 のテスト — レベル 1 テストは、ATE の自己分析能力を利用することによって、多量のデータを効率的に収集することを目的としている。これは、最小で等しい長さの接続状態にあるパフォーマンスボード上で、隣接するテストチャンネルを互いに短絡してから、1 つのチャンネルを使用してもう一方をテストすることによって行うことができる。図 1 を参照のこと。実行スピードとシステムリソースの対象範囲は、レベル 1 にとって最も重要である。システム障害の診断とは対照的に、レベル 1 は仕様の適合性を分析することを目的としている。すべての測定は、その後のデータの削減/分析を容易にするために「0」に正規化される。レベル 1 の目的は、データのみを収集することである。データ収集の最大効率を実現するために、データの削減と処理はオフラインで行う必要がある。

10.3.1 タイミング直線性テスト — このテストは、固定比率の遅延とパルス幅を方法として使用することにより様々なタイミング状態が掃引される間、最小サイクルプログラミングインクリメントでテストサイクルを「延長」することによって、ドライブ入力から比較出力のタイミング精度の確立に使用される。テストパターンは、すべての偶数または奇数のピンを同時に切り換え、すべての遷移および対応するストロブが各データポイントに対して少なくとも 100 回発生するように記述しなければならない。

10.3.2 説明を目的に、すべてのドライブエッジは平行に対で検出される。目的は比較エッジを掃引することにより、最も遅い比較エッジにより検出される最初のドライブエッジと、最も早い比較エッジによって検出される最後のドライブエッジを検出することである。

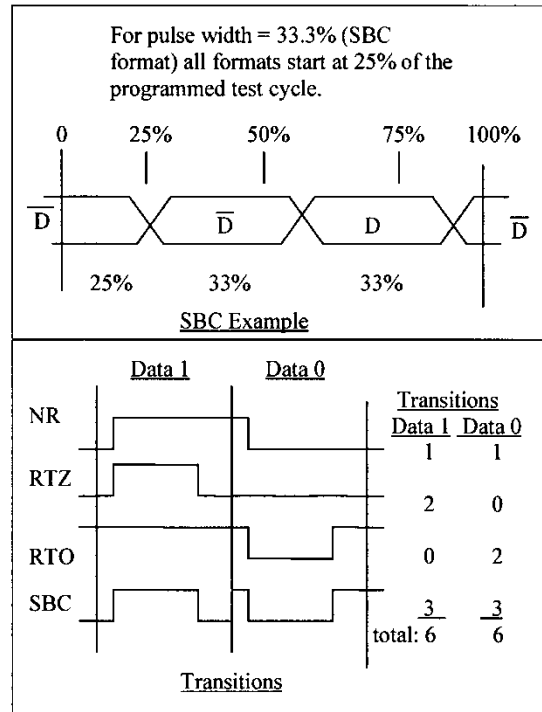


図 2
SBC の例と遷移

10.3.3 以下のテストサイクルの例およびネストされたループの概略は、テストフローを示す。

```

for amplitude = 1 V, 3 V, 5 V
  for direction =
    odd_pins_drive_ & _even_pins_compare to
    even_pins_drive_ & _odd_pins_compare
  for test_cycle = min_cycle to [min_cycle +
    500*cycle_resolution] by
    cycle_resolution, 3× min_cycle, 10× min cycle
  for pulse width = 50% (RTZ/RTO formats)
    = 33.3% (SBC format)
    = don't care (NR format)
  for format = NR, RTZ, RTO, SBC (NOTE: all formats start at 25% of the programmed test cycle)
    for all format transitions (pattern data 0 and 1)
      detect earliest occurrence of format transition midpoint with the latest compare pin
      detect latest occurrence of format transition midpoint with the earliest compare pin
      error = (latest occurrence – earliest occurrence)
    end transitions
  end format
end pulse width
end test_cycle
end direction
end amplitude
  
```

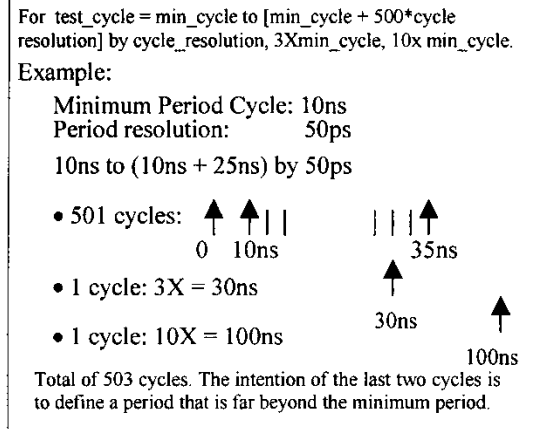


図 3
テストサイクルの例

10.3.4 延長遅延テスト — このテストは、タイミング発生器の遅延値がテストサイクルの長さを超えてプログラムされるとき、ドライブ入力から比較出力のタイミング精度の確立に使用される。ドライブ入力遅延は、その後のテストサイクルで発生するようにプログラムされ、対応するその後のテストサイクルで発生する比較遅延とともに検出される。目的は、エッジがその後のサイクルにプログラムされることを例外とすれば、10.3.1 項と同じである。フォーマットや電圧などの状態は、収集されるデータの量を妥当なレベルまで下げて保つために削減された。

10.3.4.1 以下のネストされたループの概略は、テストフローを示す。

```

for amplitude = 3 V
  for direction =
    odd_pins_drive_&_even_pins_compare to
    even_pins_drive_&_odd_pins_compare
    for test_cycle = min to 10*min by 0.1*min
      for format = NR
        for format_delay = test_cycle to max_delay by
          0.25*test_cycle (max delay is beyond the cycle boundary)
          detect earliest occurrence of format transition midpoint with the latest
            compare pin using pattern expect data shifted into the appropriate cycle
          detect latest occurrence of format transition midpoint with the earliest compare pin
            using pattern expect data shifted into the appropriate cycle
          error = (latest occurrence – earliest occurrence)
          end delays
        end format
      end test cycles
    end directions
  end amplitude

```

10.3.5 ドライバZ状態テスト — このテストは、Z から 1/0 までのおよび 1/0 から Z までのテストドライバ遷移のタイミング精度を検証する。ドライブ入力は、1/0 から Z までおよび Z から 1/0 の遷移とにプログラムされる。また、Z から 0 と 0 から Z に対してはドライブ 1 に終端された 50 Ω、および Z から 1 と 1 から Z に対してはドライブ 0 に終端された 50 Ω の負荷（基準負荷 C）が加えられる⁷。以下のネストされたループの概略は、テストフローを示す。

⁷ 7つのドライバを一緒に結ぶか、または抵抗器を論理ポイントに接続することは許容される。注：負荷「C」：ドライバのZから「H

```

for amplitude = 3 V
  for direction =
    odd_pins_drive_&_even_pins_compare to
    even_pins_drive_&_odd_pins_compare
    for test_cycle = 5*min_cycle
      for format_delay = 50%
        for format = NR
          detect earliest occurrence of Z to low transition at scaled midpoint with compare pins
          detect latest occurrence of Z to low transition at scaled midpoint with compare pins
          error=(latest occurrence – earliest occurrence)
          detect earliest occurrence of Z to 1 transition at scaled midpoint with compare pins
          detect latest occurrence of Z to 1 transition at scaled midpoint with compare pins
          error = (latest occurrence – earliest occurrence)
          detect earliest occurrence of 0 to Z transition at scaled midpoint with compare pins
          detect latest occurrence of 0 to Z transition at scaled midpoint with compare pins
          error = (latest occurrence – earliest occurrence)
          detect earliest occurrence of 1 to Z transition at scaled midpoint with compare pins
          detect latest occurrence of 1 to Z transition at scaled midpoint with compare pins
          error = (latest occurrence – earliest occurrence)
        end format
      end format_delay
    end test_cycle
  end direction
end amplitude

```

10.3.6 複数周期テスト⁸— これは、ATE が動的な（または「実行中」の）時間設定切り替えをサポートする場合のみに実行すべきオプションテストである。このテストの目的は、テスト周期と遅延変化が単一のテストパターンバーストの中で動的に生成されることを除いて、10.3.1 項と 10.3.4 項（タイミング直線性と延長遅延テスト）と類似している。以下のネストされたループの概略は、テストフローを示す。

```

for amplitude = 1 V, 3 V, 5 V
  for direction =
    odd_pins_drive_&_even_pins_compare to
    even_pins_drive_&_odd_pins_compare
  execute single pattern with the following
  dynamic changes:

```

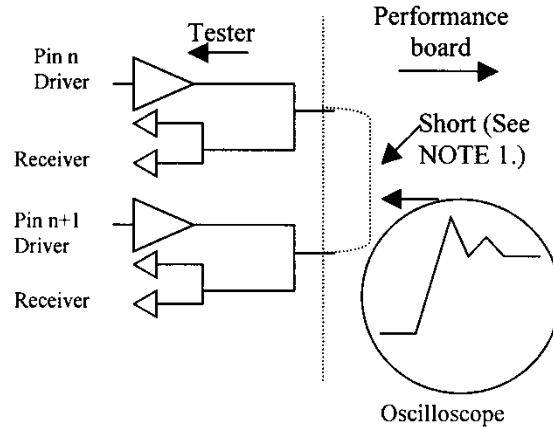
テスト サイクル	ドライ ブ フォー マット	フォー マット オフセ ット	パルス 幅	ドライ ブ データ	比較 オフセッ ト	期待さ れるデ ータ
分	SBC	20%	33%	1	53%	H
分	SBC	20%	33%	1	86%	L
分	SBC	20%	33%	0	53%	L
分	SBC	20%	33%	0	86%	H
分	SBC	20%	33%	1	20%	L

⁸

このアルゴリズムでは64回の設定が必要とされる。装置で64回の設定が行われていない場合、利用可能な量に対応できるようにアルゴリズムを調整して、付属書3の例外事項ページに相違を注記すること。

テスト サイクル	ドライ ブ フォー マット	フォー マット オフセ ット	パルス 幅	ドライ ブ データ	比較 オフセッ ト	期待さ れるデー タ
分	SBC	20%	33%	0	20%	H
64*分	SBC	20%	33%	1	53%	H
64*分	SBC	20%	33%	1	86%	L
64*分	SBC	20%	33%	0	53%	L
64*分	SBC	20%	33%	0	86%	H
64*分	SBC	20%	33%	1	20%	L
64*分	SBC	20%	33%	0	20%	H
2*分	SBC	20%	33%	1	53%	H
2*分	SBC	20%	33%	1	86%	L
2*分	SBC	20%	33%	0	53%	L
2*分	SBC	20%	33%	0	86%	H
2*分	SBC	20%	33%	1	20%	L
2*分	SBC	20%	33%	0	20%	H
63*分	SBC	20%	33%	1	53%	H
63*分	SBC	20%	33%	1	86%	L
63*分	SBC	20%	33%	0	53%	L
63*分	SBC	20%	33%	0	86%	H
63*分	SBC	20%	33%	1	20%	L
63*分	SBC	20%	33%	0	20%	H
32*分	SBC	20%	33%	1	53%	H
32*分	SBC	20%	33%	1	86%	L
32*分	SBC	20%	33%	0	53%	L
32*分	SBC	20%	33%	0	86%	H
32*分	SBC	20%	33%	1	20%	L
32*分	SBC	20%	33%	0	20%	H

detect earliest occurrence of format transition midpoint with the latest compare pin
 detect latest occurrence of format transition midpoint with the earliest compare pin
 error = (latest occurrence - earliest occurrence)
 end direction
 end amplitude



隣接するテストピンへの対は、パフォーマンスボード上の最短接続により短絡させることができる。

オシロスコープ測定の基準が要求される。その基準は、テストシステムのタイミングに同期した任意の信号が可能である。選択される基準信号は、一貫性があり安定していなければならない。これについての例は、別のテストピンまたはマスター発振器の基準信号であってもよい。

注 1：この方法のユーザは、レベル 2 ドライバ入力タイミングエラーのデータ収集を目的にここで示される短絡されたボードに対して、開回路性能ボードを使用してドライバ信号属性の改善を見出す場合がある。他方で、短絡された性能ボードは、ドライバを信号源として使用するため、比較出力タイミングエラーテストの有益なアプローチである。にもかかわらず、ユーザはパルス発生器を比較出力タイミングエラーテストの信号源として任意に使用してもよい。50 Ω のパルス発生器には、代替のドライバに匹敵するエッジ速度が備わっていなければならない。テストのセットアップ条件と使用されるパルス発生器の立ち上がり時間は、例外事項ページ（付属書 3）に文書化しておかなければならない。

図 4
レベル 2 の検証

10.4 レベル 2 のテスト — レベル 1 テストによるデータ収集の効率によって、ある特定の仕様における構成要素の分離を妨げる場合がある。さらに、自己分析手順によって、他の仕様の構成要素に寄与するいくつかのエラー条件がマスクされる場合もある。したがって、レベル 2 モジュールの目的は、外部計器を使用して個々の仕様の構成要素を区別して、潜在的にマスクされた結果を詳細に分析することによってレベル 1 の結果を補足することである。外部計器を使用することによって個々のパラメータの独立した測定が容易になるが、プローブの物理的移動が要求されるため（ロボットで自動化されていない場合）、データ収集の効率が低下する。図 4 を参照のこと。

10.4.1 ドライバ入力タイミングエラーテスト — ドライバ入力タイミングエラーはレベル 1 テスト⁹に於いて出力比較タイミングエラーと区別することができないため、ドライバ入力タイミングエラーを出力

⁹ 付属書 2 の A2-1.3 項、および付属書 2 で説明に使用した例を参照のこと。

比較タイミングエラーから分離するには外部計器を使用しなければならない。さらに、レベル1では隣接したピンの対のみを使用して分析するため、隣接するピンを超えたピン間の「ずれ」を識別するには外部計器が必要とされる。これには、個別の代表的なドライバ入力タイミング状態の測定が要求される。ドライバ入力タイミングエラーの測定基準は、高帯域幅デジタル標本抽出オシロスコープである。すべてのピンの網羅的テストは非実用的であるため、削減された1組の代表的状態を使用する。非二進ピンサンプリングインクリメントの用途は、伝統的な二進アーキテクチャ境界が確実に交差するようにすることである。一般的な測定方法を使用する場合、テスター／計器には相互作用があるため、ドライバ入力タイミングエラーテストの許容誤差は $\pm 20 \text{ ps}^{10}$ である。

10.4.1.1 以下のネストされたループの概略は、テストフローを示す。

```
for amplitude = 3 V
  for pin = 1 to n by 3
    for test_cycle = min, 2*min, 3*min, 10*min
      for format_delay = 50% of test cycle
        for format = NR, RTZ, RTO, SBC
          for all format transitions
            detect midpoint of drive transition with oscilloscope (averaging = 8)
            error = (measured_delay - programmed_format_edge_time - zero_reference_measurement)
          end transitions
        end format
      end format_delay
    end test_cycle
  end pin
end amplitude
```

10.4.2 比較出力タイミングエラーテスト — 比較出力タイミングエラーはレベル1テストに於いてドライバ入力タイミングエラーと区別することができないため、比較出力タイミングエラーをドライバ入力タイミングエラーから分離するには外部計器を使用しなければならない。これには、個別に代表的な比較出力タイミング状態の測定が要求される。各テストドライバは、パフォーマンスボード上における最小で等しい長さの接続状態にある隣接したテスターチャネルを共に短絡することによって、同期基準信号の提供に使用される。ドライバ信号の実際の遅延は、高帯域幅デジタル標本抽出オシロスコープによって検証される（表4を参照）。

注1: 測定される信号の midpoint に信号反射が存在する場合（パフォーマンスボードからテスター受信機までの距離が長いことによる）、次に示されるように、midpointの代わりに基準ドライバ波形の25%ポイントを使用しなければならない。

10.4.2.1 すべてのピンの網羅的テストは非実用的であるため、削減された1組の代表的状態を使用する。非二進ピンサンプリングインクリメントの用途は、伝統的な二進アーキテクチャ境界が確実に交差するようにすることである。

10.4.2.2 以下のネストされたループの概略は、テストフローを示す。

```
for amplitude = 3 V
  for pin = 1 to n by 3
    for test_cycle = min, 2*min, 3*min, 10*min
      for format_delay = 50% of test_cycle
        for format = NR
          for edge = rising, falling
            detect midpoint of NR drive signal with oscilloscope (averaging = 8)
            detect midpoint of drive transition with comparator (strobe compare mode)
            error = (measured_delay - programmed_compare_delay - zero_reference_measurement)
          end edge
        end format
      end format_delay
    end test_cycle
  end pin
end amplitude
```

¹⁰

測定データを記録するとき、測定装置からのデータの取得に関わるすべての測定についてログをとり、関連装置の許容誤差を個別のエンティティとして示すこと。

```

end format
end format_delay
end test_cycle
end pin
end amplitude

```

注 2: NR ドライブ信号の midpoint の検出は、比較エッジ掃引技術によって行わなければならない。

10.4.3 ドライバ遷移時間テスト — ドライバ遷移時間エラーは比較タイミングエラーとコンパレータ帯域幅制限によってマスクされる可能性があるため、ドライバ遷移時間エラーの測定には外部計器が必要とされる。ドライバ遷移時間の測定に使用される基準は、高帯域幅デジタル標本抽出オシロスコープである。

10.4.3.1 一般的な測定方法を使用する場合、テスター／計器には相互作用があるため、ドライバ遷移時間測定の許容誤差は ± 150 ps¹¹ である。信号測定は、基準負荷 A の負荷を加えたドライバを使用して行わなければならない (500Ω を $2.5 \text{ pF} \pm 0.5 \text{ pF}$ の静電容量と並列に接続)。以下のネストされたループの概略は、テストフローを示す。

```

for amplitude = 1 V, 3 V, 5 V (optional)
  for pin = 1 to n
    for edge = rising to falling
      measure the 20% to 80% transition time of a R driver signal with test cycle = 10*min,
      delay = 0s using oscilloscope (averaging = 8)
      error = maximum transition time – minimum transition time
    end edge
  end pin
end amplitude

```

10.4.3.2 遷移時間測定は、正と負の信号エッジの両方に対する測定済み 20%ポイントと 80%ポイントとの間で行うこと（すなわち、オシロスコープに表示された 0%または 100%の定常レベル状態を基準とした信号遷移エッジの 20%ポイントと 80%ポイント）。理想的には、選択される測定ポイントは、遷移におけるすべての変化が終了した後に結果として生じる定常状態レベルを基準にしなければならない。これらの測定のために測定ポイントを設定するとき、最も低いテスターピンを基準チャンネルとして使用する。

10.4.3.3 ATE システムでは、焦点を合わせた校正ルーチンをドライバピンに使用してもよい。そのルーチンは、遷移時間の変化を原因とするエッジエラーの修正を目的とする。この能力を備えたマシンに対してこの手順を実行するという状況においては、この手順のユーザは以下に注意する必要がある。1) ドライブ入力遷移時間変化テストをとにかく実行する。および、2) 方法データの概要にテスト結果を入力する（表 2）。遷移変化に関する表 2 への入力、基準パラメータとなる。定義されたこの方法では、遷移変化とジッターを除くドライブエッジエラー測定を行うことができない。

10.4.4 ドライバ入力タイミングサイクルジッターテスト¹² — ドライバ入力タイミングジッターはレベル 1 テストからは求めることができないため、外部計器は、短期間の、サイクルごと（または周期）の不安定性の測定に使用しなければならない。これは、高帯域幅のデジタル標本抽出オシロスコープを使用して、テスト中のドライバ入力チャンネルの周期測定を行うことによって可能となる。測定ジッターを最小限に抑えるには、50 オームプローブを使用しなければならない。一般的な測定方法を使用する場合、テ

¹¹ この 150 ps の許容誤差は 20

ps よりも大きく広げた。オシロスコープと関連したレベル感度や、遷移時間測定の精度を下げるオシロスコーププローブの代表的帯域幅の変化が原因である。

¹²

このジッターテストおよびその後のジッターテストのためにスコーププローブを起動する。高持続表示を使用して信号ジッターを表示する。統計的な処理能力を備えた高帯域幅標本抽出オシロスコープの使用が推奨される。計器のジッターは、付属書 4 で説明されるように測定信号ジッターから抽出しなければならない。