免責事項:この SEMI スタンダードは，投票により作成された英語版が正式なものであり，日本語版は日本の利用者各位の便宜のために作成したものです。万が一英語と日本語とに差異がある場合には英語版記載内容が優先されます。

SEMI M51-0303
GOI（Gate Oxide Integrity）によるシリコンウェーハテスト方法

本テスト方法は，Global Silicon Wafer Committee で技術的に承認されたもので，Japanese Silicon Wafer Committee が直接責任を負うものである。現版は，2003 年 1 月 10 日 Japanese Regional Standards Committee にて承認されている。2003 年 1 月にまず www.semi.org で入手可能になり，2003 年 3 月発行に至る。初版は 2002 年 7 月発行。

注意:本文書は 2002 年に全面改訂された。

1 目的

1.1 本テスト方法はGate Oxide Integrity（GOI）によるウェーハ品質評価法に関するものである。本手法は，GOIによる鏡面研磨シリコンウェーハ（以下ウェーハと略）中のCrystal Originated particles（COP）密度を評価するのに有効である。

2 範囲

2.1 本テスト方法はGOIを用いたウェーハ品質評価法に関するものである。本テストスタンダードでは，Metal-Oxide-Semiconductor（MOS）キャパシタ作製，電気特性評価，解析そしてデータ取りまとめについて記載されている。

2.2 MOSキャパシタには，熱酸化によるゲート酸化膜を用い厚範囲は 20-25nm程度である。また，電極材料としては，多結晶シリコンを採用した。なおゲート酸化膜厚に対する議論は後述する。

2.3 MOSキャパシタの電気特性評価には，即時絶縁破壊（Time Zero Dielectric Breakdown（TZDB））特性を用いた。

2.4 酸素析出物も絶縁破壊耐圧劣化の原因[1]となるが，購入直後のウェーハでは，通常酸素析出物はほとんど含まれない。従って，ここでは議論の対象としない。

注 1: 多結晶シリコン電極は実際の集積回路に適用されており，又他の電極材料と比較しても実際の集積回路との整合性が高いウェーハ評価結果を得ることができる。

注 2: TZDB 測定は，MOS キャパシタ酸化膜の絶縁破壊電界強度を求めるものである。絶縁破壊電界強度の分布から，COP 密度を評価することができる。

注 3: MOS 構造については，EIA/JEDEC スタンダード 35-1 に詳細が記載されている。一般的に，単純な平面構造をした MOS キャパシタ以外に，いろいろな素子分離構造を持ったもの（Local Oxidation of Silicon（LOCOS），Shallow Trench Isolation（STI））や，電界効果トランジスタ（Field Effect Transistor（FET））などがあるが，シリコン結晶評価を目的とする場合は，素子分離構造等を持たない単純な平面 MOS（以下単に MOS と記載）を採用するのが望ましい。種々の素子分離構造や FET などのように複雑なプロセスとなると，これに相応して複雑な熱履歴を通ることで，シリコンウェーハへの変質あるいは形成プロセスによるシリコン酸化膜の絶縁特性に損傷を受け，本来のシリコンウェーハ評価とは言えなくなる可能性が生じる。

注 4: 本スタンダードはシリコンウェーハメーカ各社で実施したラウンドロビンの結果をもとに構築されている。一般的にウェーハ表面上に存在する COP は，TZDB 特性に影響する。また GOI 評価結果は，ウェーハ表面もしくは表面近傍に存在する結晶欠陥，金属不純物，パーティクルはもとより，MOS 作製プロセスの環境影響にも左右される。MOS 作製時のクリーンルーム環境については評価結果に影響しない程度のクリーン度が必要である（5.2.1 項および関連情報 1 に後述）。

注意:本スタンダードはその使用に関連した全ての安全問題を取り扱うことを意図していない。このスタンダードの使用者は，その責任において，適切な安全及び健康上の作業方法を確立し，また使用前に規制上その他の制限への適用性を判断するものである。

3 参照スタンダード

3.1 *SEMI スタンダード*

SEMI C3.6 — Standard for Phosphine (PH_3) in Cylinders, 99.98% Quality (Provisional)

SEMI C3.21 — Standard for Carbon Tetrafluoride (CF_4) in Cylinders (Provisional)

SEMI C3.22 — Standard for Oxygen (O_2), 99.5% Quality

SEMI C3.23 — Standard for Oxygen (O_2), 99.98% Quality

[1] K.Yamabe and K.Taniguchi, “Time-Dependent Dielectric Breakdown of Thin Thermally Grown SiO_2 Films”, J. Solid St. Circuits, SC-20, 343(1983).

注:SEMI による書面での了承なき場合は，本書の全部もしくは一部の転載を禁じる。
©Semiconductor Equipment and Materials International (http://www.semi.org/)
©SEMI ジャパン 〒102－0074 東京都千代田区九段南 4－7－15 健和ビル 7 階

Documents
Document Sharing Hub

Full document details: SEMI M51-0303N (Japanese)

SEMI C3.28 — Standard for Nitrogen (N_2), VLSI Grade in Cylinders, 99.9996% Quality

SEMI C3.41 — Standard for Oxygen (O_2), Bulk, 99.9998% Quality (Provisional)

SEMI C3.49 — Standard for Bulk Nitrogen (N_2), 99.99999% Quality (Provisional)

SEMI C3.54 — Gas Purity Guideline for Silane (SiH_4)

SEMI C21 — Specifications and Guideline for Ammonium Hydroxide

SEMI C27 — Specifications and Guidelines for Hydrochloric Acid

SEMI C28 — Specifications and Guidelines for Hydroflouric Acid

SEMI C30 — Specifications and Guidelines for Hydrogen Peroxide

SEMI C35 — Specifications and Guideline for Nitric Acid

SEMI C38 — Guideline for Phosphorus Oxychloride

SEMI C41 — Specifications and Guidelines for 2-Propanol

SEMI C44 — Specifications and Guidelines for Sulfuric Acid

SEMI M1 — Specifications for Polished Monocrystalline Silicon Wafers

3.2 *ASTM スタンダード*[2]

ASTM D5127 — Standard Guide for Ultra Pure Water Used in the Electronics and Semiconductor for Industry.

ASTM F1241 — Terminology of Silicon Technology

ASTM F1771 — Standard Test Method for Evaluating Gate Oxide Integrity by Voltage Ramp Technique.

3.3 *EIA/JEDEC スタンダード*[3] [4]

EIA/JEDEC 35 — Procedure for the Wafer-Level Testing of Thin Dielectrics

EIA/JEDEC 35-1 — General Guidelines for Designing Test Structures for the Wafer-Level Testing of Thin Dielectrics

EIA/JEDEC 35-2 — Test Criteria for the Wafer-Level Testing of Thin Dielectric

注意：別途指示のない場合，引用された全ての文書は最新の出版バージョンである。

4 用語

4.1 *略語および頭字語*

4.1.1 COPs — Crystal Originated Particles

4.1.2 GOI — Gate Oxide Integrity

4.1.3 LOCOS — Local Oxidation of Silicon

4.1.4 MOS — Metal Oxide Semiconductor

4.1.5 STI — Shallow Trench Isolation

4.1.6 TZDB — Time Zero Dielectric Breakdown

4.2 *定義*

4.2.1 多くの関連する用語は，ASTM Terminology F 1241 に定義されている。

4.2.2 さらに多くの関連用語は，SEMI M1 and ASTM F1771 にもあわせて記載されている。

4.2.3 これら上記のスタンダードに記載されていない用語として以下のものがある。

4.2.3.1 *Crystal Originated Particles*[5] *(COPs)* — CZ結晶中に存在する正8面体形状をした空洞のGrown-in欠陥である。本欠陥はRCA洗浄のひとつであるSC-1[6] 洗浄の繰り返しにてパーティクルとして観察されることよりこのように名づけられた。

注 5: COPはGOI劣化の主要因である。このタイプの欠陥は，シリコン表面を酸化したとき，そのコーナー部で絶縁破壊しやすく，酸化膜絶縁破壊劣化の原因の一つであることが明らかにされている[7,8]。正8面体形状をしたCOPのコーナー部では酸化膜が薄くなり，この薄片化した箇所に電界集中が起こり，酸化膜破壊が起こる。

2 American Society for Testing and Materials, 100 Barr Harbor Drive, West Conshohocken, Pennsylvania 19428-2959, USA. Telephone: 610.832.9585, Fax: 610.832.9555 Website: www.astm.org

3 Electronic Industries Alliance, EIA Engineering Department, Standards Sales Office, 2001 Eye Street, NW, Washington, D.C. 20006, USA. Website: www.eia.org

4 Joint Electron Device Engineering Council, 2500 Wilson Blvd., Arlington, VA 22201, website: www.jedec.org

5 J. Ryuta, E. Morita, T. Tanaka and Y. Shimanuki, “Crystal – Originated Singularities on Si Wafer Surface after SC1 Cleaning”, *Jpn. J. Appl. Phys*. 29(1990) L947.

6 W. Kern and D. Puotinen, “Clean Solution Based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology”, *RCA Rev*., 31, 187(1970).

7 T. Mera, J. Jablonski, K. Nagai, and M. Watanabe, “Grown-in defects in silicon crystals responsible for gate oxide integrity deterioration”, *Ohyo-Buturi*, 66(7), 728 (1997).

8 K.Yamabe and K.Imai, “Nonplanar Oxidation and Reduction of Oxide Leakage Currents at Silicon Corners by Rounding-off Oxidation”, IEEE Trans. Electron Devices, ED-34,1681 (1987) .

Documents Document Sharing Hub
Full document details: SEMI M51-0303N (Japanese)

4.2.3.2 *モード分離* — TZDBの破壊電界強度ヒストグラムは典型的には3つのピークに分かれる。シリコン酸化膜厚が 20-25nmでは，この 3 つのピーク（A，B，C モードと名づけられている）は大よそ次の電界領域に現れる[9, 10]。

- *A モード不良 : 0 MV/cm ≤ E_{bd} < 3 MV/cm*
- *B モード不良: 3 MV/cm ≤ E_{bd} < 8MV/cm*
- *C モード: 8 MV/cm ≤ E_{bd}*

注 6: 不良モードに関する議論：

- *A モード不良*:初期破壊

  これは酸化膜ピンホールに起因し，COPs のようなシリコンウェーハに起因するものではなく，ゲート酸化膜形成時に生ずるものである。
- *B モード不良*:偶発破壊

  COP がこの不良の主原因である。この不良モードは MOS デバイスや MOS 集積回路の信頼性へ影響する。
- *C モード不良*:磨耗破壊

  上記 B モード不良（偶発不良）に含まれるシリコン結晶起因も一部含まれるが，ほとんどが摩耗破壊であり，不良ではなく，良品である。破壊電界強度にて3つに分類する考え方は，ゲート酸化膜が 20-25nm よりも薄い領域では，分類するための電界強度値を変えなければならず，注意が必要である。詳細は関連情報 1 で議論する。

4.2.3.3 *即時絶縁破壊 (TZDB)* — 電気的酸化膜破壊特性のひとつである。本方法とは別に経時絶縁破壊Time Dependent Dielectric Breakdown (TDDB)[11,12]，がある。

4.2.3.3.1 *議論* — MOSキャパシタの電圧-電流特性(I-V)において，所定の絶縁破壊判定電流I_{bd}に達する電界分布を調べる。なお，電界強度は破壊電圧を酸化膜厚で除して規格化した値とする。

9 K. Yamabe, K. Taniguchi, and Y. Matsushita, “Thickness Dependence of Dielectric Breakdown Failure of Thermal SiO_2 Films”, *Reliability Physics – 21st Annual Proceedings*, 1983, p.184.

10 K. Yamabe, Y. Ozawa, S. Nadahara, and K. Imai, “Thermally Grown Silicon Dioxide with High Reliability”, in “Semiconductor Silicon 1990”, ECS Proceedings Volume 90-1, PP..349-363.

11 D. L. Crook, “Method of Determining Reliability Screens for Time Dependent Dielectric Breakdown”, Proc. *Int. Reliability Physics Symposium*, 1979, p.1

12 E. S. Anolick and G. R. Nelson, “Low Field Time Dependent Dielectric Integrity”, Proc. *Int. Reliability Physics Symposium*, 1978, p.8

5 方法の要約

5.1 *概要* — 本テスト方法は，主にシリコンウェーハ上に同一MOSキャパシタを多数作製するプロセスと，その絶縁破壊電界を測定するプロセスからなる。絶縁破壊電界の測定は，MOSキャパシタに電圧をステップ状に印加し，シリコン酸化膜を通して流れるリーク電流値の測定し，シリコン酸化膜の絶縁破壊電界ヒストグラムからシリコンウェーハに起因する絶縁破壊欠陥密度を求める。欠陥密度はBモード不良率から算出する。本テスト方法はシリコンウェーハ特性評価のためのもので，CZウェーハの結晶欠陥（主にCOP）評価に非常に有用である。

5.2 *MOSキャパシタ作製プロセス* — テストウェーハ上に多数のMOSキャパシタを作製する。MOSキャパシタ作製プロセスは，主にウェーハ洗浄，熱酸化，多結晶シリコン堆積及びリン拡散，活性化熱処理，フォト・リソグラフィ，多結晶シリコンエッチングのプロセスからなる。

5.2.1 *試料作成環境* — MOSキャパシタの作製には，全て質的にクラス 1000 以上の清浄度をもったクリーンルーム環境下で行う必要がある。Aモード不良率が 10%以下であることを確認する必要がある。Aモード不良は，作業環境雰囲気のパーティクルのみならず，そこで使用する超純水，治具，プロセス装置，無塵衣，作業管理等による。アルカリ金属，重金属による重度の汚染はシリコン酸化膜のTZDBに与える影響が大きい。

5.2.2 *ウェーハ洗浄プロセス* — ウェーハの本来の状態を評価するためには酸化前洗浄を行わない。酸化炉を汚染する心配がある場合は，酸化前に洗浄を行う。この洗浄には，一般的には改良されたRCA洗浄[6]が行われている。パーティクルおよび金属汚染は，酸化膜の絶縁破壊欠陥を増加させる可能性がある。洗浄方法は，先程述べた様に，Aモード不良率が10%以下であることを事前に確認されたものでなければならない。

5.2.3 *熱酸化プロセス* — ウェーハを熱酸化してMOSキャパシタのゲート酸化膜を形成する。酸化条件を一定にすることが望ましい。それは，酸化速度は酸化温度に影響され[13]，さらにゲート酸化膜の膜質は酸化膜厚，厳密に言えば酸化条件（雰囲気，温度等）に依存するためである。酸化膜厚は 20-25nm，酸化雰囲気はドライ酸素，酸化温度 850-950℃を推奨する。塩酸あるいは水蒸気を酸化雰囲気に添加することで，酸化膜の欠陥密度を過少評価する場合がある。そのため，ある特殊な条件で形成された酸化膜での結果と

13 B.E.Deal and A.S.Grove, “General relationship for the thermal Oxidation of Silicon”, J.Appl.Phys., 36, 3770(1965).

M51-0303
Documents
Document Sharing Hub
Full document details: SEMI M51-0303N (Japanese)

上記の酸化条件で形成された酸化膜での結果を直ちに比較することはできない。なお，酸化時にモニター・ウェーハを評価ウェーハと一緒に酸化し，モニター・ウェーハの酸化膜厚を評価する。酸化膜厚は面内 5 点以上の測定結果を平均して酸化膜厚とする。

5.2.4 *電極形成* — 多結晶シリコン層が厚さで200nm～400nm，シート抵抗で 20-50ohm/sq.以下になるように減圧CVD法で成膜する。一般には多結晶シリコン堆積の後リン拡散を行う方法(リン拡散多結晶シリコン)と，多結晶シリコン堆積と同時にリンを添加する方法（不純物同時添加多結晶シリコン）がある。

5.2.5 *リン拡散ポリ* — 低圧化学蒸着（Low Pressure Chemical Vapor Deposition（LP-CVD））法により多結晶シリコン堆積を行い，その後に$POCl_3$ 等のリン拡散源を用いてリン拡散プロセスを行う。

5.2.6 *不純物同時添加多結晶シリコン堆積* — リンを添加した多結晶シリコンをLPCVDにて堆積し，続いて，活性化熱処理によって抵抗を下げる。

注 7: 多結晶シリコン層のシート抵抗が大きすぎる場合，電極での電圧降下が無視できない。そのために，高電界側の領域では酸化膜に流れる電流が減少する。一方，添加リン量が過剰で，シート抵抗があまりにも低い場合は，酸化膜の絶縁特性が劣化する。多結晶シリコン層の膜厚が薄すぎる場合は酸化膜のウイークスポットで自己修復が起こり易くなり，欠陥密度を過小に評価しうる。さらにタングステンなどの探針により機械的なストレスを加えて TZDB 特性を劣化させる場合がある。多結晶シリコン層が厚すぎる場合，リン拡散多結晶シリコンにおいてはリコン/酸化膜界面近傍にリンが拡散されないために寄生抵抗が生じ，電圧降下が生じる。これらの多結晶シリコン層の膜厚，およびシート抵抗の測定に対してもモニター・ウェーハを用いて，処理バッチごとにモニターをすることが望ましい。

5.2.7 *フォト・リソグラフィプロセス* — MOSキャパシタの電極形成のために，多結晶シリコンをフォト・リソグラフィによりパターン形成する。このマスク設計については，EIA / JEDEC スタンダード 35, 35-1, 35-2 を参照。結晶欠陥を感度よく検出するためには，それぞれの欠陥密度に適した面積および個数のMOSキャパシタが必要である。COPの評価には，同一ウェーハ上に $10mm^2$ のMOSキャパシタを 100 個以上測定することが目安である。（関連情報 1 表R1-3 参照）予備として，同一面積のMOSキャパシタをそれぞれのチップ内に用意することが望ましい。

5.2.8 *エッチングプロセス* — フォト・リソグラフィにて形成されたレジストパターンをマスクにして，多結晶シリコンをエッチングする。エッチングはウェット・エッチングもしくはドライ・エッチングにて行う。ウェット・エッチングの場合は，エッチングレートをよく制御する必要がある。オーバーエッチングにより電極周辺の酸化膜が消失すると，酸化膜のTZDBを精度よく測ることができなくなることがある。ドライ・エッチングを用いる場合は，特に反応性イオンエッチング（Reactive Ion Etching（RIE））を行う場合は，MOSキャパシタの帯電に注意を払う必要がある。Aモード欠陥密度が高い場合は，エッチング中の帯電が生じていないことを確認する必要がある。レジストパターンの剥離に灰化装置を用いる場合も，帯電に注意を払う必要がある。RIE同様，Aモード欠陥密度が高い場合は，灰化中の帯電が生じていないことを確認する必要がある。なお，ウェーハ裏面に酸化膜や多結晶シリコンの高抵抗の膜がある場合は，その除去を行った方がよい。

5.3 MOSキャパシタの電気特性測定

5.3.1 シリコン酸化膜の絶縁破壊欠陥密度を，MOSキャパシタのTZDBにより評価する。TZDBでは，階段状に連続的に印加電圧を昇圧し，絶縁破壊判定電流に達したときに印加された電圧（絶縁破壊電圧）を記録する。MOSキャパシタを 100 個以上測定した結果の絶縁破壊電圧ヒストグラムから酸化膜欠陥密度を評価する。

5.3.2 Fowler-Nordheim（FN）トンネル電流の電流 — 電圧(I-V)曲線の形状から作成したMOSキャパシタの 2 つの特性を知ることができる。一つは，I-V曲線の広いばらつきに表れる酸化膜厚のばらつきである。もう一つは，高電流側でI-V曲線の急な折れ曲がり，傾きの減少がある場合，たとえば多結晶シリコン電極の抵抗が高い時には，高い寄生抵抗が存在する場合がある。このような場合には測定結果の信頼性が低下するので，MOS作成プロセスの調整が必要である。

5.3.3 *印加ステップ電圧*

注 8: 精度よい測定のために，出力波形が安定している電圧源を用いる必要がある。昇圧時のオーバーシュートは，見かけの絶縁破壊電圧が真の絶縁破壊電圧と比較して劣化させる可能性があるので，極力排除することが必要である。TZDB の測定では，一定の電圧をあらかじめ定めた時間印加し続け，その後に電流を測定する。次に階段状に印加電圧を増加させる。そしてこの手順を繰り返す。ホールド時間については，100ms より短い場合は，電流測定のため電圧の安定性が十分でない可能性がある。これに対してホールド時間が 800ms よりも長い場合は，電圧の安定性の面では十分であるが，特に高電界域では，TDDB と同様の電界によるストレスを受ける可能性がある。推奨測定条件は，hold 時間は 200ms とした。ラウンドロビンでの測定結果(関連情報 1)では 100～800ms でも特に問題はない。電圧ステップ高さについては，電界強度に換算した値で，0.1～0.5MV/cm の範囲とする。なお，電圧の極性はシリコン表面が蓄積方向になるように電圧を印加する。つまり，P型シリコンウェーハでは，負のゲート電圧である。印加する最大電界は 15MV/cm とする。15MV/cm 以上印加する場合，寄生抵抗による電圧降下のため実効的に適正な電圧が印加されな

Documents Document Sharing Hub
Full document details: SEMI M51-0303N (Japanese)

い。n型シリコンウェーハでは，ゲート印加電圧を正電圧にする必要がある。

5.3.4　*絶縁破壊の判定*

5.3.4.1　絶縁破壊は，シリコン酸化膜を通して流れるリーク電流によって判定する。つまり，リーク電流が判定電流を超えたとき絶縁破壊と判定し，そのときに印加されている電圧を絶縁破壊電圧と定義する。絶縁破壊電界は絶縁破壊電圧を酸化膜厚で規格化したものである。

5.3.4.1.1　*議論* — 判定電流値が大きすぎる($Ig > 10^{-3}A$) 場合は，測定系あるいは試料の直列抵抗によって，本来Aモード不良であるべきものがBモード不良に判定されてしまうことがある。一方，判定電流値が小さすぎると（$Ig < 10^{-7}A$），比較的電界強度が低いFN電流領域で判定することになるために，絶縁破壊しておらず，本来Cモードであるべきものが，Bモードと判定される場合もおこりうる。どちらの場合も測定が正確に行われ，正しくI-V特性が得られていても，不良の分類モード分けを誤ることになる。これらの理由から，判定電流値は，$10^{-5}A$にすることが望ましい。

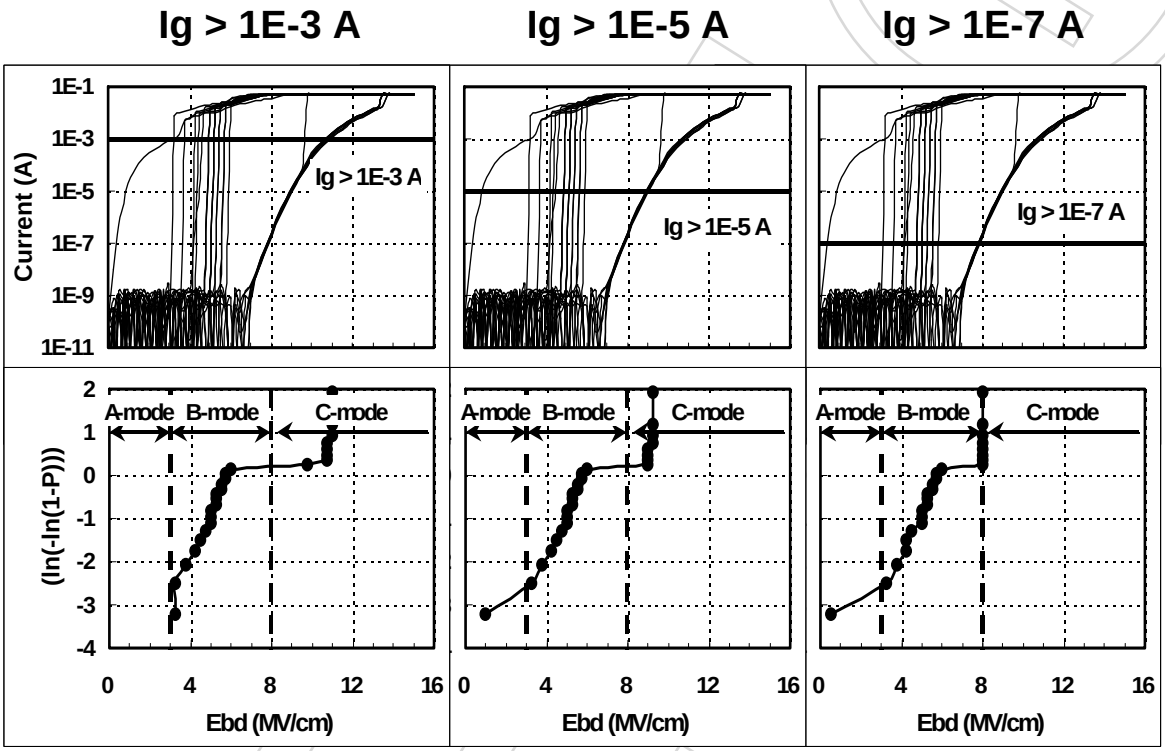

図 1
Comparison of Judgment Conditions

6 適応上の注意事項

6.1　本スタンダードは，シリコン熱酸化膜の絶縁破壊欠陥密度を見積もることにより，p型シリコンウェーハの結晶特性の情報を得ることを規定するものである。本技術では，MOSキャパシタ作製プロセスの影響を受けやすいので，5 項に挙げたプロセス条件内で行うことが望まれる。

6.2　シリコンの表面形状も，MOSデバイスのパターンエッジの断面構造も共に，ゲート酸化膜の絶縁破壊特性に影響を与えることが良く知られている。種々の汚染もまた，ゲート酸化膜の絶縁破壊特性に影響を与える。アルカリまたは重金属あるいは有機汚染は，製造プロセスステップを増やしていくと増加していく。さらに，COPは，SC-1 洗浄回数を増やすと増加してくる。このことは，できるだけ簡単なプロセスで作製された単純なMOS構造で測定されるゲート酸化膜絶縁破壊特性が，シリコンウェーハ特性そのものを描写することを示している。熱プロセスは，シリコンウェーハ中の酸素析出核を生成・成長させることが知られている。本標準は，このような酸素析出を促すような高温プロセスを通したシリコンウェーハには適用することは出来ない。

M51-0303
Documents
Document Sharing Hub
Full document details: SEMI M51-0303N (Japanese)