

SEMI M51-1012

TEST METHOD FOR TIME ZERO DIELECTRIC BREAKDOWN CHARACTERISTICS OF AMORPHOUS SiO₂ FILMS FOR SILICON WAFER EVALUATION

シリコンウェーハ評価のための SiO₂ の即時絶縁破壊特性 (TZDB) の試験方法

Notice: This translation is a REFERENCE COPY ONLY. If differences should exist between the English version and a translation in any other language, the English version is the official and authoritative version.

免責事項: この SEMI スタンダードは、投票により作成された英語版が正式なものであり、日本語版は日本の利用者各位の便宜のために作成したものです。万が一英語と日本語とに差異がある場合には英語版記載内容が優先されます。

SEMI スタンダード日本語翻訳版をご利用にあたっての注釈を本文の末尾に記載しております(「すべきである」「しなければならない」について等)。

本スタンダードは、global Silicon Wafer Technical Committee で技術的に承認されている。現版は 2012 年 8 月 30 日、global Audits and Reviews Subcommittee にて発行が承認された。2012 年 10 月に www.semiviews.org および www.semi.org で入手可能となる。初版は 2002 年 7 月発行。前版は 2003 年 3 月発行。

注意: 本文書は、2012 年、全面的に改訂された。

1 目的

1.1 本テスト方法は、Gate Oxide Integrity (GOI) によるウェーハ品質評価法に関するものである。GOI はシリコン基板中に存在する COP を検出するために用いられてきたが、よく知られているように表面に存在する欠陥検出の面で非常に高感度である。そのため GOI 測定は、ウェーハメーカやデバイスメーカにおいて幅広く用いられている手法である。

1.2 即時絶縁破壊特性 (TZDB) は、酸化膜欠陥モード分類を行う GOI 測定方法である。SEMIM60 には、経時絶縁破壊特性 (TDDB) による GOI 評価法の記述がある。TDDB は酸化膜の信頼性を評価するのに対して、TZDB は酸化膜欠陥のモード分類を行い、GOI 評価手法として重要な方法である。

2 範囲

2.1 本テスト方法は、TZDB 法を用いたウェーハ GOI 品質評価法に関するものである。本テストスタンダードでは、Metal-Oxide-Semiconductor (MOS) キャパシタ作製、電気特性評価、解析そしてデータ取りまとめについて記載されている。

2.2 MOS キャパシタには、熱酸化によるゲート酸化膜を用い厚さ範囲は 20-25nm 程度である。また、電極材料としては、多結晶シリコンを採用した。

2.3 酸素析出物も絶縁破壊耐圧劣化の原因¹となるが、購入直後のウェーハでは、通常酸素析出物はほとんど含まれておらず、GOI への影響はほとんど無い。従って、本スタンダードでの議論の対象としない。

注 1: 多結晶シリコン電極は実際の集積回路に適用されており、また他の電極材料と比較しても実際の集積回路との整合性が高いウェーハ評価結果を得ることができる。

注 2: TZDB 測定は、MOS キャパシタ酸化膜の絶縁破壊電界強度を求めるものである。絶縁破壊電界強度の分布から、COP 密度を評価することができる。

注 3: MOS 構造については、JESD 35-1 に詳細が記載されている。一般的に、単純な平面構造をした MOS キャパシタ以外に、様々な素子分離構造を持ったものや、電界効果トランジスタなどがあるが、シリコン結晶評価を目的とする場合は、素子分離構造等を持たない単純な平面 MOS を採用するのが望ましい。

注 4: 本スタンダードはシリコンウェーハメーカ各社で実施したラウンドロビンの結果をもとに構築されている。一般的にウェーハ表面上に存在する COP は、TZDB 特性に影響する。また GOI 評価結果は、ウェーハ表面もしくは表面近傍に存在する結

¹ K. Yamabe and K. Taniguchi, "Time-Dependent Dielectric Breakdown of Thin Thermally Grown SiO₂ Films", J. Solid St. Circuits, SC-20, 343(1983).

晶欠陥、金属不純物、パーティクルはもとより、MOS 作製プロセスの環境影響にも左右される。作製プロセスのクリーン度は MOS 特性へ強く影響してしまうので、GOI 評価結果を悪化させないように注意深く制御されなければならない。(¶ 5.2.1 および関連情報 1 を参照)。

注意： このスタンダードおよび安全ガイドラインはその使用に関連した全ての安全問題を取り扱うことを意図していない。この文書の使用者は、その責任において、適切な安全および健康上実施すべき事柄を確立し、また使用前に法規制やその他の制限への適用性を判断するものである。

3 参照スタンダードおよび文書

3.1 SEMI Standards and Safety Guidelines

SEMI C3.6 — Specification for Phosphine (PH₃) in Cylinders 99.98% Quality

SEMI C3.55 — Specification for Silane (SiH₄), Bulk, 99.994% Quality

SEMI C21 — Specifications and Guideline for Ammonium Hydroxide

SEMI C27 — Specifications and Guidelines for Hydrochloric Acid

SEMI C28 — Specifications for Hydrofluoric Acid

SEMI C30 — Specifications for Hydrogen Peroxide

SEMI C35 — Specifications and Guideline for Nitric Acid

SEMI C38 — Guide for Phosphorus Oxychloride

SEMI C41 — Specifications and Guidelines for 2-Propanol

SEMI C44 — Specifications and Guidelines for Sulfuric Acid

SEMI C54 — Specifications and Guidelines for Oxygen

SEMI C58 — Specifications and Guidelines for Hydrogen

SEMI C59 — Specifications and Guidelines for Nitrogen

SEMI F63 — Guide for Ultrapure Water Used in Semiconductor Processing

SEMI M1 — Specifications for Polished Single Crystal Silicon Wafers

SEMI M59 — Terminology for Silicon Technology

SEMI M60 — Test Method for Time Dependent Dielectric Breakdown Characteristics of SiO₂ Films for Si Wafer Evaluation

SEMI MF1771 — Test Method for Evaluating Gate Oxide Integrity by Voltage Ramp Technique

3.2 ASTM Standards²

ASTM D5127 — Standard Guide for Ultra Pure Water Used in the Electronics and Semiconductor Industries

3.3 JEDEC Standards³

JESD 35-A — Procedure for the Wafer-Level Testing of Thin Dielectrics

JESD 35-1 — General Guidelines for Designing Test Structures for the Wafer-Level Testing of Thin Dielectrics

JESD 35-2 — Test Criteria for the Wafer-Level Testing of Thin Dielectrics

3.4 ISO Standards⁴

ISO 14644-1 — Cleanrooms and Associated Controlled Environments – Part 1: Classification of Air Cleanliness

3.5 その他の文書

JEDEC/FSA Joint Publication JP001.01⁵ — Foundry Process Qualification Guidelines (Wafer Fabrication Manufacturing Sites)

注意： 別途指示のない場合、引用された全ての文書は最新の出版バージョンである。

4 用語

² ASTM International, 100 Barr Harbor Drive, West Conshohocken, PA 19428-2959, USA; Telephone: 610.832.9585, Fax: 610.832.9555, <http://www.astm.org>

³ Joint Electron Device Engineering Council, 3103 North 10th Street, Suite 240-S, Arlington, VA 22201, USA; Telephone: 703.907.7560, Fax: 703.907.7583, <http://www.jedec.org>

⁴ International Organization for Standardization, ISO Central Secretariat, 1 rue de Varembé, Case postale 56, CH-1211 Geneva 20, Switzerland; Telephone: 41.22.749.01.11, Fax: 41.22.733.34.30, <http://www.iso.ch>

4.1 技術の実行に使用されるものを含むシリコン技術に関する頭字語、用語、略語は、SEMI M1 および SEMI M59 にて定義されている。

5 用語の包括的説明

5.1 COP — COPs⁵はGOI劣化の主要因である。このタイプの欠陥は、シリコン表面を酸化したとき、そのコーナー部で絶縁破壊しやすく、酸化膜絶縁破壊劣化の原因の一つであることが明らかにされている^{6, 7, 8}。正八面体形状をしたCOPのコーナー部では酸化膜が薄くなり、この薄片化した箇所には電界集中が起こり、酸化膜破壊が起こる。

5.2 モード分離 — TZDBの破壊電界強度ヒストグラムは典型的には 3 つのピークに分かれる。シリコン酸化膜厚が 20-25nmでは、この 3 つのピーク(A, B, Cモードと名づけられている)は大よそ次の電界領域に現れる^{9, 10}。

- A モード不良: $0 \text{ MV/cm} \leq E_{bd} < 3 \text{ MV/cm}$
- B モード不良: $3 \text{ MV/cm} \leq E_{bd} < 8 \text{ MV/cm}$
- C モード: $8 \text{ MV/cm} \leq E_{bd}$

5.2.1 不良モードに関する議論:

5.2.1.1 これらのモード分類の考え方は、ゲート酸化膜厚が 20 から 25nm の範囲よりも薄い領域では、分類するための電界強度値を変えなくてはならず注意が必要である。

- A モード不良:初期破壊 — これは酸化膜ピンホールに起因し、COPs のようなシリコンウェーハに起因するものではなく、ゲート酸化膜形成時に生ずるものである。
- B モード不良:偶発破壊 — COP がこの不良の主原因である。この不良モードは MOS デバイスや MOS 集積回路の信頼性へ影響する。
- C モード不良:磨耗破壊 — COP も一部寄与するが、ほとんどが酸化膜の摩耗破壊である。シリコン基板表面品質評価の際はほとんど考慮する必要はない。

6 方法の要約

6.1 概要 — 本テスト方法は、主にシリコンウェーハ上に同一 MOS キャパシタを多数作製するプロセスと、その絶縁破壊電界を測定する(TZDB)プロセスからなる。絶縁破壊電界の測定は、MOS キャパシタに電圧をステップ状に印加し、シリコン酸化膜を通して流れるリーク電流値の測定し、シリコン酸化膜の絶縁破壊電界ヒストグラムからシリコンウェーハに起因する絶縁破壊欠陥密度を求める。欠陥密度は B モード不良率から算出する。本テスト方法はシリコンウェーハ特性評価のためのもので、CZ ウェーハの表面品質の評価に非常に有用である。

6.2 MOS キャパシタ作製プロセス — テストウェーハ上に多数の MOS キャパシタを作製する。MOS キャパシタ作製プロセスは、主にウェーハ洗浄、熱酸化、多結晶シリコン堆積およびリン拡散、活性化熱処理、フォトリソグラフィ、多結晶シリコンエッチングのプロセスからなる。

6.2.1 試料作成環境 — MOS キャパシタの作製には、クラス6ないしは ISO1466-1 に準じた清浄度をもったクリーンルーム環境下で行う必要がある。Aモード不良率が 10%以下であることを確認する必要がある。Aモード不良は、作業環境雰囲気中のパーティクルのみならず、そこで使用する超純水、治具、プロセス装置、無塵衣、作業管理等による。アルカリ金属、重金属による重度の汚染はシリコン酸化膜の TZDB に与える影響が大きい。

6.2.2 ウェーハ洗浄プロセス — ウェーハの本来の状態を評価するためには酸化前洗浄を行わない。酸化炉を汚染する心配がある場合は、酸化前に洗浄を行う。この洗浄には、一般的には改良された RCA 洗浄⁶が行われ

⁵ Ryuta J., Morita E., Tanaka, T. and Shimanuki Y., “Crystal – Originated Singularities on Si Wafer Surface after SC1 Cleaning.” *Jpn. J. Appl. Phys.* 29 (1990): L1947.

⁶ Mera T., Jablonski J., Nagai K., and Watanabe M., “Grown-in defects in silicon crystals responsible for gate oxide integrity deterioration.” *Ohyo-Buturi*, 66(7), (1997): p. 728.

⁷ Yamabe K. and Imai K., “Nonplanar Oxidation and Reduction of Oxide Leakage Currents at Silicon Corners by Rounding-off Oxidation.” *IEEE Trans. Electron Devices*, ED-34 (1987): p. 1681.

⁸ Yamabe, K., Shimada, Y., Piao, M., Yamazaki, T., Otsuki, T., Takeda, T., Ohta, Y., Jimbo, S., and Watanabe, M. “Effect of SiO₂ Thickness on Dielectric Breakdown Defect Density Due to Surface Crystal-Originated Particles.” *Journal of The Electrochemical Society*, 150, F42-F46, 2003.

⁹ K. Yamabe, K. Taniguchi, and Y. Matsushita, “Thickness Dependence of Dielectric Breakdown Failure of Thermal SiO₂ Films”, *Reliability Physics – 21st Annual Proceedings*, 1983, p.184.

¹⁰ K. Yamabe, Y. Ozawa, S. Nadahara, and K. Imai, “Thermally Grown Silicon Dioxide with High Reliability”, in “Semiconductor Silicon 1990”, ECS Proceedings Volume 90-1, PP.349-363.

ている。パーティクルおよび金属汚染は、酸化膜の絶縁破壊欠陥を増加させる可能性がある。洗浄方法は、先程述べた様に、Aモード不良率が10%以下であることを事前に確認されたものでなければならない。

6.2.3 熱酸化プロセス ウェーハを熱酸化してMOSキャパシタのゲート酸化膜を形成する。酸化条件を一定にすることが望ましい。それは、酸化速度は酸化温度に影響され¹¹、さらにゲート酸化膜の膜質は酸化膜厚、厳密に言えば酸化条件(雰囲気、温度等)に依存するためである。酸化膜厚は20-25nm、酸化雰囲気はドライ酸素、酸化温度850℃から950℃を推奨する。塩酸あるいは水蒸気を酸化雰囲気に添加することで、酸化膜の欠陥密度を過少評価する場合がある。そのため、ある特殊な条件で形成された酸化膜での結果と上記の酸化条件で形成された酸化膜での結果を直ちに比較することはできない。なお、酸化時にモニター・ウェーハを評価ウェーハと一緒に酸化し、モニター・ウェーハの酸化膜厚を評価する。酸化膜厚は面内5点以上の測定結果を平均して酸化膜厚とする。

6.2.4 ゲート電極形成 — 多結晶シリコン層が厚さで200nmから400nm、シート抵抗で20から50Ω以下になるように減圧CVD法で成膜する。一般には多結晶シリコン堆積の後リン拡散を行う方法(リン拡散多結晶シリコン)と、多結晶シリコン堆積と同時にリンを添加する方法(不純物同時添加多結晶シリコン)がある。プロセスバッチごとにモニタウェーハを投入し、厚さおよびシート抵抗をモニタリングする。

注5: シート抵抗単位について:ohm/sqが半導体業界では慣用的かつ一般的に広く使われている。しかしこの単位はSI単位系ではないため、本ドキュメントでは、SI単位であるohmと記載してある。

6.2.4.1 リン拡散ポリ 低圧化学蒸着(Low Pressure Chemical Vapor Deposition (LP-CVD))法により多結晶シリコン堆積を行い、その後にPOCl₃等のリン拡散源を用いてリン拡散プロセスを行う。

6.2.4.2 不純物同時添加多結晶シリコン堆積 — リンを添加した多結晶シリコンをLPCVDにて堆積し、続いて、活性化熱処理によって抵抗を下げる。

注6: 多結晶シリコン層のシート抵抗が大きすぎる場合、電極での電圧降下が無視できない。そのために、高電界側の領域では酸化膜に流れる電流が減少する。一方、添加リン量が過剰で、シート抵抗があまりにも低い場合は、酸化膜の絶縁特性が劣化する。多結晶シリコン層の膜厚が薄すぎる場合は酸化膜のウィークスポットで自己修復が起こり易くなり、欠陥密度を過小に評価しうる。さらにタングステンなどの探針により機械的なストレスを加えてTZDB特性を劣化させる場合がある。多結晶シリコン層が厚すぎる場合、リン拡散多結晶シリコンにおいてはリン/酸化膜界面近傍にリンが拡散されないために寄生抵抗が生じ、電圧降下が生じる。

6.2.5 フォト・リソグラフィプロセス — MOSキャパシタの電極形成のために、多結晶シリコンをフォト・リソグラフィによりパターン形成する。このマスク設計については、JESD 35-A, JESD 35-1, JESD 35-2を参照。結晶欠陥を感度よく検出するためには、それぞれの欠陥密度に適した面積および個数のMOSキャパシタが必要である。COPの評価には、同一ウェーハ上に10mm²のMOSキャパシタを100個以上測定することが目安である。(関連情報1表R1-3参照) 予備として、同一面積のMOSキャパシタをそれぞれのチップ内に用意することが望ましい。

6.2.6 エッチングプロセス — フォト・リソグラフィにて形成されたレジストパターンをマスクにして、多結晶シリコンをエッチングする。エッチングはウェットエッチングもしくはドライ・エッチングにて行う。ウェットエッチングの場合は、エッチングレートをよく制御する必要がある。オーバーエッチングにより電極周辺の酸化膜が消失すると、酸化膜のTZDBを精度よく測ることができなくなることがある。ドライ・エッチングを用いる場合は、特に反応性イオンエッチング(Reactive Ion Etching (RIE))を行う場合は、MOSキャパシタの帯電に注意を払う必要がある。Aモード欠陥密度が高い場合は、エッチング中の帯電が生じていないことを確認する必要がある。レジストパターンの剥離に灰化装置を用いる場合も、帯電に注意を払う必要がある。RIE同様、Aモード欠陥密度が高い場合は、灰化中の帯電が生じていないことを確認する必要がある。なお、ウェーハ裏面に酸化膜や多結晶シリコンの高抵抗の膜がある場合は、その除去を行った方がよい。

6.3 MOSキャパシタの電気特性測定

6.3.1 シリコン酸化膜の絶縁破壊欠陥密度を、MOSキャパシタのTZDBにより評価する。 TZDBでは、階段状に連続的に印加電圧を昇圧し、絶縁破壊判定電流に達したときに印加された電圧(絶縁破壊電圧)を記録する。MOSキャパシタを100個以上測定した結果の絶縁破壊電圧ヒストグラムから酸化膜欠陥密度を評価する。

6.3.2 Fowler-Nordheim (FN)トンネル電流の電流 — 電圧(I-V)曲線の形状から作成したMOSキャパシタの2つの特性を知ることができる。一つは、I-V曲線の広いばらつきに表れる酸化膜厚のばらつきである。もう一つは、高電流側でI-V曲線の急な折れ曲がり、傾きの減少がある場合、たとえば多結晶シリコン電極の抵抗が高い時に

11 B.E.Deal and A.S.Grove, "General relationship for the thermal Oxidation of Silicon", J.Appl.Phys., 36, 3770(1965).

は、高い寄生抵抗が存在する場合がある。高い寄生抵抗が観察された場合には、測定結果の信頼性が低下するので、MOS キャパシタ作成プロセスの改善が必要である。

6.3.3 印加ステップ電圧

6.3.3.1 精度よい測定のために、出力波形が安定している電圧源を用いる必要がある。昇圧時のオーバーシュートは、見かけの絶縁破壊電圧が真の絶縁破壊電圧と比較して劣化させる可能性があるため、極力排除することが必要である。TZDB の測定では、一定の電圧をあらかじめ定めた時間印加し続け、その後に電流を測定する。次に階段状に印加電圧を増加させる。そしてこの手順を繰り返す。ホールド時間については、100ms より短い場合は、電流測定のため電圧の安定性が十分でない可能性がある。これに対してホールド時間が 800ms より長い場合は、電圧の安定性の面では十分であるが、特に高電界域では、TDDDB と同様の電界によるストレスを受ける可能性がある。推奨測定条件は、hold 時間は 200ms とした。ラウンドロビンでの測定結果(関連情報 1)では 100～800ms でも特に問題はない。電圧ステップ高さについては、電界強度に換算した値で、0.1～0.5MV/cm の範囲とする。なお、電圧の極性はシリコン表面が蓄積方向になるように電圧を印加する。つまり、P型シリコンウェーハでは、負のゲート電圧である。印加する最大電界は 15MV/cm とする。15MV/cm 以上印加する場合、寄生抵抗による電圧降下のため実効的に適正な電圧が印加されない。n型シリコンウェーハでは、ゲート印加電圧を正電圧にする必要がある。

6.3.4 絶縁破壊の判定

6.3.4.1 絶縁破壊は、シリコン酸化膜を通して流れるリーク電流によって判定する。つまり、リーク電流 I_g が判定電流を超えたとき絶縁破壊と判定し、そのときに印加されている電圧を絶縁破壊電圧と定義する。絶縁破壊電界は絶縁破壊電圧を酸化膜厚で規格化したものである。

6.3.4.1.1 議論— 判定電流値が大きすぎる($I_g > 10^{-3}A$) 場合は、測定系あるいは試料の直列抵抗によって、本来 A モード不良であるべきものが B モード不良に判定されてしまうことがある。一方、判定電流値が小さすぎると ($I_g < 10^{-7}A$)、比較的電界強度が低い FN 電流領域で判定することになるために、絶縁破壊しておらず、本来 C モードであるべきものが、B モードと判定される場合も起こりうる。どちらの場合も測定が正確に行われ、正しく I-V 特性が得られていても、不良の分類モード分けを誤ることになる。これらの理由から、判定電流値は、 $10^{-5}A$ にすることが望ましい (図 1)。

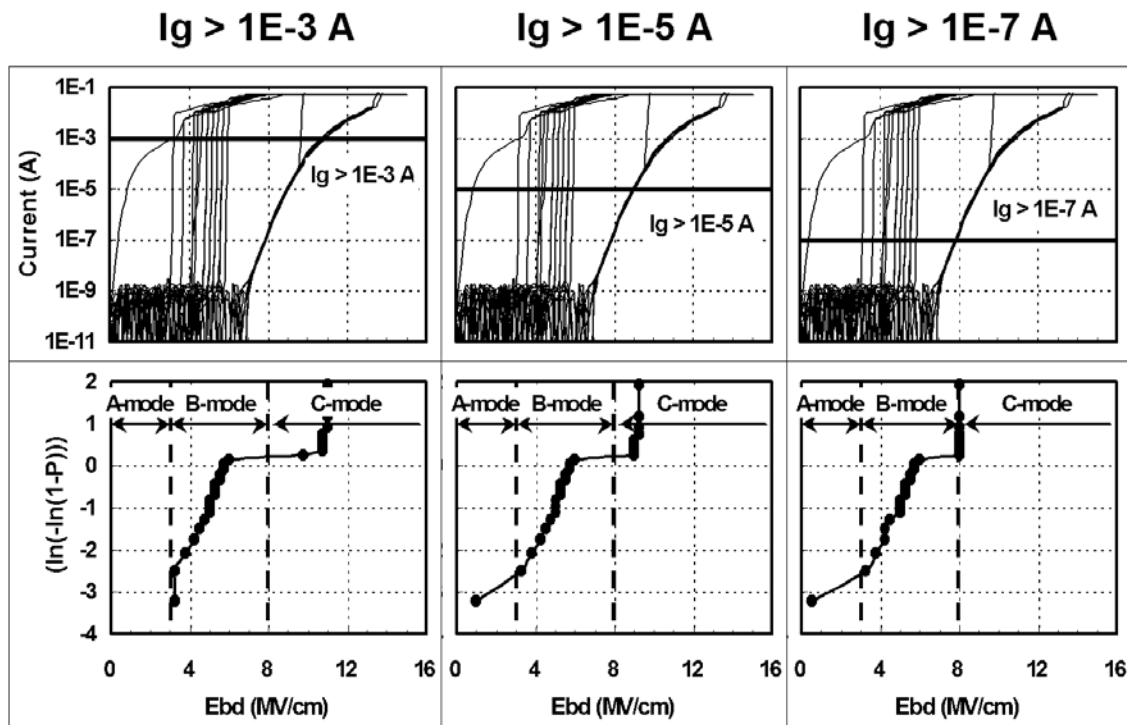


図 1
判断状況の比較

7 適応上の注意事項

7.1 本スタンダードは、シリコン熱酸化膜の絶縁破壊欠陥密度を見積もることにより、シリコンウェーハの特性の情報を得ることを規定するものである。本技術では、MOS キャパシタ作製プロセスの影響を受けやすいので、§5 に挙げたプロセス条件内で行うことが望まれる。

7.2 シリコンの表面形状も、MOS デバイスのパターンエッジの断面構造も共に、ゲート酸化膜の絶縁破壊特性に影響を与えることが良く知られている。種々の汚染もまた、ゲート酸化膜の絶縁破壊特性に影響を与える。アルカリまたは重金属あるいは有機汚染は、製造プロセスステップを増やしていくと増加していく。さらに、COP は、SC-1 洗浄回数を増やすと増加してくる。このことは、できるだけ簡単なプロセスで作製された単純な MOS 構造で測定されるゲート酸化膜絶縁破壊特性が、シリコンウェーハ特性そのものを描写することを示している。熱プロセスは、シリコンウェーハ中の酸素析出核を生成・成長させることが知られている。本標準は、このような酸素析出を促すような高温プロセスを通したシリコンウェーハには適用することは出来ない。

7.3 測定する MOS キャパシタ電極の面積や総数は、目的に応じて適正な値を選ぶべきである。例えば、関連情報の表 R1-3 に見られるように、 10mm^2 のゲート電極面積で、100 個以上の MOS キャパシタを選ぶことが望ましい。

7.4 MOS キャパシタの電極材料は、ゲート酸化膜の絶縁破壊特性に大きな影響を与える。本標準では、ポリシリコンを電極材料として推奨する。

8 誤差要因

8.1 本測定は DC 測定であるので、シリコン基板の抵抗が十分に低く、確実にオーミック接触であることに注意を払わなければならない。効率的にゲート酸化膜に電圧を印加するには、基板の裏面にシリコンの酸化膜などの絶縁膜があってはならない。尚、MOS 測定を実施する上で、シリコン基板の裏面に金属膜をつけることは必ずしも必要ではない。

8.1.1 しかしながら、ウェーハをステージに吸着するための真空の圧力が弱い場合には、寄生抵抗の増加により、ゲート酸化膜の絶縁破壊電圧が正確に測定されない可能性があることに注意しなければならない。

8.2 測定を行う際は、印加する電圧の極性が非常に重要である。ゲート酸化膜直下が蓄積状態になるようにストレス極性を決める。即ち、p型シリコンに対してゲート電極を負極性にする。極性を逆にするとゲート酸化膜下に空乏層が形成されて、酸化膜に所定の電界が印加されず、正しい絶縁破壊電界を測定することができない。

8.3 本テスト方法における評価と電流-電圧特性でのノイズ制御は、適切な不良の分類をするために大変重要である。

8.4 TZDB 測定については、低電圧ストレス時にはノイズ低減のために測定器のサンプリング機能を利用して、測定データの平均化を行うことでノイズを下げることも可能である。100-ms の保持時間が要求されるようなときには、測定ループ中に遅延が使われる場合もある。また、遅延制御できない時は、電位計のオートレンジが使われる場合もある。この効果は、電位計のソフトウェアによって設定された最小レンジ以下の数値の測定値である、酸化膜中の微小電流測定に対してもっとも発揮される。

8.5 直接ゲート酸化膜上のゲート電極に探針を当てるときに、極端に針圧が高いと測定結果に影響することがある。

8.6 測定結果は、MOS 作製プロセスの影響を強く受けるため、作製プロセス管理は非常に重要である。

8.7 測定中のウェーハの温度は、明確に定義されるべきである。絶縁破壊電圧は、温度との関係は強くないが、酸化膜の劣化速度は温度に敏感である。つまり、大きな温度変化が結果に影響を及ぼす可能性がある。

8.8 予防, 事前注意 — 安全面において、測定時には電気ストレスがかかっている探針およびその周辺、ならびに MOS ウェーハ、ウェーハ吸着装置等に人が近づき、不用意にこれらに触れ、感電しないように対策を講じる必要がある。

8.9 本標準には、安全・衛生に関する項目は含まれていない。本標準の使用者は、使用者側の責任において、人体および環境への安全および衛生について支障のないよう方策を講じてから実施すべきである。

9 装置, 試料および材料

9.1 概要 — 環境による各種汚染を防ぐために、測定用 MOS キャパシタの作成プロセスは、クラス 6 より良い環境で行うのが望ましい。特にウェーハ洗浄から、電極用多結晶シリコンの堆積までのプロセスにおける汚染の防止が重要である。そのようなプロセスで発生する汚染が GOI 特性に悪影響を及ぼすと報告されているので、特に注意