

SEMI M60-0306^{E2}

シリコンウェーハ評価のための SiO₂ の経時絶縁破壊特性の試験方法

本スタンダードは、global Silicon Wafer Committee で技術的に承認されている。現版は 2005 年 11 月 29 日、global Audits and Reviews Subcommittee にて発行が承認された。2006 年 2 月に www.semi.org で、そして 2006 年 3 月に CD-ROM で入手可能となる。初版は 2005 年 1 月発行、前版は 2005 年 3 月に発行された。

^E本スタンダードは 2006 年 5 月に編集上の修正がなされた。修正箇所は、¶10.2.7 である。

1 目的

1.1 本スタンダードは、GOI (Gate Oxide Integrity: ゲート酸化膜の完全性) 評価をするにあたり、ウェーハ評価の固有事項・問題について記載してある。より一般的な評価法全般については、§3 の参照スタンダード記載の手法に準ずる。M51 での TZDB は、偶発性破壊モード(Bモード)と摩耗破壊モード(Cモード)による不良率を評価するのに有効である。本評価法は、TZDB より高い感度で偶発性破壊モードを検出するのに有効である。

2 範囲

2.1 本スタンダードは、ウェーハ品質評価を目的とした GOI 評価法に関するものである。評価方法の概要は次の通りである。

2.1.1 MOS (Metal-Oxide-Semiconductor) — キャパシタ作製 — ウェーハを熱酸化することによりゲート酸化膜を形成し、その上に多結晶シリコン電極を形成する。電極材料としては多結晶シリコン以外の金属を用いることも可能であるが、これには後に述べる点を予め確認し、使用することが望ましい。

2.1.2 電気的特性 — MOS キャパシタの経時絶縁破壊 TDDB (Time Dependent Dielectric Breakdown) 特性により、ウェーハを評価する。このウェーハ表面上に存在する COP などの欠陥は、TDDB 特性に影響する。この TDDB 特性よりウェーハ特性を評価可能になる。本スタンダードには実際の MOS 作製、測定、データ解析、抽出すべきデータまでの一連のフローが示され、シリコンウェーハメーカ各社で実施したラウンドロビンの結果をもとに構築されている。一般的に GOI 評価結果は、ウェーハ表面もしくは表面近傍に存在する結晶欠陥、金属不純物、パーティクルはもとより、MOS 作製工程の環境影響にも左右される。MOS 作製時のクリーンルーム環境については評価結果に影響しない程度のクリーン度が必要である(¶5.3 参照)。

2.2 本スタンダードの目的は、シリコンウェーハ品質、さらに詳しくは COP を評価するためであり、この目的には、20-25nm 程度の膜厚が適している。ゲート酸化膜厚に対する議論は後述する。酸素析出物も同様の絶縁破壊耐圧劣化の原因となるが、購入直後のウェーハでは、通常酸素析出物はほとんど含まれない。したがって、ここでは議論の対象としない。表面近傍品質を評価することも可能であり、この際のゲート酸化膜厚としては 10nm 程度の薄い膜を使うことも想定される。このように薄膜化すると TZDB では B/C モードが混在する傾向にある。そのため TDDB でのモード分類が有効である。

2.3 MOS 構造については、EIA/JEDEC Standard 35-1 に詳細が記載されている。一般的に、単純な平面構造をした MOS キャパシタ以外に、素子分離構造を持ったもの LOCOS (Local Oxidation of Silicon)、STI (Shallow Trench Isolation) や、電界効果トランジスタ FET (Field Effect Transistor) などがあるが、シリコン結晶評価を目的とする場合は、素子分離構造等を持たない単純な平面構造 MOS (以下単に MOS と記載) を採用するのが望ましい。種々の素子分離構造や FET などのように複雑な工程となると、これに相応して複雑な熱履歴を通することで、シリコンウェーハの変質あるいは形成プロセスによるシリコン酸化膜の絶縁特性に損傷を受け、本来のシリコンウェーハ評価とは言えなくなる可能性が生じる。

2.4 本スタンダードでは、後に述べる測定条件にて酸化膜に一定電流を印加し、絶縁破壊するまでの時間を求め、酸化膜の絶縁破壊するまでに注入された電荷量 (Q_{bd}) を求めるものである(定電流 TDDB: 測定条件の詳細は後述)。 Q_{bd} に対する累積不良の分布から、COP や各種欠陥の酸化膜絶縁破壊への影響を評価することができる。なお、TDDB には一定電圧を印加する定電圧 TDDB 法も存在し、酸化膜寿命を評価する目的によく使用され

ている。定電流TDDb法は定電圧TDDb法と比較して、また寄生生抵抗による影響を小さくできる。それで、容易に各種ウェーハを同一のストレス条件にて測定できることから、本評価法では、定電流TDDb法を採用している。

2.5 本スタンダードは、p型CZ 鏡面ウェーハに対して適用できる。ゲート電極へ印加する電流はゲート酸化膜へ電気ストレスが十分印加されるようにシリコン表面が蓄積状態になる方向、すなわち負方向とする。また印加する電流密度は $J=0.001$ から $0.1\text{A}/\text{cm}^2$ の範囲で行うのが望ましい。

2.6 n型シリコンウェーハではゲート印加電流符号を逆にする必要がある。

2.7 電極材料としては、多結晶シリコンを採用した。多結晶シリコン電極は実際の集積回路に適用されており、他の電極材料と比較しても実際の集積回路との整合性が高い評価結果を得ることができる。しかしながら近年の新規材料検討の結果、多結晶シリコン以外の電極材料を用いることも十分考えられる。この際には、多結晶シリコンを電極材料として用いた場合と同様の欠陥検出感度が得られることを確認した後に使用することが望ましい。

注意: 本評価方法には、安全・衛生に関する項目は含まれていない。本評価方法の使用者は、使用者側の責任において、人体および環境への安全および衛生について支障のないように方策を講じてから実施すべきである。

3 参照スタンダードおよび文書

注 1: 別途指示のない場合は、引用されたドキュメントはすべて最新の公表されたバージョンであるものとする。

注 2: Poly-Si 電極以外を使用する場合は、それぞれのプロセスに適合する標準を参照すること。

3.1 SEMI スタンダード

SEMI C3.6 — Standard for Phosphine (PH_3) in Cylinders, 99.98% Quality

SEMI C3.40 — Standard for Carbon Tetrafluoride (CF_4 , VLSI GRADE)

SEMI C3.54 — Gas Purity Guideline for Silane (SiH_4)

SEMI C21 — Specifications and Guideline for Ammonium Hydroxide

SEMI C27 — Specifications and Guidelines for Hydrochloric Acid

SEMI C28 — Specifications and Guidelines for Hydrofluoric Acid

SEMI C30 — Specifications and Guidelines for Hydrogen Peroxide

SEMI C35 — Specifications and Guideline for Nitric Acid

SEMI C38 — Guideline for Phosphorus Oxychloride

SEMI C41 — Specifications and Guidelines for 2-Propanol

SEMI C44 — Specifications and Guidelines for Sulfuric Acid

SEMI C54 — Specifications and Guidelines for Oxygen

SEMI C59 — Specifications and Guidelines for Nitrogen

SEMI M1 — Specifications for Polished Monocrystalline Silicon Wafers

SEMI M51 — Test Method For Characterizing Silicon Wafers by Gate Oxide Integrity.

SEMI M59 — Terminology for Silicon Technology

SEMI MF1771 — Standard Test Method for Evaluating Gate Oxide Integrity by Voltage Ramp Technique

3.2 ASTMスタンダード¹

ASTM D5127 — Standard Guide for Ultra Pure Water Used in the Electronics and Semiconductor for Industry.

¹ American Society for Testing and Materials, 100 Barr Harbor Drive, West Conshohocken, Pennsylvania 19428-2959, USA. Telephone: 610.832.9585, Fax: 610.832.9555 Website: www.astm.org

3.3 EIA/JEDECスタンダード^{2,3}

EIA/JEDEC 35 — Procedure for the Wafer-Level Testing of Thin Dielectrics

EIA/JEDEC 35-1 — General Guidelines for Designing Test Structures for the Wafer-Level Testing of Thin Dielectrics

EIA/JEDEC 35-2 — Test Criteria for the Wafer-Level Testing of Thin Dielectric

注意：別途指示のない場合、引用されたすべての文書は最新の出版バージョンである。

4 用語

4.1 略語および頭字語

4.1.1 COP — Crystal Originated Particles

4.1.2 GOI — Gate Oxide Integrity

4.1.3 LOCOS — Local Oxidation of Silicon

4.1.4 MOS — Metal Oxide Semiconductor

4.1.5 STI — Shallow Trench Isolation

4.1.6 TZDB — Time Zero Dielectric Breakdown

4.2 定義

4.2.1 多くの関連する用語は、ASTM M59 の用語に示されている。

4.2.2 さらに多くの関連用語は、SEMI M1 およびASTM F1771 により与えられる。

4.2.3 上記のスタンダードに記載されていない用語として以下のものがある。

4.2.3.1 *Crystal Originated Particles*⁴ (COP) — CZ結晶中に存在する正 8 面体形状をした空洞のGrown-in欠陥である。本欠陥はRCA洗浄のひとつであるSC-1⁵洗浄の繰り返しにてパーティクルとして観察されることよりこのように名づけられた。

4.2.3.1.1 議論 — このCOPは、GOIの主な起源の 1 つである。シリコン表面にCOPが存在し、その上に酸化膜を形成したようなゲート膜は、トレンチコーナ^{6,7,8}に見られるように八面体の角で非常に破壊されやすい。八面体の角では、酸化膜厚がより薄くなり、酸化膜にかかる電界がより大きなものなる。すなわち、八面体の角では、破壊電界が低下することになる。

2 Electronic Industries Alliance, EIA Engineering Department, Standards Sales Office, 2001 Eye Street, NW, Washington, D.C. 20006, USA. Website: www.eia.org

3 Joint Electron Device Engineering Council, 2500 Wilson Blvd., Arlington, VA 22201, website: www.jedec.org

4 J. Ryuta, E. Morita, T. Tanaka and Y. Shimanuki, “Crystal – Originated Singularities on Si Wafer Surface after SC1 Cleaning”, *Jpn. J. Appl. Phys.* 29(1990) L947.

5 W. Kern and D. Puotinen, “Clean Solution Based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology”, *RCA Rev.*, 31, 187(1970).

6 T. Mera, J. Jablonski, K. Nagai, and M. Watanabe, “Grown-in defects in silicon crystals responsible for gate oxide integrity deterioration”, *Ohyo-Buturi*, 66(7), 728 (1997).

7 K.Yamabe and K.Imai, “Nonplanar Oxidation and Reduction of Oxide Leakage Currents at Silicon Corners by Rounding-off Oxidation”, *IEEE Trans. Electron Devices*, ED-34, 1681(1987).

8 K.Yamabe, Y.Shimada, M.Piao, T.Yamazaki, T.Otsuki, R.Takeda, Y.Ohta, S.Jimbo, and M.Watanabe, “Effect of SiO₂ Thickness on Dielectric Breakdown Defect Density Due to Surface Crystal-Originated Particles”, *J.Electrochem.Soc.*, 150, F42(2003).

4.2.3.2 モード分離 — TDDDBにおけるワイブルプロット^{9, 10}では、3つのモードに分離される。典型的なプロットを図1に示す。

- 偶発不良 — A-A モード
- A-B モード
- 摩耗不良 — W モード

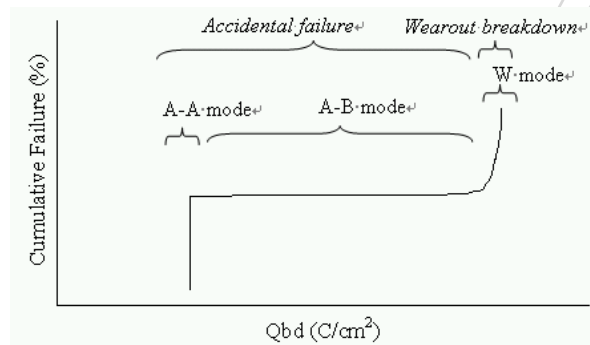


図1
TDDDBのワイブルプロットに見られる不良モード

4.2.3.2.1 不良モードの定義

- A-A モード: 初期破壊不良
 - この不良は、ゲート酸化膜形成過程において発生するピンホールや COP のような結晶欠陥などで発生する欠陥により起きるものである。この不良は、TZDB における A モードと B モードの一部に相当するものである。
- A-B モード: 中間破壊不良
 - この不良は、A-A モードに寄与する欠陥以外の欠陥によって引き起こされる。この不良は、TZDB の B モードと C モードの一部に相当するものである。
- W モード: 摩耗破壊
 - この破壊は、真性破壊あるいは摩耗破壊とも呼ばれ、酸化膜の真性寿命に関係がある。この結果は測定条件に依存するので、この不良の測定は注意深く実施されるべきである。
 - 測定システムの応答速度は A-A モード測定に大きな影響を及ぼす。A-A および A-B モード不良の総数は、鏡面 CZ Si ウェーハの結晶性と関係がある。

4.2.3.3 破壊モードの分類 — A-A/A-B モード および A-B/W モード の境界について述べる。

4.2.3.3.1 A-A/A-B モードの境界

- 検出できる最小の Q_{bd} 値は、測定システムのストレス電流およびレスポンス速度に依存している。ストレス電流密度の増加に伴い、A-A/AB モード境界の電荷密度は、さらに増加する可能性がある。A-A/A-B モード境界を定義する場合、この結果が考慮されるべきである。これらのラウンドロビン測定結果に基づき、 $0.0001\text{C}/\text{cm}^2$ から $0.01\text{C}/\text{cm}^2$ までの電荷密度範囲を、A-A/A-B モードの境界として推奨する。

9 D. L. Crook, "Method of Determining Reliability Screens for Time Dependent Dielectric Breakdown", Proc. Int. Reliability Physics Symposium, 1979, p.1.

10 E. S. Anolick and G. R. Nelson, "Low Field Time Dependent Dielectric Integrity", Proc. Int. Reliability Physics Symposium, 1978, p.8.

4.2.3.3.2 A-B/W モードの境界

- A-B/W モード境界は、図 RI-3 に示されるようにワイブルプロットの形状から定義される。理想的には、A-B モードと W モードの範囲の中間を、2 つの近似曲線の交点で決定されるべきである。境界を示す電荷密度が低すぎると ($Q < 1C/cm^2$)、A-B モード不良の一部は W モードとしてカウントされてしまう。逆に、高すぎると ($Q > 4C/cm^2$)、W モード不良の一部は AB モードとしてカウントされてしまう
- いずれにおいても、測定が正確に行なわれ、適切なワイブルプロットが得られたとしても、故障モードのカテゴリの分類には誤差を伴う。そこで、関連情報のラウンドロビンの結果に示すように、 $2C/cm^2$ の電荷密度を A-B/W モードの境界として推奨する。A-B/W モードの境界を示す電荷密度での不良率を求めるために、すべてのサンプルを破壊することは必ずしも必要としない。境界を示す電荷密度を決定方法がはっきりしていれば、事前に決めた境界を示す電荷密度だけストレスを印加すれば、A-B モード不良率を近似値として得ることができる。そのためには、予め故障モードの分類方法を決定しておくことが必要である。なぜなら、求められる信頼度は、シリコンウェーハ(電極材料、ゲート酸化膜厚さ、動作電圧など)を使って製造されるデバイスの種類に依存するからである。図 RI-2 に記述されたモード分類の例を参照すべきである。

4.2.3.4 Time Zero Dielectric Breakdown (TZDB) — ゲート酸化膜の絶縁特性の一種。

4.2.3.4.1 議論 — TZDB測定においては、MOSキャパシタゲート電極に印加する電圧を 0~15MV/cm (例えば 25nm-厚い酸化膜の場合、実際の印加電圧が 0~37.5Vである)まで階段状に昇圧しながら、酸化膜のリーク電流をモニタする。この際、ゲート電圧は、シリコン表面が蓄積状態になるように、負バイアスが印加される。印加電界(あるいは電圧)は、あらかじめ決められたリーク電流(絶縁破壊判定電流)が計測されるまで、つまり絶縁破壊に至るまで印加される。ゲート酸化膜の破壊に対するCOPの影響は、破壊電界の分布から見積もることができる。

5 方法の概要

5.1 概要 — 本スタンダードは、主にシリコンウェーハ上に同一MOSキャパシタを多数作製する工程と、その絶縁破壊までに注入される電荷量を測定する工程からなる。電荷量の測定は、MOSキャパシタに一定電流が印加されるように電圧を調整し、この電圧値をモニタし、シリコン酸化膜の絶縁破壊時で生じる急激な電圧低下が起こるまでの時間をもとめる。この時間と印加電流密度の積より注入電荷量を求める。

5.2 MOSキャパシタ作製工程 — テストウェーハ上に多数のMOSキャパシタを作製する。多結晶シリコンを電極として使用する場合は、MOSキャパシタ作製工程は、主にウェーハ洗浄、熱酸化、多結晶シリコン堆積およびリン拡散、活性化熱処理、フォト・リソグラフィ、多結晶シリコンエッチングの工程からなる(作製工程の詳細は SEMI M51 に示されている)。多結晶シリコン以外を電極材料とするには、その材料に応じた工程が必要になる。また熱酸化によるゲート酸化膜の膜厚はSEMI M51 では 20-25nmとされているが、状況に応じては 10nm程度の薄膜まで使用できる。ただし、3nmよりも薄い酸化膜になると直接トンネルリーク電流の影響により破壊判定が難しくなるために、注意が必要である。SEMI C3.40, SEMI C3.6, SEMI C3.54, SEMI C21, SEMI C27, SEMI C28, SEMI C30, SEMI C35, SEMI C38, SEMI C41, SEMI C44, SEMI C54, SEMI C59を参照。

5.3 試料作成環境 — MOSキャパシタの作製には、トータル的にクラス 1000 以上の清浄度をもったクリーンルーム環境下で行う必要がある。TZDB評価を行い、Aモード不良率が 10%以下であることを確認する必要がある。Aモード不良は、作業環境雰囲気のパarticlesのみならず、使用する超純水、治具、プロセス装置、無塵衣、作業管理等の影響を受ける。アルカリ金属、重金属による重度の汚染はシリコン酸化膜のGOI評価結果に与える影響が大きい。

5.4 MOSキャパシタの電気特性測定

5.4.1 シリコン酸化膜の絶縁破壊欠陥密度を、MOSキャパシタの定電流Tddbにより評価する。絶縁破壊までに注入された電荷量を測定する工程からなる。注入された電荷の測定はMOSキャパシタに一定電流が印加されるように電圧を調整する。この電圧値をモニタし、シリコン酸化膜の絶縁破壊時で生じる急激な電圧低下が起こるまでの時間をもとめる。この時間と印加電流密度の積より注入電荷量を求める。MOSキャパシタを 100 個以上測定した結果のワイブルプロット(累積不良)から酸化膜欠陥密度を評価する。

5.4.2 印加電流密度 — 信頼度のある測定をするために、出力波形が安定している電圧・電流源を用いる。できるだけ安定した出力を得ることが必要である。定電流Tddb の測定では、一定の電流値を印加し続け、電圧を測

定する。このモニタしている電圧の急激な変化により絶縁破壊を判定する。印加される電流密度は、低い値であると破壊までの時間が長くなり、非現実的となる。一方であまりにも高すぎる場合も破壊する瞬間の電圧降下が小さくなり不適當である。これらを考慮すると、 $0.001 \sim 0.1 \text{ A/cm}^2$ の範囲が適當である。

5.5 測定温度 — 電流密度と関連して測定温度も測定時間を決める大きな要因となる。室温から 150°C の範囲で行うのが設備面など考慮して適當である。なお、高温時にはステージチャックやプローブの熱膨張によって所定の場所から外れてしまうことが考えられるので、プローバなど設備の選定には考慮が必要である。

5.6 絶縁破壊の判定 — シリコン酸化膜の絶縁破壊時間の測定は、電流を一定に保つようにMOSキャパシタに電圧を印加して行われる。テストの間、電圧をモニタし、急激な電圧変化が起こった時点で絶縁破壊が起こったと判定する。実際には、電圧値が予め設定された判定電圧より小さくなった時点を絶縁破壊とする。絶縁破壊時間は破壊するまでがストレス印加時間となる。判定電圧が低すぎる場合、ノイズの影響を受けやすくなる。また判定電圧が大きすぎると破壊を見逃してしまう機会が多くなる。連続した 2 つの電圧の変化から絶縁破壊を判定することもできる。判定値より大きい電圧変化が生じた瞬間を絶縁破壊とする。この場合も上記と同様の注意が必要である。今回のラウンドロビンでは電流密度は 0.001 から 0.1 A/cm^2 、多結晶シリコン電極のシート抵抗は $50 \Omega/\text{sq}$ 程度、電極面積は 1 から 10 mm^2 、酸化膜厚は 25 nm 、そして測定温度は室温から 150°C である。この条件における絶縁破壊は 2 つの連続したゲート電圧測定値の変化から決められた。例えば、ゲート電圧の変化が直前のゲート電圧値より 10%以上に達したときである。もうひとつの方法として、測定電界 E_{ox} により絶縁破壊を決める方法がある。酸化膜電界 E_{ox} が判定電界 $E_{\text{criterion}}$ より低くなったときに、絶縁破壊が起こったとする。 $E_{\text{criterion}}$ は 4 MV/cm 以上にする。どちらの場合も安定した測定結果を得られる。判定電界値はゲート酸化膜厚、シート抵抗と電極面積、ストレス電流、測定温度などに依存する。ゲート電圧変化による破壊の検出について図 2 に示す。これらは事前いくつかの条件で決定するのが好ましい。

5.7 偶発不良率の見積り — 前述のように、A-AとA-Bモード不良の合計は鏡面研磨されたCZシリコンウェーハの結晶品質に関係している。すべてのMOSキャパシタの摩耗破壊時間を測定するためには長時間を要する。シリコンウェーハ上のMOSキャパシタの偶発不良率のみを測定するのであれば摩耗破壊時間を待たないでTDDB測定を終えることができる。それはA-Bモード絶縁破壊領域の Q_{bd} から最大ストレス時間(T_{max})を予め設定する。 T_{max} における累積不良率はA-AとA-Bモードの合計不良率となる。もし、TDDB測定のワイブルプロットの結果が概ね描けるのであれば、 T_{max} はA-Bモードの不良率が変化が平坦な範囲にある最大 Q_{bd} 決めるべきである。それは、 T_{max} が多少変化しても、偶発不良率の見積りも大きく変化しないからである。この方法はA-AとA-Bモード不良率を素早く評価するのに有効である。

5.8 定電圧TDDB — 定電圧TDDB法も寿命評価などにおいて使用されるが、測定条件はそれぞれの目的に応じて最適化されるべきである。TDDB測定では 10 MV/cm 付近の高い電界が印加される。高いリーク電流による周辺のシリーズ抵抗による電圧降下が生じ、酸化膜に実効的に印加される電界が低下することがある。このため定電流TDDBがより望ましい。



図 2
代表的なゲート電圧のストレス時間変化と絶縁破壊による電圧降下と破壊判定電圧の関係