SEMI M62-0912
SPECIFICATIONS FOR SILICON EPITAXIAL WAFERS

シリコンエピタキシャルウェーハの仕様

Notice: This translation is a REFERENCE COPY ONLY. If differences should exist between the English version and a translation in any other language, the English version is the official and authoritative version.

免責事項: この SEMI スタンダードは，投票により作成された英語版が正式なものであり，日本語版は日本の利用者各位の便宜のために作成したものです。万が一英語と日本語とに差異がある場合には英語版記載内容が優先されます。

SEMI スタンダード日本語翻訳版をご利用にあたっての注釈を本文の末尾に記載しております（「すべきである」「しなければならない」について等）。

本スタンダードは，global Silicon Wafer Committee で技術的に承認されている。現版は 2012 年 8 月 30 日，global Audits and Reviews Subcommittee にて発行が承認された。2012 年 9 月 www.semiviews.org および www.semi.org で入手可能となる。初版は 2007 年 11 月発行，前版は 2012 年 7 月発行。

注意: 本仕様は，2005 年に SEMI M2 と SEMI M11 を差し換えたものである。

目次

1 目的 …… 2
2 範囲 …… 2
3 参考スタンダードおよび文書 …… 2
4 用語 …… 4
5 発注情報 …… 4
6 要求事項 …… 6
7 IC 用途の仕様ガイド …… 13
8 サンプリング …… 14
9 テスト方法 …… 14
10 証明 …… 15
11 製造ラベリング …… 15
12 梱包および出荷コンテナラベリング …… 16
関連情報 1 LLS 密度の等価量 …… 17
関連情報 2 IC 用途のエピタキシャルウェーハの仕様のガイド …… 19

表リスト

表 1 シリコンウェーハ発注仕様書，パート 3 エピタキシャルウェーハ …… 7
表 2 エピタキシャルウェーハ欠陥限度 …… 12
表 3 エピタキシャルウェーハのカテゴリ（Epitaxial Wafer Categories） …… 13
表 R1-1 LLS 密度の関数としてのさまざまなサイズのウェーハの固定品質領域内の局所光散乱体の数 …… 17
表 R2-1 1.0 μm，0.35 μm，0.25 μm のデザインルールのエピタキシャルウェーハの仕様のガイド …… 19
表 R2-2 0.18 μm のデザインルールのエピタキシャルウェーハの仕様のガイド …… 21
表 R2-3 130 nm のデザインルールのエピタキシャルウェーハの仕様のガイド …… 24
表 R2-4 90 nm のデザインルールの DSP 基板によるエピタキシャルウェーハの仕様のガイド …… 26
表 R2-5 65 nm のデザインルールの DSP 基板によるエピタキシャルウェーハの仕様のガイド …… 30
表 R2-6 45 nm のデザインルールの DSP 基板によるエピタキシャルウェーハの仕様のガイド …… 33
表 R2-7 32 nm のデザインルールの DSP 基板によるエピタキシャルウェーハの仕様のガイド …… 36
表 R2-8 22 nm のデザインルールの DSP 基板によるエピタキシャルウェーハの仕様のガイド …… 40

注：SEMI による書面での了承なき場合は，本書の全部もしくは一部の転載を禁じる。
©Semiconductor Equipment and Materials International（http://www.semi.org/）
©SEMI ジャパン 〒102－0074 東京都千代田区九段南 4－7－15

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

1 目的

1.1 エピタキシャルシリコンウェーハは，多くの集積回路やディスクリート半導体デバイスに使用されている。共通のプロセス装置を複数のデバイス製造ラインで使用できるようにするためには，エピタキシャルウェーハの寸法を標準化することが不可欠である。

1.2 さらに，高密度の集積回路のエレメントの寸法をますます小さくするためのテクノロジの進歩につれ，エピタキシャルウェーハの特性をさらに標準化することに関心が集まってきている。

1.3 これらの仕様では，ディスクリート半導体デバイスの製造業者および集積回路デバイスの製造業者の両者のためのシリコンエピタキシャルウェーハの例を定義し，記載する。検査手順および検収判定基準を定義することにより，サプライヤとその顧客は両者とも製品の特性と品質の要求条件を変わりなく定義できる。

2 範囲

2.1 これらの仕様は，ハンドリングやパッケージングも含め，基板（SEMI M1 を参照）およびエピタキシャル層の両方の特性をカバーしている。

2.1.1 ディスクリート半導体デバイスの製造業者のエピタキシャルシリコンウェーハの仕様は，特に，ディスクリートデバイスの製造に使用される均質なシリコン基板やエピタキシャルウェーハ上の 25 µm より厚いシリコンのホモエピタキシャル成長に向けられている。これらのデバイスについては，デバイス形状サイズは一般的に 1 µm を超える。

2.1.1.1 本仕様に規定される主要な標準化特性は，物理的，電気的および表面欠陥のパラメータに関連する。

2.1.1.2 選択された表面欠陥の密度，レイヤ厚さのバラツキ，レイヤのネットキャリア密度に対する要求条件は，これらの特性に対する AQL と共に記載される。

2.1.1.3 さらに，表 1 に含まれている「シリコンウェーハ発注仕様書のフォーマット」のその 3[1]を使用し，その仕様での必要性に応じて，そのような追加の物理特性および適切なテスト方法を容易に記載できるようにする。

2.1.2 集積回路用途のエピタキシャルシリコンウェーハの仕様は，直径が 100mm 以上でエピタキシャル層の厚さが 25 µm 以下のウェーハに限定されている。

2.1.2.1 これらの仕様は，ディスクリート半導体の用途のエピタキシャルシリコンウェーハよりも厳しい均一性および表面欠陥判定基準が必要な均質なシリコン基板上のシリコンのホモエピタキシャルな成長に特に向けられている。

2.1.2.2 本仕様に規定される主要な標準化特性は，物理的，電気的および表面欠陥のパラメータに関連する。

2.1.2.3 選択された表面欠陥の密度（表 2），レイヤ厚さのバラツキ，レイヤのネットキャリア密度に対する特定の要求条件は，これらの特性に対する AQL と共に記載される。そのような欠陥の 1 つのタイプは，パーティクル，ピットやその他の表面欠陥などの局所光散乱（LLS）である。単位面積当たりの等価 LLS 密度およびウェーハの固定品質領域内の LLS 数の表は，関連情報 1 に記載されている。

2.1.2.4 さらに，表 1 に含まれている「シリコンウェーハ発注仕様書のフォーマット」のその 3 を使用し，その仕様での必要性に応じて，そのような追加の物理特性および適切なテスト方法を容易に記載できるようにする。

2.1.2.5 集積回路の製造業者が高度なデザインルールで使用するエピタキシャルウェーハを指定する基礎を提供するために，観点を一致させることによって形成されたガイドを記載する。これらのガイドは，正式な仕様ではなく，そこから仕様を発展させることができるガイドなので，関連情報 2 に記載する。必要な仕様は，デバイスおよびプロセスの設計によって決定される。デバイスの設計やプロセスを開発する前にそれらのガイドを検討することによってガイドの有用性を強化できる。

2.2 エピタキシャルウェーハを含むシリコンウェーハのための発注書式内の項目についての完全な EDI コードリストは，SEMI M18 に記載されたまま残っている。

注意： このスタンダードおよび安全ガイドラインはその使用に関連した全ての安全問題を取り扱うことを意図していない。この文書の使用者は，その責任において，適切な安全および健康上実施すべき事柄を確立し，また使用前に法規制やその他の制限への適用性を判断するものである。

3 参考スタンダードおよび文書

3.1 *SEMI スタンダードおよび安全ガイドライン*

1 本表は，以前 SEMI M18 に含まれていた。

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

SEMI M1 — Specifications for Polished Single Crystal Silicon Wafers

SEMI M17 — Guide for a Universal Wafer Grid

SEMI M18 — Guider for Developing Specification Forms for Order Entry of Silicon Wafers

SEMI M33 — Test Method for the Determination of Residual Surface Contamination on Silicon Wafers by Means of Total Reflection X-ray Fluorescence Spectroscopy (TXRF)

SEMI M35 — Guide for Developing Specifications for Silicon Wafer Surface Features Detected by Automated Inspection

SEMI M43 — Guide for Reporting Wafer Nanotopography

SEMI M44 — Guide for Conversion Factors for Interstitial Oxygen in Silicon

SEMI M45 —Specification for 300 mm Wafer Shipping System

SEMI M53 — Practice for Calibrating Scanning Surface Inspection Systems Using Certified Depositions of Monodisperse Reference Spheres on Unpatterned Semiconductor Wafer Surfaces

SEMI M59 — Terminology for Silicon Technology

SEMI M78 — Guide for Determining Nanotopography of Unpatterned Silicon Wafers for the 130 nm to 22 nm Generations in High Volume Manufacturing

SEMI MF95 — Test Method for Thickness of Lightly Doped Silicon Epitaxial Layers on Heavily Doped Silicon Substrates Using an Infrared Dispersive Spectrophotometer

SEMI MF110 — Test Method for Thickness of Epitaxial or Diffused Layers in Silicon by the Angle Lapping and Staining Technique

SEMI MF154 — Guide for Identification of Structures and Contaminants Seen on Specular Silicon Surfaces

SEMI MF374 — Test Method for Sheet Resistance of Silicon Epitaxial, Diffused, Polysilicon, and Ion-implanted Layers Using an In-Line Four-Point Probe with the Single-Configuration Procedure

SEMI MF398 — Test Method for Majority Carrier Concentration in Semiconductors by Measurement of Wavenumber or Wavelength of the Plasma Resonance Minimum

SEMI MF523 — Practice for Unaided Visual Inspection of Polished Silicon Wafer Surfaces

SEMI MF525 — Test Method for Measuring Resistivity of Silicon Wafers Using a Spreading Resistance Probe

SEMI MF534 — Test Method for Bow of Silicon Wafers

SEMI MF657 —Test Method for Measuring Warp and Total Thickness Variation on Silicon Wafers by Noncontact Scanning

SEMI MF672 — Test Method for Measuring Resistivity Profiles Perpendicular to the Surface of a Silicon Wafer Using a Spreading Resistance Probe

SEMI MF723 — Practice for Conversion Between Resistivity and Dopant or Carrier Density for Boron-Doped, Phosphorus-Doped, and Arsenic-Doped Silicon

SEMI MF1390 — Test Method for Measuring Warp on Silicon Wafers by Automated Non-Contact Scanning

SEMI MF1392 — Test Method for Determining Net Carrier Density Profiles in Silicon Wafers by Capacitance-Voltage Measurements with a Mercury Probe

SEMI MF1451 — Test Method for Measuring Sori on Silicon Wafers by Automated Non-Contact Scanning

SEMI MF1530 — Test Method for Measuring Flatness, Thickness, and Total Thickness Variation on Silicon Wafers by Automated Non-Contact Scanning

SEMI MF1617 — Test Method for Measuring Surface Sodium, Aluminum, Potassium, and Iron on Silicon and EPI Substrates by Secondary Ion Mass Spectrometry

SEMI MF1726 — Practice for Analysis of Crystallographic Perfection of Silicon Wafers

SEMI T3 — Specification for Wafer Box Labels

SEMI T7 — Specification for Back Surface Marking of Double-Side Polished Wafers with a Two-Dimensional Matrix Code Symbol

3.2 *ANSIスダンダード*[2]

[2] American National Standards Institute, 25 West 43rd Street, New York, NY 10036, USA; Telephone: 212.642.4900; Fax: 212.398.0023; http://www.ansi.org

Documents
Document Sharing Hub

Full document details: SEMI M62-0912 (Japanese)

ANSI/ASQC Z1.4 — Sampling Procedures and Tables for Inspection by Attributes

ANSI/EIA 556-B — Outer Shipping Container Bar Code Label Standard

3.3 *DINスタンダード*[3]

DIN 50434 — Determination of Crystal Defects in Monocrystalline Silicon Using Etching Techniques on {111} and {100} Surfaces

DIN 50436 — Measurement of the Metallurgical Thickness of Epitaxial Layers of Silicon by the Stacking Fault Method

DIN 50437 — Measuring the Thickness of Silicon Epitaxial Layers by Infrared Interference Method

DIN 50439 — Determination of the Dopant Concentration Profile of Single Crystalline Semiconductor Material by Means of the Capacitance-Voltage Method and Mercury Contact

DIN 50441- 3 — Measurement of the Geometric Dimensions of Semiconductor Slices; Determination of Flatness Deviation of Polished Slices by Means of Multiple Beam Interference

DIN 50443- Recognition of Defects and Inhomogenities in Semiconductor Single Crystals by X-ray Topography: Silicon

DIN 50444 — Conversion between Resistivity and Dopant Density; Silico

DIN 50447 — Contactless Determination of the Electrical Sheet Resistance of Semiconductor Layers with the Eddy-current Method

3.4 *European Community Directive*[4]

2002/95/EC — On the Restriction of the Use of Certain Hazardous Substances in Electrical and Electronic Equipment

3.5 *ISOスタンダード*[5]

ISO 14644-1 — Cleanrooms and Associated Controlled Environments – Part 1: Classification of Airborne Particulates

ISO 14706 — Surface Chemical Analysis – Determination of Surface Elemental Contamination on Silicon Wafers by Total Reflection X-ray Fluorescence Spectroscopy (TXRF) on Silicon Wafers by Total Reflection X-ray Fluorescence Spectroscopy (TXRF)

3.6 *JEITAスタンダード*[6]

JEITA EM-3401 — Terminology of Silicon Wafer Flatness

3.7 *JIS規格*[7]

JIS H 0609 — Test Methods of Crystalline Defects in Silicon by Preferential Etch Techniques

JIS H 0611 — Methods of Measurement of Thickness, Taper, and Bow of Silicon Wafers

JIS H 0614 — Visual Inspection for Silicon Wafers with Specular Surfaces

注意: 別途指示のない場合，引用されたすべての文書は最新の出版バージョンである。

4 用語

4.1 シリコンテクノロジおよびエピタキシャルシリコンテクノロジに関する用語，頭字語，記号は，SEMI M59 で定義されている。

5 発注情報

[3] Deutsches Institut für Normung e.V., Available from Beuth Verlag GmbH, Burggrafenstrasse 4-10, D-10787 Berlin, Germany; http://www.din.de

[4] *Official Journal of the European Union*, February 13, 2003 Available for downloading from the following URL: http://164.36.164.20/sustainability/pdfs/finalrohs.pdf

[5] International Organization for Standardization, ISO Central Secretariat, 1 rue de Varembé, Case postale 56, CH-1211 Geneva 20, Switzerland. Telephone: 41.22.749.01.11; Fax: 41.22.733.34.30; http://www.iso.ch

[6] Formerly JEIDA 43; Japan Electronics and Information Technology Industries Association, Ote Center Building, 1-1-3, Otemachi, Chiyoda-ku, Tokyo 100-0004, Japan; http://www.jeita.or.jp

[7] 財団法人日本規格協会　〒107-8440　東京都港区赤坂 4-1-24，電話: 03-3583-8005; Fax:03-3586-2014;　http://www.jsa.or.jp

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

5.1 これらの仕様に提供されるエピタキシャルシリコンウェーハの発注書には，SEMI M1 の表 1 の「シリコンウェーハ発注仕様書のフォーマット」その 1 と 2 の適切な発注情報を記載しなければならない。

5.1.1 その 1,「一般情報」のすべての情報，およびその 2,「鏡面ウェーハまたは基板」の次の項目を記載しなければならない。

- 2-1.1 成長方法
- 2-1.3 結晶方位
- 2-1.4 導電型
- 2-1.5 ドーパント
- 2-1.8 ウェーハ表面方位
- 2-2.1 抵抗率
- 2-6.1 直径
- 2-6.2 結晶方位基準
- 2-6.3 プライマリフラット／ノッチ方向
- 2-6.4 セカンダリフラット長（あるいは無し）
- 2-6.5 セカンダリフラット位置（あるいは無し）
- 2-6.6 エッジプロファイル
- 2-6.7 厚さ

5.1.2 その 2,「鏡面ウェーハまたは基板」のその他の項目は，必要に応じて記載できる。

5.1.3 さらに，発注書には，代替テスト方法が存在するそれぞれの指定項目の評価に使用する試験方法を示さなければならない。

5.2 これらの仕様に提供される発注書には，表 1「シリコンウェーハ発注仕様書のフォーマット」その 3 の左端の列に記号「♦」が付いている項目も記載しなければならない。それらは次の項目である。

- 3-1.1 導電型／構造
- 3-1.2 レイヤドーパント
- 3-1.3 シリコンソースガス
- 3-1.4 レイヤ成長方法
- 3-1.5 レイヤネットキャリア密度または抵抗率，中心点
- 3-1.6 レイヤネットキャリア密度バラツキ
- 3-1.7 レイヤ厚さ，中心点
- 3-1.8 レイヤ厚さバラツキ

注 1: ドーパント，ドーピング方法，成長方法は，仕上げ済みのウェーハで確認することは困難である。これらの特性の検証テスト手順または証明方法については，サプライヤと顧客の間で合意しなければならない（§9 を参照）。

注 2: SEMI MF723 を使用してキャリア密度と抵抗率を換算するときには注意を払わなければならない。複数回の変換を行うと値が異なることがある。例えば，キャリア密度（C_i）を抵抗率に変換し，キャリア濃度（C_f）に変換して戻すと，C_f と等しくない C_i となることがある。

5.2.1 また，Part 3 の 3-4 および 3-5 のエピタキシャルシリコンウェーハの適切な欠陥限度も記載しなければならない。さまざまな欠陥の重要性は用途毎によって異なることがあるが，表 2 にはエピタキシャルウェーハの欠陥限度の最低限の要求条件を記載している。

5.2.2 破壊試験が必要になることがあるスリップの限度は，発注書に適切な試験方法と共に指定しなければならない。

5.2.3 その 3，エピタキシャルウェーハのその他の項目は必要に応じて記載できる。

5.2.4 さらに，発注書には，代替テスト方法が存在するそれぞれの指定項目の評価に使用する試験方法を示さなければならない。

5.3 発注書には次の項目も記載しなければならない。

Documents
Document Sharing Hub

Full document details: SEMI M62-0912 (Japanese)

5.3.1　ロット検収手順

5.3.2　証明（必要な場合）

5.3.3　梱包および出荷コンテナラベリング要求事項

6 要求事項

6.1 最低条件として，基板は SEMI M1 および適切な基板カテゴリの要求条件に準拠しなければならない（さまざまなウェーハカテゴリの要求条件については，SEMI M1 の表 5 ～ 表 11 を参照）。

6.2 もし発注書で指定されるならば，ウェーハは EC 指令 2002/95/EC の特定有害物質使用制限指令(RoHS)規定の要件に従うものとする。その情報に関して，この指令によって要求されるウェーハの表面もしくは容積の Cr，Cd，Hg，および Pb の最高濃度は SEMI M1 により与えられる。

6.3 エピタキシャルウェーハの欠陥は，表 2 に記載されている限度を超えてはならない。この表では，欠陥の限度は（エッジチップおよびインデントを除き），レーザ識別マークのあるウィンドウ内に含まれる任意の領域を除く固定品質領域に適用される。

6.3.1　別の指定がない場合，IC 用途のエピタキシャルウェーハの品質領域内にはスリップラインが含まれてはならない。

注 3: エッチングされていないウェーハにスリップがないか観察する場合，スリップとリニアミスフィットラインを区別することは不可能である。

6.4 *レイヤ厚さのバラツキ*

6.4.1　*ディスクリート半導体デバイスの製造用のエピタキシャルウェーハ* — 特に指定がない限り，厚さのバラツキは，中心およびプライマリフラットと平行および直角の両方の直径上にある半径の半分（$R/2$）の位置で測定された値から決定しなければならず，次の定義により 6%以下でなければならない。

$$\text{Variation (\%)} = \frac{\left(\frac{R}{2} - C\right)_{\max}}{C} \times 100 \qquad (1)$$

ここで，$\frac{R}{2}$ は，半径の半分の位置で測定された厚さの値の 1 つを示し，C は，中心の値を示す。

6.4.2　*IC 用途のエピタキシャルウェーハ* — 特に指定がない限り，厚さのバラツキは次のように，中心およびプライマリフラットまたはノッチ軸と平行および直角の両方の直径上にある，周辺から 12 mm ± 1 mm の位置で測定された値から決定しなければならない。

$$\text{Variation (\%)} = \frac{t_{\max} - t_{\min}}{t_{\max} + t_{\min}} \times 100 \qquad (2)$$

ここで，$t_{\max}$ および $t_{\min}$ は，測定された厚さの最大値および最小値を示す。12 mm の位置は，計測器の手順および専従者の考察を基に定義された。

6.5 *ネットキャリア密度分布*

注 4: 多くの場合，この分布は抵抗率の分布の観点から説明される。SEMI MF723 を使用して抵抗率およびネットキャリア密度を相互に変換できる。しかし，抵抗率で表現された仕様の中心点はネットキャリア密度で表現された仕様の中心点とは異なることに注意しなければならない。したがって，分布は中心点の周辺で異なった形状の曲がりになることがある。

6.5.1　*ディスクリート半導体デバイスの製造業者用のエピタキシャルウェーハ* — ネットキャリア密度の分布は，中心およびプライマリフラットと平行および直角の両方の直径上にある半径の半分($R/2$)の位置で測定された値から決定しなければならず，次の定義に従ってネットキャリア密度が$\geq 1\times10^{15}$ cm^{-3} については 10%以下，ネットキャリア密度が$<1\times10^{15}$ cm^{-3} については 15%以下でなければならない。

$$\text{Variation (\%)} = \frac{\left(\frac{R}{2} - C\right)_{\max}}{C} \times 100 \qquad (3)$$

ここで，$\frac{R}{2}$ は，変形の半分の位置で測定されたネットキャリア密度の値の 1 つを示し，C は，中心の値を示す。

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

表 1　シリコンウェーハ発注仕様書，パート 3 エピタキシャルウェーハ

	項目		仕様	測定方法
3-1. エピタキシャルウェーハの一般特性およびレイヤ特性（GENERAL EPITAXIAL WAFER AND LAYER CHARACTERISTICS） *（注：♦は，エピタキシャルシリコンウェーハを指定するために最低限示さなければならない値または選択肢のために必要な項目であることを示す。*				
	IC 用途のエピタキシャルウェーハについては，この表全体に記載されている項目を個別に指定できる。あるいは次の通りである。 [ ]エピタキシャルウェーハカテゴリ 11 に従って指定される。[　　]（エピタキシャルウェーハのカテゴリについては表 R2-1～R2-4 を参照する。 項目が標準カテゴリに従って指定される場合，(1) カテゴリの要求条件のさまざまなオプション間で選択しなければならない選択肢である場合あるいは (2) 例外が欲しい場合ではない限り，この表のいかなる場所においても個別に入力する必要はない。			
♦	3-1.1	導電型／構造 （Conductivity Type/Structure）	[ ]n/n^+; [ ]p/p^-; [ ]p/p^+; [ ]p/p^{++};] その他：（指定）_____	
♦	3-1.2	レイヤドーパント （Layer Dopant）	[ ]ボロン; [ ]リン; [ ]ヒ素	
♦	3-1.3	シリコンソースガス （Silicon Source Gas）	[ ]SiH_4; [ ]SiH_2Cl_2; [ ]$SiHCl_3$; [ ]$SiCl_4$;	
♦	3-1.4	レイヤ成長方法 （Layer Growth Method）	リアクタタイプ [　　]; 圧力 [　　]	
♦	3-1.5	レイヤネットキャリア密度または抵抗率，中心点 （Layer Net Carrier Density or Resistivity, center point） 抵抗率が測定される場合，ネットキャリア濃度に変換。	公称[　　] ± 許容値[　　] × $10^{[\ ]}$ atoms/cm^3 または 公称[　　] ± 許容値[　　] Ω·cm [ ]はい; [ ]いいえ	[ ]SEMI MF1392; [ ]DIN 50439; [ ]SEMI MF398 [ ]SEMI MF374; [ ]SEMI MF672; [ ]DIN 50447 [ ]その他：（指定）_____ [ ]SEMI MF723 [ ]DIN50444
♦	3-1.6	レイヤネットキャリア密度バラツキ（Net Carrier Density Variation） 測定位置および計算	[ ]≤10%; [ ]≤15%; [ ]≤_____% [ ]中心および半径の半分（式 3）; [ ] 中心およびエッジから 12 mm（式 4）; [ ]その他_____	[ ]SEMI MF1392; [ ]DIN 50439, [ ]その他：（指定）_____
♦	3-1.7	レイヤ厚さ，中心点 （Layer Thickness, center point）	公称[　　] ± 許容値[　　] µm	[ ]SEMI MF95; [ ]DIN 50437; [ ]SEMI MF110; [ ]SEMI MF672; [ ]DIN 50436; [ ]その他：（指定）_____
♦	3-1.8	レイヤ厚さバラツキ（Layer Thickness Variation） 測定位置および計算	[ ]≤6%; [ ]≤_____% [ ] 中心および半径の半分（式 1）; [ ] 中心およびエッジから 12 mm（式 2）; [ ]その他_____	各位置で 3-1.7 と同じ方法を使用すること。
	3-1.9	遷移幅 （Transition Width）	[ ]≤_____µm	3-1.7（厚さ測定については IR のみ）および 3-1.10（キャリア濃度測定）と同じ方法を使用すること。
	3-1.10	フラットゾーン （Flat Zone）	[ ]≤_____µm	[ ]SEMI MF1392; [ ]DIN 50439; [ ]その他：（指定）_____
	3-1.11	ファントムレイヤ （Phantom Layer）	[ ]なし	
3-2. EPI 後の寸法特性（POST-EPI DIMENSIONAL CHARACTERISTICS）				

M62-0912
Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

項目			仕様	測定方法
	3-2.1	バウ（Bow）	[ ]≤_____μm	[ ]SEMI MF534; [ ]JIS H 0611; [ ]その他：（指定）_____
	3-2.2	ワープ（Warp）	[ ]≤_____μm	[ ]SEMI MF657; [ ]SEMI MF1390; [ ]その他：（指定）_____
	3-2.3	ソリ（Sori）	[ ]≤_____μm	[ ]SEMI MF1451; [ ]その他：（指定）_____
	3-2.4	全厚さバラツキ （Total Thickness Variation）	[ ]TTV; [ ]GBIR; [ ]その他：（指定） _____	[ ]SEMI MF533; [ ]SEMI MF657; [ ]SEMI MF1530; [ ]JIS H 0611; [ ]DIN 50441/1; [ ]その他：（指定）_____
	3-2.5	平坦度，グローバル （Flatness, Global）	[ ]≤_____μm; 頭字語[注1] [ ] [ ] [ ] [ ]	[ ]SEMI MF1530; [ ]DIN 50441/3; [ ]JEITA EM-3401; [ ]その他：（指定）_____
	3-2.6	平坦度，サイト （Flatness, Site）	[ ]≤_____μm; 頭字語[注1] [ ] [ ] [ ] [ ] サイトサイズ ___ mm × ___ mm [ ]% 使用可能エリア_____ [ ]部分的サイトを含む; [ ] 部分的サイトを含まない 補正値: x = [ ] mm, y = [ ] mm	[ ]SEMI MF1530; [ ]その他：（指定）_____
	3-2.7	ナノトポグラフィ （Nanotopography）	[ ]≤___ nm，直径 2mm の分析エリアについて [ ]≤___ nm，直径 10mm の分析エリアについて [ ]その他：（指定）_____	[ ] SEMI M43; [ ]その他：（指定）_____
	3-2.8	ミスフィット転位 （Misfit dislocations）	[ ]決定要	[ ] 決定要
	3-2.9	平坦度，サイト，SBIR （Flatness, Site, SBIR）	[ ] 決定要	[ ]SEMI MF1530; [ ]その他：（指定）_____
	3-2.10	エッジプロファイル （Edge Profile）	[ ] 決定要	[ ] 決定要
	3-2.11	エッジロールオフ （Edge Roll Off）	[ ] 決定要	[ ] 決定要
3-3. EPI 後の表面化学特性（POST-EPI FRONT SURFACE CHEMISTRY）				
	3-3.1	表面の金属汚染（Surface Metal Contamination）		
	3-3.1.1	ナトリウム （Sodium）	[ ]≤[ ] × 10[ ] atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]その他：（指定）_____
	3-3.1.2	アルミニウム （Aluminum）	[ ]≤[ ] × 10[ ] atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]その他：（指定）_____
	3-3.1.3	カリウム （Potassium）	[ ]≤[ ] × 10[ ] atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他：（指定）_____
	3-3.1.4	クロミウム （Chromium）	[ ]≤[ ] × 10[ ] atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他：（指定）_____

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

項目			仕様	測定方法
	3-3.1.5	鉄 (Iron)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.1.6	ニッケル (Nickel)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.1.7	銅 (Copper)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.1.8	亜鉛 (Zinc)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.1.9	カルシウム (Calcium)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.2	その他の表面金属(Other Surface Metals)(個別にリストアップすること)		
	3-3.2.1	コバルト (Cobalt)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.2.2	マンガン (Manganese)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.2.3	モリブデン (Molybdenum)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.2.4	チタン (Titanium)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____
	3-3.2.5	バナジウム(Vanadium)	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他:(指定)_____

Documents
Document Sharing Hub

Full document details: SEMI M62-0912 (Japanese)

項目			仕様	測定方法
	3-3.2.6	[ ]その他：(指定) _____	[ ]≤[ ] × 10[ ]atoms/cm^2	[ ]ICP/MS; [ ]AAS; [ ]SEMI MF1617 (SIMS); [ ]SEMI M33 (TXRF); [ ]ISO 14706 (TXRF); [ ]その他：(指定)_____
3-4. EPI 後の目視検査特性(POST-EPI FRONT SURFACE INSPECTION CHARACTERISTICS)				
	この項の項目は個別に指定できる。あるいは次のようにできる。 [ ] 表 2，ディスクリートの用途に従って指定。あるいは [ ] 表 2，IC の用途に従って指定。 後者のどちらの場合も，例外が必要な場合を除き，記載されている個別の項目は，この項で個別に入力する必要はない。			
	3-4.1	積層欠陥 (Stacking Faults)	[ ]1/cm^2; [ ]その他：(指定)_____	[ ]SEMI MF1726; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.2	スリップ(Slip)	[ ]36 個のグリッドエレメント(ディスクリートのエピタキシャルウェーハのみ) [ ]なし; [ ]その他：(指定)_____	[ ]SEMI M17 [ ]SEMI MF1726
	3-4.3	転位(Dislocations)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF1726
	3-4.4	大きな局所光散乱体 (Large Localized Light Scatterers)， サイズ >1 µm 側面で	[ ]なし; サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.5	局所光散乱体 (Localized Light Scatterers((LLS))	サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり サイズ: ≥[ ] µm (LSE) カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.6	ヘイズ(Haze)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.7	スクラッチーマクロ (Scratches – Macro)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.8	スクラッチーミクロ (Scratches – Micro)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.9	エッジチップおよびインデント (Edge Chips and Indents)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.10	異物 (Foreign Matter)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.11	くぼみ(Dimples)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____
	3-4.12	オレンジピール (Orange Peel)	[ ]なし; [ ]その他：(指定)_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;[注2] [ ]その他：(指定)_____

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

項目			仕様	測定方法
	3-4.13	汚染／エリア （Contamination/Area）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-4.14	エッジクラック （Edge Cracks）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-4.15	エッジクラウン （Edge Crown）	[ ]レイヤ表面より上の投影がレイヤ厚さの 1/3 以下 [ ]なし; [ ]その他:（指定）_____	[ ]DIN 50446; [ ]その他:（指定）_____
	3-4.16	クラック，クローズトラック （Cracks, Crow's Feet）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-4.17	マウンド （Mounds）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-4.18	ソーマーク （Saw Marks）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-4.19	ドーパント成長縞リング （Dopant Striation Rings）	[ ]なし; [ ] その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]DIN 50443/1; [ ]その他:（指定）_____
	3-4.20	しみ（Stains）	[ ]なし; [ ] その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]その他:（指定）_____
3-5. EPI 後の裏面目視検査特性（POST-EPI BACK SURFACE INSPECTION CHARACTERISTICS）				
	この項の項目は個別に指定できる。あるいは次のようにできる。 [ ]表 2，ディスクリートの用途に従って指定。あるいは [ ] 表 2，IC の用途に従って指定。 後者のどちらの場合も，例外が必要な場合を除き，記載されている個別の項目は，この項で個別に入力する必要はない。			
	3-5.1	汚染 （Contamination）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF 523; [ ]JIS H 0614; [ ]その他:（指定）_____
	3-5.2	スクラッチ－マクロ （Scratches – Macro）	[ ]なし; [ ]その他:（累積平均長を指定） _____ mm	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.3	スクラッチ－ミクロ （Scratches – Micro）	[ ]なし; [ ]その他:（累積平均長を指定） _____ mm	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.4	局所光散乱体 （Localized Light Scatterers（LLS）） （Localized Light Scatterers（LLS））	サイズ: ≥[ ] µm（LSE）カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり サイズ: ≥[ ] µm（LSE）カウント: ≤[ ] [ ] ウェーハあたり; [ ] cm2 あたり	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.5	エッジチップ （Edge Chips）	[ ]なし; [ ]その他:（指定）___ _____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.6	クラック，クローズトラック （Cracks, Crow's Feet）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.7	ソーマーク （Saw Marks）	[ ]なし; [ ]その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]SSIS;注2 [ ]その他:（指定）_____
	3-5.8	しみ （Stains）	[ ]なし; [ ] その他:（指定）_____	[ ]SEMI MF523; [ ]JIS H 0614; [ ]その他:（指定）_____

M62-0912
Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

項目	仕様	測定方法
3-6. EPI 後のその他の特性（OTHER POST-EPI CHARACTERISTICS）（必要に応じて）		

#1 平坦度の頭字語は，SEMI M1 の付録 1 の平坦度の決定ツリーで定義されている。

#2 現在のテクノロジでは，これらの項目のいくつかについては自動表面スキャンニング検査システム(SSIS)を使用して検査できることもある。そのようなシステムは，SEMI M58 に従ってデポジットされたポリスチレンラテックス球を使用し，SEMI M53 に従って校正しなければならない。そのような計測器によって分離可能な欠陥のいくつかの兆候は，SEMI M35 に記載されているが，標準試験方法はまだ開発されていない。SSIS を使用した自動検査の適用については，サプライヤと顧客間で合意しなければならない。

表 2　エピタキシャルウェーハ欠陥限度

項目	特性	最大限度注1				
		ディスクリート用途				IC 用途
		$T_{epi} < 25\ \mu m$	$50 > t_{epi} \geq 25\ \mu m$	$100 > t_{epi} \geq 50\ \mu m$	$T_{epi} \geq 100\ \mu m$	
3-4.1	積層欠陥（Stacking Faults）	15 per cm^2				1 per cm^2
3-4.2	スリップ（Slip）	N = 36 グリッドエレメント（SEMI M17）				なし
3-4.3	転位（Dislocations）	指定なし				なし
3-4.4	大きな LLS（Large LLS），@ ≥20 µm LSE	0.07 per cm^2	0.09 per cm^2	0.12 per cm^2	0.15 per cm^2	指定なし
3-4.5	全 LLS（Total LLS），@ ≥0.5 µm LSE	0.20 per cm^2	0.24 per cm^2	0.27 per cm^2	0.30 per cm^2	0.20 per cm^2
3-4.6	ヘイズ（Haze）注2	なし				なし
3-4.7	スクラッチ－マクロ（Scratches – Macro）注3	なし				なし
3-4.8	スクラッチ－ミクロ（Scratches – Micro）注3	なし				なし
3-4.9	エッジチップおよびインデント（Edge Chips and Indents）注4	なし				なし
3-4.10	異物（Foreign Matter）注2	なし				なし
3-4.15	エッジクラウン（Edge Crown）注5	ウェーハ表面より上の投影が（⅓）t_{epi}を超えない。				指定なし
3-5.1	裏面汚染（Back Surface Contamination）注2	なし				なし

#1 欠陥の限度は，エッジチップおよびインデントを除き，レーザ識別マークのあるウィンドウ内に含まれる任意の領域を除く固定品質領域に適用される。公称のエッジ除外は，150mm ウェーハで 4mm，200mm ウェーハで 4，3，または 2mm，300mm ウェーハで 3，2，または 1mm である。

#3 しみ，グルーブマーク，汚れ，ぼけ，ワープ，残留溶剤などのすべての付着汚染物。この特性には，点欠陥は含まれない。業界で認められているクリーニング手法によって容易に取り除くことができる非付着性汚染や粒子は，異物やヘイズにはならない。

#4 ウェーハの表面および裏面の両方の累積 AQL は，2.5 である。

#5 ウェーハの表面および裏面の両方の累積 AQL は，1.0 である。

#6 エッジクラウンは，エピタキシエッジに丸みを持たせて低減したり，エピタキシ後にエッジに丸みを持たせることによって取り除くことができる。

6.5.2　*IC 用途のエピタキシャルウェーハ* — ネットキャリア密度のバラツキは，次のように，中心およびプライマリフラットまたはノッチ軸と平行および直角の両方の直径上にある，周辺から 12 mm ± 1 mm の位置にプローブの中心を置いて測定された値から決定しなければならない。

$$\text{Variation (\%)} = \frac{N_{\max} - N_{\min}}{N_{\max} + N_{\min}} \times 100 \qquad (4)$$

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)

ここで，N_{max} および N_{min} は，測定されたネットキャリア密度の最大値および最小値を示す。12 mm の位置は，計測器の手順および専従者の考察を基に定義された。

7 IC 用途の仕様ガイド

7.1 IC 用途のエピタキシャルウェーハを指定するガイドは，関連情報 2 に記載する。これらのガイドは，1 µm 以下のデザインルールで IC を製造するためのエピタキシャルウェーハをカバーする。このガイドは，エピタキシャル仕様をよく認識するための一連のオプションを提供し，それらから仕様を定式化できる情報を提供する。

7.2 ガイドに記載されている情報は，視点のコンセンサスによって形成された。ガイドは，デバイス製造に使用されるエピタキシャルウェーハを指定するための基礎として使用してもよいし，使用しなくてもよい。デバイスの設計やプロセスを開発する前にそれらのガイドの適切な情報を検討することによってガイドの有用性を強化できる。必要な仕様はデバイスおよびプロセスの設計によって決定され，ガイドはそこから仕様を進歩させることができる提案である。

7.3 仕様ガイドはエピタキシャルウェーハの一般仕様あるいは仕様の例として見ることができる。これらの表は，いくつかのツインタブ CMOS デバイスの製造に役立つスターティングウェーハを記述する共通のエピタキシャルウェーハの特性を提供する。用途に適切であれば，ガイドはそのまま使用可能であり，仕様やフォーマットの増加を低減できる。カテゴリは，仕様ガイドに従うエピタキシャルウェーハに対して定義された。それらを表 3 にまとめた。

表 3 エピタキシャルウェーハのカテゴリ（Epitaxial Wafer Categories）

エピタキシャルウェーハのカテゴリ	*デザインルール*	*テクノロジ*
11.3	1.0 µm	Twin-Tub CMOS
11.4	0.35 µm	Twin-Tub CMOS
11.5	0.35 µm	DRAM
11.6	0.25 µm	Twin-Tub CMOS
11.7.1	0.18 µm	p/p^-, DRAM
11.7.2	0.18 µm	p/p^+, DRAM, Logic
11.7.3	0.18 µm	p/p^{++}, Logic
11.9.1	130 nm	p/p^-, DRAM
11.9.2	130 nm	p/p^+, DRAM, Logic
11.9.3	130 nm	p/p^{++}, Logic
11.10.1	90 nm	p/p^-, DRAM
11.10.2	90 nm	p/p^+, DRAM, Logic
11.10.3	90 nm	p/p^{++}, Logic
11.11.1	65 nm	p/p^-, DRAM
11.11.2	65 nm	p/p^+, DRAM, Logic
11.11.3	65 nm	p/p^{++}, Logic
11.12.1	45 nm	p/p^-, DRAM
11.12.2	45 nm	p/p^+, DRAM, Logic
11.12.3	45 nm	p/p^{++}, Logic
11.13.1	32 nm	p/p^-, DRAM
11.13.2	32 nm	p/p^+, DRAM, Logic
11.13.3	32 nm	p/p^{++}, Logic
11.14.1	22 nm	*p/p–, DRAM*
11.14.2	22 nm	*p/p+, DRAM, Logic*
11.14.3	22 nm	*p/p++, Logic*

7.3.1 表 R2-1 に，1.0 µm，0.35 µm，または 0.25 µm のデザインルールの製造に使用されるウェーハの仕様作成に使用できるエピタキシャルウェーハの代表的な判定基準を記載する。

Documents
Document Sharing Hub

Full document details: SEMI M62-0912 (Japanese)

7.3.1.1　3 つのすべてのデザインルールの判定基準は，ASIC，FPGA，リニア，DSP，マイクロプロセッサなどの（ただし，これらに限定されない）ツインタブ CMOS デバイスに使用されるエピタキシャルウェーハに対して提供される。

7.3.1.2　0.35 µm のデザインルールの代表的な判定基準は，64Mb DRAM などのデバイスに使用されるエピタキシャルウェーハにも提供される。

7.3.2　表 R2-2 は，0.18 µm のデザインルールのツインタブ CMOS の製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.3　表 R2-3 は，ツインタブ CMOS，130 nm のデザインルールのデバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.4　表 R2-4 は，90 nm のデザインルールの CMOS デバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.5　表 R2-5 は，65 nm のデザインルールの CMOS デバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.6　表 R2-6 は，45 nm のデザインルールの CMOS デバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.7　表 R2-7 は，32 nm のデザインルールの CMOS デバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

7.3.8　表 R2-8 は，22 nm のデザインルールの CMOS デバイスの製造に使用されるウェーハの仕様を作成するために使用できるエピタキシャルウェーハの代表的な判定基準を提供する。

8 サンプリング

8.1 特に他の規定がない限り，適切なサンプルの大きさは，ANSI/ASQC Z1.4-1993 に従って各ロットから抽出しなければならない。各品質特性については ANSI/ASQC Z1.4-1993 に従って AQL（acceptable quality level）が割り当てられなければならない。検査水準はユーザとサプライヤ間で合意すること。

8.2 特に他の規定がない限り，次の AQL を割り当てなければならない。

8.2.1　ディスクリート半導体デバイスの製造用のエピタキシャルウェーハ

- エピタキシャル層中心部厚さと変化量：6.5%
- エピタキシャル層ネットキャリア密度と変化量：6.5%
- エピタキシャルウェーハ欠陥（累積）：4.0%

8.2.2　IC 用途のエピタキシャルウェーハ

- エピタキシャルレイヤ中心点の厚さおよびバラツキ，1%;
- エピタキシャルレイヤ中心ネットキャリア密度およびバラツキ，1%;
- エピタキシャルウェーハの欠陥，累積，2.5%

9 テスト方法

9.1 測定は，それぞれ SEMI M1 の表 1 の「シリコンウェーハ発注仕様書のフォーマット」その 2 と 3 から選択される項目に対する SEMI，ASTM，JEITA，JIS または DIN 規格のどれかのテスト方法およびここに記載されている表 1 のテスト方法および発注書で指定されているテスト方法によって行うか，あるいは証明可能でなければならない。

9.2 ある項目につき上記と異なる複数のテスト法がその地域で広く使われている場合は，該当する方法を発注書でわかるようにしておくことが特に重要である。

9.3 発注仕様にテスト法の明記がなく，さらに地域毎に異なった標準テスト法が用いられている時は，デフォルトのテスト方法は，ウェーハの購入者が属する地域で広く使われている方法である。

9.4 ある項目の標準テスト法がない場合は適用するテスト法につきサプライヤと顧客は合意しなければならない。

9.5 基板およびエピタキシャルウェーハのテストに適切なさまざまな試験方法に関する情報は，SEMI M1 の関連情報 2 に，業界内ではもはや広く使用されていないいくつかの追加の試験方法に関する情報と共に記載されている。

Documents
Document Sharing Hub
Full document details: SEMI M62-0912 (Japanese)