

## SEMI M66-0706<sup>E</sup>

# MIS フラットバンド電圧—絶縁膜厚法を使った、酸化膜、および high-κ ゲートスタックの有効仕事関数の算出方法

本スタンダードは、global Silicon Wafer Committee で技術的に承認されている。現版は 2006 年 5 月 16 日、global Audits and Reviews Subcommittee にて発行が承認された。2006 年 6 月に [www.semi.org](http://www.semi.org) で、そして 2006 年 7 月に CD-ROM で入手可能となる。

<sup>E</sup> 本文書は 2007 年 2 月に編集上の修正がなされた。変更箇所は、¶R2-2.3 である。

## 1 目的

1.1 CMOS 集積回路の継続的な縮小により、ムーアの法則による予測や、国際半導体技術ロードマップ (*International Technology Roadmap for Semiconductors*) の予測を達成するためには、新規材料やリソグラフィ技術の革新が必要な所まで来ている。ゲート絶縁膜厚が 1nm に近づくに伴い、一般的に使われてきたゲート絶縁膜とゲート電極の材料 (SiO<sub>2</sub> とドープされたポリシリコン) の特性では、今後のノードに対応できない。従来の CMOS に使われている  $n^+$  や  $p^+$  ポリシリコンゲート電極に替わる材料を探すため、代替材料候補の有効仕事関数を実験により算出することが新たに注目を集めている。

1.2 新たなゲート電極材料に要求される特徴の一つは、シリコン酸化膜 (SiO<sub>2</sub> 膜) と SiO<sub>2</sub> に代替すべく開発が進んでいる high-κ 膜の両方のゲート絶縁膜に対して使用できる可能性である。ゲート電極の仕事関数差は、ゲート電極材料とシリコン基板の特性のみによる様に見えるが、さまざまな、金属と絶縁体の相互作用が、有効仕事関数に影響を与える電位シフトを発生させることが報告されている。したがって、これらの影響を十分考慮したテスト片構造と解析が求められる。

1.3 これらの測定が初めて広く使われる様になって以降、プロセス技術やウェーハ作製法が変化したことは、テスト片構造作製と解析方法の変更が必要なことを示している。本試験方法の目的は、この変更を明確にすることである。それは、測定、フラットバンド電圧—絶縁膜厚法より得たゲート電極有効仕事関数データの測定、解析と報告を含む。

## 2 範囲

2.1 本試験方法では、酸化膜ゲートと high-κ ゲートスタックの両方の有効仕事関数算出を扱う。基本的な方法は、SEMI MF1153 に概要が示されている従来の MOS キャパシタによるフラットバンド電圧—絶縁膜厚法に基づくが、以下の 2 つの機能が本試験方法の特徴である。(1) 1 枚のシリコンウェーハ上の測定から、有効仕事関数の非常に優れた算出ができる。(2) high-κ ゲートスタックにおける、有効仕事関数値に対する界面とバルクの電荷分布の影響を分離し最小にする機能。これら 2 つの機能は、このテストに使われるテスト片構造の性質と製作に依存する。テスト片の性質は本方法において大変重要であるので、現状のウェーハファブで使われている標準的な装置によるテラス (階段) 状酸化膜構造テスト片の自動作製について、本試験方法の一部として概要が記されている。またその他の方法として、正確さと再現性には欠けるが、小さな設備に適切な方法の概要が関連情報 1 に記されている。

2.1.1 厚みの異なる絶縁膜を有する 1 枚のウェーハを使うことが、この試験方法の第一の重要な特徴である。これは、本方法による有効仕事関数計測の初期段階においての標準手法である。この手法は、エッチング液にウェーハを部分的に浸漬することによる熱酸化膜エッチングの簡便性に基づく。この手法はまた、評価するすべてのテスト片において、均一な酸化膜—シリコン界面の電荷密度を保証することにより信頼性を確保する。上記特徴の重要性は、解析の基礎となる基本的な式から見て取れる。

$$V_{fb} = \phi'_{ms} - \frac{Q_f W_{ox}}{\epsilon_{ox}} \quad (1)$$

ここで、

|                 |   |                                                        |
|-----------------|---|--------------------------------------------------------|
| $V_{fb}$        | = | フラットバンド電圧 (V)                                          |
| $\Phi'_{ms}$    | = | ゲート電極とシリコン基板それぞれのフェルミレベルによるポテンシャル障壁の差 (¶ 5.4.1 参照) (V) |
| $Q_f$           | = | 酸化膜界面電荷密度 (C/cm <sup>2</sup> )                         |
| $W_{ox}$        | = | 酸化膜膜厚 (cm) <sup>1</sup>                                |
| $\epsilon_{ox}$ | = | 酸化膜の誘電率 ( $3.4 \times 10^{-13}$ F/cm)                  |

式 1 が成り立つには、酸化膜膜厚の異なるキャパシタにおいて、フラットバンド電圧  $V_{fb}$  対酸化膜膜厚  $W_{ox}$  のグラフよりゲート電極とシリコン間の仕事関数の差  $\Phi'_{ms}$  を算出するため、すべて同じ  $Q_f$  値でなければならない。 $\Phi'_{ms}$  は、シリコン基板の既知の仕事関数と併せることにより、検査中のゲート電極材料の目標とする有効仕事関数を得るのに使われる。現在のウェーハファブでは、異なる酸化膜膜厚が混在するウェーハを、酸化膜膜厚を制御した状態で作製するのが困難なことから、これらの実験には均一な酸化膜膜厚を有する異なるウェーハが使われてきた。この様なサンプルは、酸化温度、雰囲気、また処理時間の違いにより異なる  $Q_f$  値を得やすい。high- $\kappa$  ゲートスタックの場合、膜作製条件の違いにより、上記の様なことが更に起きやすい。したがって、本方法では、有効仕事関数を算出するのに異なる酸化膜膜厚を有する 1 枚のウェーハを使うことを重視している。

2.1.2 本試験方法は、high- $\kappa$  ゲートスタックにおけるゲート電極の有効仕事関数の算出を、具体的に扱っている。ある種の電極材料では、high- $\kappa$  絶縁膜表面との相互作用により仕事関数の変化を生じることがある。これは、電極が形成されている表面の状態に左右される。解析は、1 枚のウェーハにおいて異なる膜厚の酸化膜上に一定膜厚の high- $\kappa$  膜をスタックした構造を使うことにより、著しく簡素化できる。この場合、high- $\kappa$  膜と high- $\kappa$  膜/酸化膜界面に伴う電荷分布が  $V_{fb}$  対  $W_{ox}$  グラフの縦座標切片に影響し、 $\Phi'_{ms}$  の算出に干渉する。この障害はほとんどの場合、薄い high- $\kappa$  膜を使うことにより問題ないレベルまで低減できる。必要であれば、異なる high- $\kappa$  膜厚を持つ複数のウェーハを使つことにより、縦座標切片の固定シフトの大きさを算出することができる (関連情報 2 参照)。

2.2 本試験方法では、多数の MIS 容量-電圧 (C-V) カーブ測定と、そのデータからフラットバンド電圧と等価酸化膜厚 (EOT) の算出が必要である。これらの C-V カーブは高周波 C-V カーブで、一般的に 100 kHz から 1 MHz の範囲の周波数で測定される。特に比較的薄い酸化膜や high- $\kappa$  ゲートスタックの場合の正確な C-V カーブの測定には、多くの複雑な要素がある。これらの内容は、酸化膜が 50 nm 以下、それ以上場合の測定を扱う SEMI MF1153 には記されていない。これらの内容はまた、本試験方法の適用範囲から逸脱する。<sup>2,3</sup>

2.3 得られた C-V データから  $V_{fb}$  値と EOT 値の算出は、この手順の重要な部分である。ここで示されている内容は、NCSU (North Carolina State University) で開発された CVC アルゴリズム<sup>3</sup>を使用しているが、それは重要ではなく、同じアルゴリズムであれば、どれでも使用できる。

**注意:** このスタンダードはその使用に関連したすべての安全問題を取り扱うことを意図していない。このスタンダードの使用者は、その責任において、適切な安全および健康上実施すべき事柄を確立し、また使用前に法規制やその他の制限への適用性を判断するものである。

### 3 制限

3.1 誘電体容量とフラットバンド電圧の両方ともシリーズ抵抗に大きく影響を受けるため、ウェーハ裏面の電極接触が低抵抗のオーミックコンタクトである様十分注意する。この接触は、テスト用ウェーハ裏面にメタライズド (金属) 接触で得るのが好ましい。基板と逆のタイプの導電性を有する拡散ウェル構造内のキャパシタをテストしなければならない場合、テスト用キャパシタのすべての部分で、抵抗が均一で低抵抗になる様設計された表面接触を使う必要がある。

<sup>1</sup> この値は通常 nm で与えられる。この場合、式 1 に代入する前に、与えられた値に  $10^{-7}$  を掛ける。

<sup>2</sup> 高周波 MOS C-V 計測理論と技術は以下に記述されている。

Schroder, D. K. *Semiconductor Material and Device Characterization* (John Wiley & Sons, Inc., New York, 1990) Chapter 6, p. 244ff, and Nicollian, E. H. and Brews, J. R., *(MOS (Metal Oxide Semiconductor) Physics and Technology* (John Wiley & Sons, Inc., New York, 1982) Chapter 4, p. 99ff and Chapter 12, p. 581ff.

<sup>3</sup> Hauser, J. R. and Ahmed, K., "Characterization of Ultra-Thin Oxides Using Electrical C-V and I-V Measurements," in *Characterization and Metrology for ULSI Technology*, Seiler, D.G., et al. ed., AIP Conference Proceedings 449 (American Institute of Physics, Woodbury, NY, 1998) pp. 235-239.

3.2 テラス状酸化膜法の主な制限は、酸化膜だけの場合や具体的なhigh- $\kappa$ ゲートスタック構造の界面酸化膜に、比較的厚い酸化膜を誘電体として使うことである。そのため、窒化酸化膜を使うときはテラスエッチング前の最大膜厚の酸化膜を窒化しなければならない。これは、薄い酸化膜を窒化したときに形成されるのとは異なる界面を形成するかもしれないからである。テラスエッチング後に酸化膜を窒化した場合、膜厚の異なる酸化膜に対して不均一な $Q_f$ になり、式 1 に関して述べた解析の基本的な仮定が成り立たなくなる。この件に関しては、テラス状酸化膜形成後のいかなる熱的、または活性なプロセスも、同じ問題を起こす可能性がある。たとえば、ドライエッチによるテラス作製をしようとする、酸化膜とシリコン界面のプラズマダメージにより、不均一な $Q_f$ になる。さらに、この心配はゲート電極材料の成膜によるダメージにも及ぶ。もしサンプルにこの様なダメージが有った場合は、データ解析の初期段階で簡単に見付けることができる。

3.3 適切でない、または適用できないデータは、不良キャパシタのC-V測定による可能性がある。この不良は、誘電体の内的または外的不良、電極形成時のパターンニングエラー、またはテラス段差部分にかかる形成などによる。したがって、不適切なデータは、さらに解析を進める前にデータ群から取り除かなくてはならない。最適な方法は、EOTと $V_{fb}$ 値を算出する理論モデルと、C-V解析から得られたパラメータを、注意深く比較することである。C-Vデータ解析アルゴリズムの出力パラメータをチェックすることを推奨する。たとえば、すべての算出された表面ドーパ密度値の分散が小さく、また適正な値であることを確かめる。

3.4 完全な解析をするためのデータ量は、非常に大きくなる可能性がある。ここで使っているアルゴリズムは、ウェーハ毎に128個のMOSキャパシタ、それぞれについて約100ポイントのデータを計測する。半自動のコンピュータ制御プローブとデータ取得システムを推奨する。

3.5 使用するゲート絶縁膜の厚みや静電容量を考慮してシリコン基板のドープレベルを選択する必要がある。目標は、簡単に $V_{fb}$ を見付けだすために、フラットバンド静電容量がC-V変移の中心付近になるような適度なC-Vカーブの形を得ることである。

3.6 テスト用ウェーハの作製プロセスは、実際のデバイスに適用するゲート電極プロセスを適切に反映していることを注意して確かめなければならない。イオン注入層活性のための高温アニールは、ゲート電極の有効仕事関数のバラツキのよく知られた原因である。適正な低温アニール、特に還元雰囲気中での低減、をしないと、C-V特性を歪ませる高い不均一な界面準位密度につながる可能性があり、有効仕事関数値の算出を複雑なものとする。ゲート電極成膜のダメージによるC-Vカーブの歪みは、正しくない仕事関数値を与えるだけでなく、このゲート電極成膜を使用することにより重大な問題が発生する可能性を示唆する。得られた実際の有効仕事関数値は、ある程度、テスト片構造の作製プロセスに影響される。均一な作製プロセスを心がけなければならない。

3.7 10nmかそれ以下の薄い酸化膜をテストするときは、これらの膜に特有の非常に高い静電容量による効果を特別に考慮しなければならない。ゲート電極の導電性が高くないときのゲート電極中の電圧降下や、シリコン基板中の電圧降下などがある。これらの薄い絶縁膜のトンネル効果による高い電気導電は、C-V特性を歪ませる可能性があり、解析とパラメータの算出を複雑にする。

## 4 参照スタンダードおよび文書

### 4.1 SEMIスタンダード

SEMI M59 — Terminology for Silicon Technology

SEMI MF1153 — Test Method for Characterization of Metal-Oxide-Silicon (MOS) Structures by Capacitance-Voltage Measurements

### 4.2 ISOスタンダード

ISO 1 4644-1 — Cleanrooms and associated controlled environments—Part 1: Classification of airborne particulates<sup>4</sup>

注意：別途指示のない場合、引用されたすべての文書は最新の出版バージョンである。

<sup>4</sup> International Organization for Standardization, ISO Central Secretariat, 1, rue de Varembe, Case postale 56, CH-1211 Geneva 20, Switzerland. Telephone: 41.22.749.01.11; Fax: 41.22.733.34.30 Website: www.iso.ch; also available in the US from American National Standards Institute, New York Office: 11 West 42nd Street, New York, NY 10036, USA. Telephone: 212.642.4900; Fax: 212.398.0023 Website: www.ansi.org, and in other countries from ISO member organizations.

## 5 用語

5.1 SEMI M59 は、シリコン技術の一般的な用語集である。

5.2 C-V測定に関しての用語は、SEMI MF1153 に記されている。

5.3 定義

5.3.1 有効仕事関数(effective work function) — COMSデバイスのゲートスタックにおけるゲート電極で、フェルミレベルと真空レベルのポテンシャルの差。

5.3.1.1 議論(Discussion) — 用語「仕事関数」とは、物質表面から、熱平衡状態にある電子を物質外の真空レベルに移すために必要なエネルギーであると、物理学で明確に定義されている。CMOSデバイスのゲートスタックを形成するため、半導体表面の誘電体膜とゲート材料が密着すると、電荷の移動が起こる。この移動は、材料のさまざまな特性や、材料間の相互作用の関数で、ゲート材料と基板間のポテンシャル差に影響を与える可能性がある。このため、形成された、CMOSデバイスのしきい電圧を制御する最終的なポテンシャルの差は、ゲート材料と半導体基板との通常の仕事関数の差とは異なる可能性が十分ある。したがって、用語「有効仕事関数」とは、実際にゲートスタックで測定されたポテンシャルの差に関わる値を表す。

5.3.2 テラスタ酸化膜ウェーハ(terraced oxide wafer) — さまざまな厚みの酸化膜をウェーハ上に作製するため、自動化されたスピネッチャでエッチングされた酸化膜付きウェーハ。

5.3.2.1 議論(Discussion) — このウェーハは、本試験方法の主要な部分である。このウェーハは、酸化膜—シリコン界面電荷 $Q_f$ の一般的で均一な値を持ち、酸化膜膜厚の異なる複数のMOSキャパシタを同一ウェーハ上に有する。この特性を確実に得るため、ウェーハの酸化は一回のみでなくてはならず、酸化膜膜厚に依存する界面電荷生成を防ぐため、その後のエッチングは化学的ウェットエッチング液で穏やかなエッチングをおこなう。

5.4 記号

5.4.1  $\phi'_{ms}$  — MISキャパシタ構造で、ゲート電極材料のフェルミレベルとシリコン基板のフェルミレベルのポテンシャルバリアの差。

5.4.1.1 議論 — このポテンシャルの差は、酸化膜のみのテスト片での、フラットバンド電圧 $V_{fb}$ 対 酸化膜膜厚 $W_{ox}$ グラフの縦座標切片である。high- $\kappa$ ゲートスタックの場合は、¶ 5.4.2.1 参照。

5.4.2  $\phi_t$  — high- $\kappa$ ゲートスタック絶縁膜を有するテスト片の、 $V_{fb}$ - $W_{ox}$  グラフ縦座標切片。

5.4.2.1 議論 — high- $\kappa$ ゲートスタック絶縁膜の場合、縦座標切片は、ゲート電極—シリコン基板の $\phi'_{ms}$ とゲートスタックのバルクおよび界面電荷およびダイポールの項を含む。しかし非常に薄いhigh- $\kappa$ 膜の使用により、この差を最小にすることができる。(関連情報 2 参照)。

## 6 試験方法の概要

6.1 本試験方法では、まず始めに試験試料とテスト片構造を適切に準備する。

6.2 試験試料のIDや、その他の識別情報を記録する。

6.3 試験システムと試験試料に適切な試験パラメータを設定する。それらは、試験用MOSキャパシタの作製に必要なパラメータ、C-Vカーブ計測における計測条件の詳細、および解析用に抽出すべきデータ等である。

6.4 ウェーハ上の酸化膜膜厚が異なる各ダイにおいて、各ダイ中の少数のキャパシタで高周波MOS C-V計測を行う。すべての計測において浮遊容量(ストレーキャパシタンス)をゼロにするため、適切な対策を取らなくてはならない。すべてのC-V計測データは、ウェーハ上どのダイで、そのダイ中のどの部分のキャパシタかを識別する情報と一緒に保存しなければならない。

6.5 指定されたすべてのキャパシタについて計測をした後、C-Vデータは、EOT、表面ドーパント密度、フラットバンド電圧、およびこれらのパラメータが通常のMOSキャパシタの特性とどの程度良く一致するかを示す適合度等、適切なパラメータを得るため、あるアルゴリズムで処理される。NCSU(North Carolina State University)CVCアルゴリズムは、この様な解析を行うプログラムの一つである。<sup>3</sup>

6.6 それぞれのウェーハのすべてのデータで、 $V_{fb}$  対EOTのグラフが形成される。これらのグラフは線形回帰法により解析され、線形性が解析される。これは、関連情報 2 内のモデル導出に概要が示されている解析推定と、どの程度合致するかである。グラフが線形性要求を満たす場合、酸化膜-シリコンの界面電荷値 $Q_f$ と縦軸切片値 $\Phi'_{ms}$ または $\Phi_f$ が算出される。

6.7 それぞれのウェーハに対して算出された $\Phi'_{ms}$ または $\Phi_f$ の値は、ゲート電極材の有効仕事関数を算出するのに使用される。

6.8  $V_{fb}$  対EOTグラフのデータに線形性が見られない場合、何が問題かを探すため、行った実験を解析しなければならない。解析の内容に関しては、各実験固有の詳細によるため、ここで記述する事はできない。

6.9 厚さの異なる界面酸化膜と、一定の厚さのhigh- $\kappa$ 膜がスタックされた試料を使用する場合、high- $\kappa$ 膜とその界面に伴う電荷のゲート電極界面の有効仕事関数に対する影響をデータ収集し評価するため、同一条件で作製されたテラス状酸化膜基板において、high- $\kappa$ 膜の厚みが違う試料を解析する必要がある場合がある。これに関しては、関連情報 2 に詳細が記されている。

## 7 試験の装置

7.1 ウェーハプローブ (Wafer Probing) — 手動では計測速度が遅すぎるため、コンピュータ制御プローブ機器が必須である。ここに記されていることは、最小限の内容である。

7.1.1 LCRメータ/C-Vアナライザ (LCR Meter/C-V Analyzer) — 最低限、周波数 10 kHz から 1 MHz、バイアススイープの範囲 +5 V から -5 V で容量測定ができること。薄い絶縁膜のサンプルでは、高い誘電損失に対する耐性が重要である。すべての測定パラメータ、データ保存、および半自動プローブステーションとの同期が、コンピュータ制御されていることが必須である。

7.1.2 半自動シールド・ウェーハプローブ・ステーション/チャック (Semi-automated Wafer Shielded Probe Station/Chuck) — このプローブステーションはMOS C-V測定のために、光と外気から十分遮断されていなければならない。また、ダイ内、ダイ間のダイの各キャパシタを、自動で探針できなければならない。

7.2 ウェーハ処理 (Wafer Processing) — 10 nmのゲート酸化膜で、さまざまなアクティブエリアのキャパシタを有するダイを作る、サンプル作製に適切なISO クラス 5 またはそれ以上の場所に設置された装置。テストには、プロセス用化学薬品、テスト片ホルダー、および排気設備が必要である。

7.3 スピンエッチ装置 (Spin Etch Processor) — テラス状酸化膜構造を形成する装置。ウェーハを水平に回転し、そこにエッチング液を一本のチューブまたは放射状に移動し、ウェーハに対して垂直に配置された複数のチューブから滴下する。処理前の熱酸化膜膜厚、エッチング液組成、エッチング液を滴下するチューブの数と位置、またチューブの移動タイミングそれぞれの指定が、テラス状酸化膜構造の物理的パラメータを決める。この装置は、再現性の非常に高いテラス状酸化膜を作製する能力が必要である(¶ 9.1.8 参照)。

注 1: 関連情報 1 に記されている別の装置は、そこに記されている別の手法でテスト片を作製する場合に必要となる。

## 8 サンプリング

8.1 通常テスト片には、計測に必要な数以上のデバイスがある。本試験方法でテストするテスト片の数と性質は、テスト関係者間で調整する。

8.2 さらに、テストで得られた値は、テスト片構造を作製するプロセスと完全に分離することができないので、選定するテスト片構造とプロセスの必要性に応じて適切な相関関係を考慮する必要がある。この相関関係には、テスト片のサイズとデバイスの形状も含む。

## 9 試験試料

9.1 本試験方法の主要な特徴は、ゲート電極の有効仕事関数を算出するために必要なすべての電気的計測を、1 枚のシリコンウェーハで行うことである。注意深く試料を作製することにより、すべての試料で、さまざまなEOTの値に関係なく一定の酸化膜-シリコン界面電荷密度が得られる。これは、解析の基となる仮定の信頼性を保障する。テスト片の作製方法には、以下の自動、テラス状酸化膜テスト片作製法が好ましい。この方法では、1 枚のウ

ウェーハ上に一連のテストダイを作製し、それぞれのダイは面積の異なるMOSキャパシタを有する。この各MOSキャパシタは、プローブパッドが接触する部分にあたる周りの絶縁領域で分離されている。

注 2: この様なサンプルの別の作製法は、関連情報 1 に記されている。

9.1.1 テスト片を作製する前に、作製とテストに適用するためのテスト片パラメータを設定する。表 1 は、前記の代表的なパラメータのリストである。

9.1.2 はじめに、通常どおりのウェーハ処理で、活性領域の形成分離、酸化処理、10nm厚のゲート酸化膜形成をする。

9.1.3 次に、図 1 に示されている様な放射状に対称な同心円状の厚みの異なる酸化膜をウェーハ上に形成するため、市販されているスピンスプレーエッチング装置を使い熱成長ゲート酸化膜または層間酸化膜の穏やかなウェット・プロセス・エッチングをする。放射状に対象なパターンは、中心部が一番厚く、その周りに 3 段階の厚みの異なる同心円状領域から成り、それぞれの部分の面積はほぼ同じで、ウェディングケーキを思い起こさせる階段またはテラス状構造を形成している。図は、厚み 8, 6, 4, と 2 nm の物であるが、これより厚い物や、薄い物も実験に使用できる。処理前の熱酸化膜膜厚、エッチング液組成、エッチング液を滴下するチューブの数と位置、またチューブの移動タイミング、それぞれを指定することにより、テラス状酸化膜構造のすべての物理的パラメータをコントロールできる。

注 3: この基準的な 2-4-6-8 nm プロセスは、10 nm の熱成長酸化膜を使い、エッチング液組成として 5:1 に希釈したフッ酸を使用した。均一性を得るため、酸化膜のすべての部分がエッチング液に曝されていることが重要である。したがって、最初のステップとして、テラス構造を作る前に酸化膜全域を 10 から 8nm にエッチングする。

表 1 テスト片パラメータ

| パラメータ名                       | パラメータ説明               | 参照値                                                                                                     |
|------------------------------|-----------------------|---------------------------------------------------------------------------------------------------------|
|                              | シリコンウェーハの導電型          | p-type                                                                                                  |
|                              | シリコンウェーハ抵抗率[Ω·cm]     | 0.06 Ω·cm                                                                                               |
| $n_t$                        | 酸化膜テラス数               | 4                                                                                                       |
| $t_{ox}(1)$ to $t_{ox}(n_t)$ | 各テラス状酸化膜膜厚[nm]        | 8, 6, 4, and 2 nm                                                                                       |
| $r(1)$ to $r(l)$             | 各酸化膜テラス半径 [mm]        | 40, 60, 80, and 100 mm                                                                                  |
| $t_{hk}$                     | high-κ 膜膜厚[nm]        | 2.5nm                                                                                                   |
| $N_{0c}$                     | テストするキャパシタの数(ウェーハあたり) | 128                                                                                                     |
| $N_{0A}$                     | 異なるキャパシタ面積の数          | 4                                                                                                       |
| $A(1)$ to $A(N_{0A})$        | テストするキャパシタの面積         | $5 \times 10^{-5}$ , $1 \times 10^{-4}$ , $2 \times 10^{-4}$ , and $5 \times 10^{-4}$ , cm <sup>2</sup> |