

SEMI T19-0708

デバイス・マーキングに関する仕様

本スタンダードは、global Traceability Committee で技術的に承認されている。現版は 2008 年 5 月 13 日、global Audits and Reviews Subcommittee にて発行が承認された。2008 年 6 月に www.semi.org で、そして 2008 年 7 月に CD-ROM で入手可能となる。

1 目的

1.1 本文書の目的は半導体素子上に設けた相互にユニークな識別コードにより、個々の半導体素子を判別し、製造情報の一部分を示唆する様なマーキングに関する標準仕様を確立することである。

2 範囲

2.1 本仕様書は半導体の個片そのものからパッケージ封入、あるいは組み立て後の素子までの範囲を扱うものとする。

2.2 利用可能な技術 1 種類以上を考慮したマーキング方法の物理寸法などに関して本文書は規定するものであるが、マーキングの書き込み手法や読み取り機構の位置関係などを制約するものではない。

2.3 本文書はマーキングの書き込み情報の内容に関しては一部を取り扱うに留めるものとする。

2.4 本文書はマーク形成(書き込み)やマーク認識(読み取り)に関してある特定の手法を規定するものではないが、幾何学上の要求事項により間接的に利用可能な手法の候補を案内するものである。

注意: このスタンダードはその使用に関連したすべての安全問題を取り扱うことを意図していない。このスタンダードの使用者は、その責任において、適切な安全および健康上実施すべき事柄を確立し、また使用前に法規制やその他の制限への適用性を判断するものである。

3 制限

3.1 構造や製造過程の違いも含めて考えた半導体素子の種類に依っては本仕様の一部またはすべてが必ずしも適当でないこともありえる。本スタンダードを使用する方々には製造、あるいは設計時に本仕様書を考慮することが求められるものである。

3.2 本スタンダードは必ずしも素子すべてにマークを形成するものではない。素子製品の価格、機器を含めた書き込みと読み取りにかかる費用、必要性の度合いなどの均衡が良くとれる様な素子にはマーキングが施されることが望ましいものと考えられる。

3.3 本仕様は本来、半導体素子に関して用意されたものであり、それ以外の素子に関しては適用範囲外である。しかしながら、本文書の内容を実装するに当たり少なくとも物理的に当該素子の特質を損なうことがない場合であれば、その様な素子に関しても適用なきことはないものである。当該素子に対して本スタンダードを使用する場合は、その責任において本仕様を実装ならびに応用されることを求めるものである。

4 参照スタンダード および文書

4.1 SEMI スタンダード

SEMI T13 — Specification for Device Tracking: Concepts, Behavior and Services

SEMI T14 — Specification for Micro ID on 300 mm Silicon Wafers

4.2 ISO/IEC スタンダード¹

¹ International Organization for Standardization, ISO Central Secretariat, 1 rue de Varembe, Case postale 56, CH-1211 Geneva 20, Switzerland. Telephone: 41.22.749.01.11; Fax: 41.22.733.34.30; <http://www.iso.ch>

注意：別途指示のない場合、引用されたすべての文書は最新の出版バージョンである。

5 用語

5.1 略語および頭字語

5.1.1 DDM (Die Device Mark) — ダイデバイスマーク

5.1.2 DM (Device Mark) — デバイスマーク

5.1.3 PDM (Packaged or sealed Device Mark) — パッケージ/シール済みデバイスマーク

5.1.4 SIP (System In Package) — システムインパッケージ; SEMI用語集 (SEMI Compilation Of Terms (COT)) 参照。

5.2 定義

5.2.1 データマトリックスコードシンボルのアライメントバー (alignment bar, of a data matrix code symbol) — 交互に並んだ充実セルおよび中空セルで出来た線に隣りあう充実セルの実線。[ISO/IEC 16022]

5.2.2 バイナリ値 (Binary Value) — データマトリックスコード・シンボルの 1 セル分の値。データマトリックスコード・シンボルのセルにドットがある場合の値は 1 とし、ドットがない場合にはそのバイナリ値は 0 とする。

5.2.3 境界列 (border column) — データマトリックスコードシンボルの一番外側の列。この列はファインダパターンの一部となる。

5.2.4 境界行 (border row) — データマトリックスコードシンボルの一番外側の行。この行はファインダパターンの一部となる。

5.2.5 データマトリックスコードシンボルのセル (cell, of a data matrix code symbol) — バイナリ値を表すためドットを配置できる領域。

5.2.6 複合素子 (Complex Device) — 1 素子が複数個の内部の素子から構成される場合を言う。表面搭載、積層実装、反転実装、圧膜方式などの実装形態もある。素子同士が直接、電氣的に接合されているものでも、そうでないものでも構わない。SIPやハイブリッドICなどがその例に該当する。

5.2.7 データマトリックスコードシンボル (Data Matrix Code Symbol) — 隣接する複数行および複数列の中に配列される方形のセルから成る二次元的なアレー。あるECC200 シンボルの中では、データ区域はアライメントパターンで分離されている。そのデータ区域はファインダパターンで囲まれている。[ISO/IEC 16022]

5.2.8 デバイスマーク (Device Mark) — 素子を個々に識別する目的で半導体素子の表面に施された印。ダイマークやパッケージ/シール済みデバイスマークの総称である。

5.2.9 ダイマーク (Die Mark) — 半導体素子のダイを個々に識別する目的でダイ表面に施された印。正確に表すると、ダイ・デバイスマーク (Die Device Mark) となる。

5.2.10 データマトリックスコード・シンボルのセル内のドット (Dot, in a cell of data matrix code symbol) — データマトリックスコード・シンボルの 1 セルのとる値を決めるための物理的な差異を指す。その差異とは、マーキング技術に依存するが、隆起、窪み、素材/密度/相(状態)の違いなどがあり得る。

5.2.11 データマトリックスコードシンボルのファインダパターン (finder pattern, of a data matrix code symbol) — データ区域の境界線。隣り合う 2 辺のすべてのセルにはドットが入っている;これらはまずコードのサイズ、方向、およびシンボルのゆりみを認識するのに用いられる。二つの相対辺は一つ置きセルにドットを収めるセル集合により作られる。[ISO/IEC 16022]

1 International Electrotechnical Commission, 3 rue de Varembe, Case Postale 131, CH-1211 Geneva 20, Switzerland. Telephone: 41.22.919.02.11; Fax: 41.22.919.03.00; <http://www.iec.ch>

5.2.12 ハイブリッドIC (Hybrid IC) — 1 個以上の半導体素子のダイと他に能動素子／受動素子が一緒に封入されたある種のデバイス。SEMI 編集用語集 (COT) の中の定義済みのものと同様。SEMI COT 参照のこと。

5.2.13 データマトリックスコード・シンボルに含まれる情報 (Identification, contained in data matrix code symbol) — 同一型式の製品中の個々の素子をユニークに識別するための、製造者が割り振ったコード、あるいは、照合など、専用の目的で別のデータを指し示すコードに相当する。

5.2.14 パッケージ／シール済みデバイスマーク (Packaged or Sealed Device Mark) — パッケージ済みの、あるいはシール済みの半導体素子を個々に識別する目的で素子表面に施された印。パッケージ封入内部のダイを結果として識別することが多い。

6 基本要件

6.1 空き領域とその周囲 — 本文書では対象となる素子がダイマークを設けるに足る十分な領域と共に、印の設置 (書き込み) や読み出し、位置決めに必要な周辺余裕を確保しているものと仮定する。

6.2 ユニークな識別 — 本スタンダード実施者は個々の半導体素子製品上のデバイスマークが表現する識別コードがその素子のトレーサビリティ目的に沿ってユニークに識別される様、留意することが求められる。

6.2.1 トレーサビリティ・システム上の識別子との関連性 — デバイスマークの内容に含まれる識別コードは、当該素子用のトレーサビリティ・システム上で統合、連結され管理されている識別コードと基本的に等価なものでなければならない。SEMI T13 を参照のこと。

6.2.1.1 しかしながら、素子によっては等価なものにすることが不可能に近いこともあり得る。システム上で取り扱われる識別コードの長さや物理的に標されるものの長さとの間の違いや、既存の商習慣による識別コードの制約、素子のユーザの業界の規格／制約などに起因する環境などにより起こり得ることである。

6.2.1.1.1 その場合でも、少なくともある制約範囲のなかでは混乱なく、ユニークに識別できなければならない。その制約範囲とは例えば、同一サプライヤ、特定のユーザ向け、ある種のユーザ業界、特定のアプリケーションや、素子の種類毎であったり、アセンブリ／パッケージ方式や形態毎であっても良い。

6.2.1.1.2 この識別コードは手がかりとなる情報さえあれば、システム上のものと 1 対 1 の対応が取れなければならない。手がかりとなる情報とは省略された文字部分、識別にかかわるコード部分や情報欠落理由などがあり得る。素子の直接、もしくは間接のユーザはこの情報を要求できるものとする。

7 概要

7.1 半導体素子の製造 — 半導体素子は半導体ウェーハ基板表面上の加工工程を何度も経て製造されるものである。ウェーハ工程の後、個片に切り分けられ、パッケージングされるか封止を伴う組み立てが行われる。マーキングはその様な加工の途中で行われるものと考えられる。

7.2 半導体素子へのマーキング — 個々の素子としてバラバラにされる前のダイにマーキングすることに関して本文書は規定するものである。本文書はその他、パッケージング処理、あるいは封止処理の組み立て加工途上か直後に行われるマーキングに関しても規定するものである。本規定はその何れについても要求するものである。

7.3 後々の工程でのデバイスマークの認識 — ダイに於けるマーキング、即ち DDM はその後の半導体製造工程で読み取られ、その情報は個々のダイの識別に使われたり、加工上のデータやパラメータの一部として例えば提携先の組み立て加工業者などの加工段階で使われることもあり得る。同様に、パッケージや封止済みの素子に置けるマーキング、即ち PDM は何者であるかが特定されたり、その情報が例えばプリント基板 (PCB) へマウンティングする際の情報として使われたりすることもあり得る。本文書は単にトレーサビリティを目的として用意されたものであるため、本スタンダードはその様な利用を要求するものでもなく、抑制するものでもない。本文書が言えることは、その様な応用は多くの拘わる条件によっては効果的にもなり得るということだけである。場合によっては冗長でコストの嵩むことになったり、トレーサビリティ・システム (情報技術によるものを指す) の方がより豊富な情報を提供することになったりもするかも知れない。

7.4 期待される情報提供能力と、必要となる (素子表面の) 面積と機材に関する納得の得られるコスト — 半導体製造業者や、読み／書き機器や装置を含めた設備業者の競合範囲を最大にするために、本スタンダードは複

8 要求事項

8.1 **ダイに関するマーキング** — ダイの形態の半導体素子には2つのマークを標せる面がある。基本的に本スタンダードはその両面に同一の情報を標すことを要求するものである。

8.2 **ダイの形態の半導体素子そのものの加工面に対するマーキング** — 加工面には多くの個数の能動素子部分、受動素子部分、分離領域、物理的な絶縁や寄生的な電気効果予防のための領域、電極取り出しや封止用の領域が存在する。

8.2.1 **マーキングの位置** — 上記の通り、加工面には数多くの領域や素子部分があり、半導体素子の設計、特に素子部分や電極などの配置に関して制約を極力設けないために、本スタンダードは同面へのダイマークの位置を固定して規定することを行わない。

8.2.2 **緩衝領域** — 素子に障害を与えない目的や、マーク敷設機器などが素子部分により混乱をきたさないために、本仕様はDDMと上記の素子などの間に緩衝領域を設けるものとする。半導体基板のステージの繰り返し位置精度に拘わる要因や書き込み機器の画像処理部分の位置合わせ制度などの要因を含めたものである。この領域はマークの読み取り機器がマーク部分と素子などの領域とを分離して認識する際にも役立つものとなる。本文書は以上のような要素を統合した範囲部分として距離で規定するものである。

8.2.3 **マーキング処理の深さ** — 半導体素子は数多くの形成層があり、一部の層では厚みが十分でないため、マーク書き込み加工技術の種類によっては無理が生ずる。その様な場合でも、電氣的に物理的に層や電極が他の部分に対して干渉しない場合はマーキング可能な場合がある。マークを標すために層の表面に違いを生じさせるに必要な最大深さを本文書は単に規定するものである。マークの保護層が透過であったり、対象となる層の表面そのものにマーキングの際のエネルギーが収束する場合は、マーキングによって影響を受ける厚さを規定することになる。マーキングが表面層の直下であるか保護層の一部に到達するものであるかについては本文書は規定しないこととする。マーキングは何ら深刻な機能障害を及ぼすものでも、特性を変えるものでもないことを本スタンダードは要求するものである。

8.3 **ダイの形態の半導体素子そのものの裏面へのマーキング** — 表(オモテ)面でダイマークを慎むべき箇所であった素子部分や電極が裏面には極端に少ないか皆無であるのが普通である。裏面にマークを標す場所は概ね自由に決められると考えてられる。しかしながら裏面は今日まで目合わせ用の印など置くこともなく、その面の角を区別する標準的な方法も知られていない。本文書では半導体素子の表(オモテ)面へのマーク設置と同様のやり方をとるものとする。それ故、本スタンダードはマークの設置位置などは特に規定せず、緩衝領域の最小寸法などのみを規定するものとする。

8.4 **パッケージ/組み立て後の素子へのマーキング** — ダイの形態の素子裏面の場合と同様にパッケージ/組み立て後の素子に関しても制約は少ない。例えば、標せる可能性のある面が多いことからしても、パッケージ後の素子に関しては柔軟性を以って考えられる。この事実に基づき、上記のダイに関するマーキングの規定と同様に、本文書は限られた範囲の項目のみを規定するものとする。

8.4.1 **表面の状態** — しかしながら半導体/電子機器業界では半導体素子用に様々な材料やパッケージ/封止技術が使われている。場合によっては表面の粗さのためにマークの記入や読み取りが困難なことや、読み取り率や解読精度に問題が生じることが起こり得る。本スタンダードの利用者には表面に対比してマークの適度な大きさと表面の好ましい位置への設置を求められるものである。

8.4.2 **マーキング設置面** — 本スタンダードはパッケージ/組み立て後の素子に関するマーク(即ちPDM)を標す面を特に規定しない。PDMの恩恵を最大限にし、読み取り不良や誤判読を防止するために、マークを標す当事者は望ましい面の好ましい位置を求める責を負うものである。

8.5 **マークに関する属性事項** — 本スタンダードは本文書内では素子へのマーキングに関して最少の個数の項目のみを規定するものである。上流側の工程を担うマークを標す側の製造者はマークの認識に関する最小限の、的を得た情報を開示しなければならない。その情報のことをここでは属性と呼ぶことにする。映像認識用ターゲット

ト・マークの様な関連性のある情報もその属性の一部になり得ることがある。属性の構成例として、本文書の関連情報の章を参照のこと。

